

MÉTODO PARA QUANTIFICAÇÃO DE PERDAS EM SEMICONDUTORES APLICADOS A CONVERSORES ESTÁTICOS DEVIDO AOS ELEMENTOS PARASITAS DA PLACA DE CIRCUITO IMPRESSO

Tális Piovesan¹, Hamilton Confortim Sartori¹, Vitor Cristiano Bender¹, José Renes Pinheiro¹

¹ Universidade Federal de Santa Maria, Santa Maria - RS, Brasil

e-mail: talispiovesan@gmail.com, hamiltomsar@gmail.com, bender.vitor@gmail.com, jrenes@gepoc.ufsm.br

Resumo – O aumento da frequência de comutação vem sendo utilizada para aumentar a densidade volumétrica de potência em conversores estáticos. Assim, diversos trabalhos científicos tem apresentado estudos relacionados aos impactos dos elementos parasitas no *layout* de placa de circuito impresso (PCB) de conversores estáticos CC/CC, comparações entre as tecnologias de semicondutores, desenvolvimento de equações analíticas para a determinação das perdas nos elementos e a utilização de *softwares* de simulações na determinação de elementos parasitas de conversores estáticos comutados em altas frequências. Desta forma, o presente trabalho apresenta uma metodologia de quantificação de perdas elétricas em chaves semicondutoras de conversores estáticos devido aos elementos parasitas presentes na PCB. Através da utilização de técnicas de engenharia assistida por computador e simulações SPICE, a metodologia proposta tem como objetivos apresentar uma estimativa de perdas devido às ressonâncias causadas pelos elementos parasitas e auxiliar no processo da prototipação, voltada para a redução de perdas dos dispositivos semicondutores presentes na PCB de um conversor estático. Para a validação da metodologia implementou-se um conversor *boost* síncrono comutado em 350kHz e com potência nominal de 100W. Resultados teóricos, de simulações e experimentais são apresentados.

Palavras-chave – Conversores Estáticos CC/CC, Eletrônica de Potência, Engenharia Assistida por Computador, *Layout* de PCB, Simulação SPICE.

METHOD FOR QUANTIFICATION OF SEMICONDUCTOR POWER LOSSES IN POWER CONVERTERS DUE TO PRINTED CIRCUIT BOARD PARASITE ELEMENTS

Abstract – The switching frequency rising has been applied in order to maximize volumetric power density in power converters. Many scientific papers discuss about the parasite elements impact in DC/DC high frequency power converters, comparison between semiconductors technologies, the importance of instrumentation in high frequencies, development of analytic equations to modelling the power losses in the elements and the use of softwares in order to identify and quantify parasite

elements in power converters. Thus, this work presents a semiconductors power losses quantification methodology in power converters due to the printed circuit boards parasite (PCB) elements. Through the utilization of computer aided design techniques and SPICE simulation, the proposed methodology aims to present a power losses estimation due to parasite elements resonance, focused to reduce semiconductor losses in the power converter PCB. In order to validate the proposed methodology a prototype of the synchronous boost converter switched in 350kHz and 100W of nominal power was implemented. Theoretical, simulation and practical results are presented, validating the proposed methodology.

Keywords – Computer Aided Design, DC/DC Power Converter, PCB Layout, Power Electronics, SPICE Simulation.

NOMENCLATURA

C_{par2}	Capacitância associada ao laço de corrente principal do conversor
C_{via}	Capacitância das trilhas de uma PCB
E_{ring}	Perda de energia na chave semicondutora devido aos elementos parasitas da PCB
f_r	Frequência das oscilações sobre a chave semicondutora principal
f_{sw}	Frequência de comutação do conversor
I_D	Corrente de dreno da chave semicondutora
L_{gate}	Indutância do circuito de <i>gate</i> do conversor <i>boost</i>
L_{loop}	Indutância do laço de corrente principal do conversor
L_{PCB}	Indutância das trilhas de uma PCB
L_S	Indutância do encapsulamento da chave semicondutora
L_{stray}	Indutância total de dispersão de um laço de corrente
L_{via}	Indutância de uma via em uma PCB
MEF	Método de Elementos Finitos
PCB	Placa de circuito impressa
$R_{ds(on)}$	Resistência interna da chave semicondutora
R_{loop}	Resistência associada ao laço de corrente principal do conversor
R_{via}	Resistência das trilhas de uma PCB
T_r	Período das oscilações sobre a chave semicondutora principal
V_{DS}	Tensão <i>drain-source</i> da chave semicondutora

Manuscript received 07/13/2020; first revision 11/13/2020; accepted for publication 01/15/2021, by recommendation of Editor Demercil de Souza Oliveira Jr. <http://dx.doi.org/10.18618/REP.2021.1.0040>

I. INTRODUÇÃO

Esforços vêm sendo empregados no campo da Eletrônica de Potência para que os conversores estáticos sejam cada vez mais eficientes, compactos, confiáveis e de baixo custo [1]–[7].

Dentre as diferentes técnicas apresentadas na literatura científica para a otimização do rendimento e densidade de potência dos conversores estáticos destacam-se a utilização de novas tecnologias de dispositivos semicondutores, como os semicondutores de *wide bandgap* (WBG) [1], [2], [8]–[11]; aumento da frequência de comutação dos conversores estáticos; técnicas de minimização de elementos parasitas no *layout* de PCBs [1], [11]–[14]; e técnicas de otimização do gerenciamento térmico [15]–[20].

A utilização de semicondutores de WBG como os transistores de *Galium Nitride* (GaN) e *Silicon Carbide* (SiC) possibilita atualmente a utilização da frequência de comutação em conversores estáticos na ordem de Mega Hertz. Devido às características intrínsecas dos semicondutores de WBG, os conversores estáticos poderão apresentar menores perdas de comutação, menor volume de elementos magnéticos e aumento do rendimento dos dispositivos [6]–[8], [14], [21]. Em [8], [21], [22], [23] os autores apresentam as características construtivas dos dispositivos de GaN, particularidades em relação ao silício, técnicas para a comutação, considerações sobre o *layout* de PCBs, modelagem e medições de variáveis em circuitos envolvendo GaN, topologias de conversores estáticos e as perdas envolvidas no processo de comutação, aplicações espaciais e exemplos de implementação.

Porém, como consequências da comutação na faixa de Mega Hertz destacam-se a maior emissão de interferência eletromagnética (EMI) [13], [24]–[27], perdas relacionadas às correntes de Foucault [28] e o risco de uma comutação não programada devido às oscilações sobre os semicondutores promovida pelos elementos parasitas presentes no *layout* de uma PCB [14], [29].

Uma célula de comutação síncrona de um conversor CC/CC desenvolvida em uma PCB, composta por duas chaves semicondutoras e um indutor, apresentará resistência, capacitância e indutância parasitas devido às suas características construtivas. Os principais efeitos indesejados ao circuito elétrico estão relacionados ao aumento dos tempos de comutação das chaves semicondutoras e as oscilações da tensão V_{DS2} , que aumentam as perdas de comutação do conversor estático, diminuindo o seu rendimento, limitando a sua frequência de comutação. Para o ideal aproveitamento das tecnologias WBG, é imprescindível ao projetista de um conversor CC/CC a preocupação com as características construtivas da PCB, como o comprimento, largura, número de camadas e o espaçamento dos planos condutores.

Diversos trabalhos reconhecem a importância da execução de técnicas de minimização e a estimativa de elementos parasitas do *layout* de PCBs de conversores estáticos comutados em altas frequências [1], [8], [10], [11], [14], [30], [31]. Dentre as técnicas de estimativa dos elementos parasitas destacam-se as simulações do Método de Elementos Finitos (MEF) [12], [13], [24] e medições experimentais em protótipos [12], [23] e [32].

Em [33] os autores apresentam uma nova técnica de medição das perdas em semicondutores GaN através da calorimetria, pois segundo os autores, as técnicas apresentadas do passado, como o teste *double pulse*, não abordavam com precisão a contribuição das oscilações na chave semicondutora devido aos elementos parasitas presentes na PCB. Ainda, segundo os autores, instrumentos de medição acabam inserindo incertezas na medição que prejudicam a sua precisão. Assim, as perdas de condução e comutação são estimadas através da temperatura do encapsulamento dos semicondutores e a temperatura da PCB próxima ao ponto quente. Apesar de quantificar com maior precisão as perdas da comutação dos dispositivos, os autores não conseguem fazer a estimativa da contribuição da perda de energia que os elementos parasitas da PCB fornecem aos semicondutores.

Desta forma, o objetivo deste trabalho é a proposição de um método analítico para quantificar os elementos parasitas em uma célula de comutação síncrona e as consequentes perdas elétricas sobre a chave semicondutora principal desenvolvida na tecnologia GaN. O método apresentado possibilita ao projetista avaliar a prototipação do seu *layout* de PCB de maneira prévia, identificando os elementos parasitas presentes no laço principal de corrente da célula de comutação. Possibilita também a definição das perdas elétricas devido às oscilações provocadas nas ressonâncias entre os elementos parasitas.

Primeiro, apresenta-se a revisão bibliográfica acerca das definições da capacitância, indutância e resistência parasitas no *layout* de PCBs, bem como técnicas utilizadas na sua minimização. Posteriormente, apresentam-se as relações entre as perdas elétricas em um conversor CC/CC e os elementos parasitas, bem como a instrumentação e técnicas necessárias para a correta determinação das formas de onda de interesse. Ainda, determinam-se os elementos parasitas de um conversor CC/CC *boost* síncrono através de medições experimentais e métodos analíticos presentes na literatura científica com o uso de modelos analíticos e softwares de simulação. Posteriormente avaliam-se as perdas elétricas devido às oscilações sobre a chave semicondutora principal e a validação através de resultados experimentais.

II. CONVERSORES ESTÁTICOS COMUTADOS EM ALTAS FREQUÊNCIAS

A. Impactos dos Elementos Parasitas na Operação de Conversores Estáticos

Uma célula desenvolvida em uma PCB apresenta resistência, capacitância e indutância parasitas em seus planos condutores. Desta forma, três distintas indutâncias parasitas ocorrem em seu circuito elétrico, sendo a indutância do laço de corrente do circuito de *gate* (L_{gate}), as indutâncias de modo comum (L_{S1} e L_{S2}), e a indutância parasita associada ao laço de corrente do circuito de potência (L_{loop}), Figura 1. L_{loop} proporciona dois efeitos negativos ao circuito elétrico: durante a saída de condução da chave semicondutora, atraso da transição do estado de bloqueio para o estado de condução e aumento da tensão entre os terminais *drain* e *source* da chave semicondutora (V_{DS2}) [8].

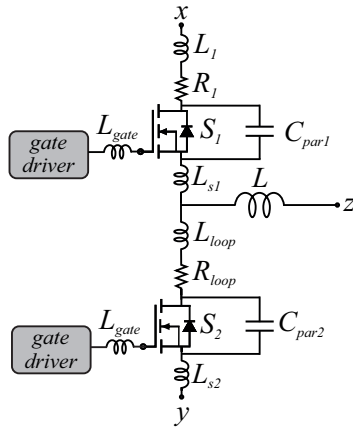


Fig. 1. Célula de comutação de um conversor CC/CC boost síncrono com os elementos parasitas presentes na PCB.

Os valores de L_{S1} e L_{S2} têm como efeito negativo no circuito elétrico a redução da corrente de *gate*, que é responsável por carregar a capacitância *gate-source* (C_{GS}). As quedas de tensão V_{LS1} e V_{LS2} , irão se opor às tensões V_{GS1} e V_{GS2} , diminuindo a corrente e aumentando o tempo necessário para comutar o dispositivo semicondutor.

Já L_{gate} interage com C_{GS} e L_{S1} . Esta interação faz com que V_{GS} apresente oscilações, podendo ocasionar a ruptura dos dispositivos semicondutores ou a comutação em um momento não programado. Por isso, utiliza-se de um resistor em série com o terminal de *gate* de modo a controlar a taxa de variação de dv/dt , onde o valor da resistência deve ser escolhido de forma que minimize as oscilações sem atrasar a entrada de condução do dispositivo.

As chaves semicondutoras apresentam perdas relacionadas à etapa de condução e comutação, onde a inserção dos elementos parasitas do *layout* da PCB contribuem para aumentar a energia dissipada na comutação (E_{ring}), devido às oscilações de V_{DS2} na ressonância que ocorre entre L_{loop} , R_{loop} e C_{par2} . Tanto no instante da entrada em condução quanto na saída de condução da chave semicondutora, L_{loop} e R_{loop} tem papel fundamental na determinação das oscilações sobre a tensão V_{DS} . A frequência natural, o tempo total e o valor de pico das oscilações são proporcionais às indutâncias parasitas, portanto a sua minimização impacta diretamente nas perdas dos semicondutores.

B. Elementos Parasitas no Layout de PCBs

1) *Indutâncias parasitas*: A definição genérica para o cálculo da indutância de um caminho formado por dois planos condutores, por exemplo, a face superior e inferior de uma PCB, Figura 2, apresenta-se através de (1) [12]. Tal formulação pode ser utilizada com ressalvas, pois baixos valores de e/w resultam em erros nos resultados.

$$L_{PCB} = \mu_0 \frac{e}{w} l. \quad (1)$$

Onde:

- L_{PCB} - Indutância parasita de uma trilha presente na PCB;
- μ_0 - Permeabilidade magnética do vácuo;
- e - Espaçamento entre os planos condutores;
- w - Largura;
- l - Comprimento;

Devido às limitações da formulação anterior, os autores propuseram um novo equacionamento da indutância parasita a partir das Leis de Maxwell e Biot-Savart, vista em (2). De modo a validar a sua nova formulação comparou-se os resultados obtidos em (1) e simulação dos planos condutores através de simulações computacionais que empregam o MEF.

$$L_{PCB} = \mu_0 \frac{e}{w} l \left(\frac{1}{1 + \frac{e}{w}} + 0,024 \right). \quad (2)$$

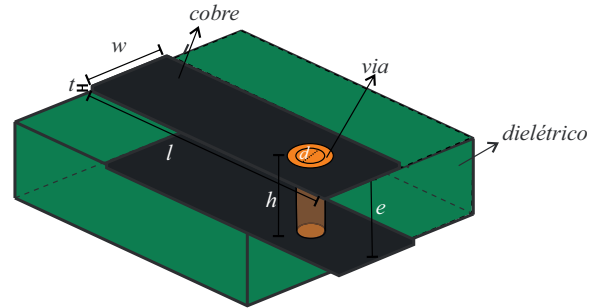


Fig. 2. Representação de uma trilha de cobre em uma PCB. Fonte: Adaptado de [12].

Ainda, quando utilizam-se PCBs contendo diversas camadas de condução, faz-se necessário a utilização de vias de conexão entre os planos de condução. Em [34] o autor apresenta as considerações sobre a indutância das vias e a sua relação com o seu diâmetro e comprimento, vistos em (3).

$$L_{via} = \frac{h}{5} \left(\ln\left(\frac{4h}{d}\right) + 1 \right). \quad (3)$$

Onde:

- L_{via} - Indutância parasita da via em nH ;
- h - Comprimento da via em mm ;
- d - Diâmetro da via em mm ;

2) *Capacitâncias parasitas*: A capacitância parasita do *layout* da PCB está atrelada às trilhas e às vias de condução. Em [28], [34] apresentam-se as propriedades e características das vias e trilhas, ressaltando a relação entre o espaçamento e a área dos planos condutores, visto em (4) e (5).

$$C_{via} = \frac{0,55 \epsilon_r e D_1}{D_2 - D_1}. \quad (4)$$

Onde:

- C_{via} - Capacitância parasita da via em pF ;
- ϵ_r - Permissividade elétrica relativa da PCB;
- e - Espaçamento entre os planos condutores em mm ;
- D_1 - Diâmetro da via em mm ;
- D_2 - Diâmetro da via mais o isolamento em mm em relação ao restante da PCB;

$$C_{trilha} = \frac{0,0886 \epsilon_r A}{e}. \quad (5)$$

Onde:

- C_{trilha} - Capacitância da trilha em pF ;
- A - Área da trilha em cm^2 ;
- e - Espaçamento entre os planos condutores em cm ;

3) *Resistências parasitas*: Em PCBs as resistências elétricas de trilhas e vias são representadas através de (6) e (7), respectivamente, de acordo com [28], [34].

$$R_{trilha} = \frac{\rho l}{tw} 10. \quad (6)$$

Onde:

- R_{trilha} - Resistência elétrica da trilha em $m\Omega$;
- ρ - Resistividade elétrica do cobre em $\mu\Omega cm$;
- t - Espessura do cobre em μm ;

$$R_{via} = \frac{\rho h}{\pi \left(\left(\frac{d}{2} \right)^2 - \left(\frac{d}{2} - t_m \right)^2 \right)}. \quad (7)$$

Onde:

- d - Diâmetro da via em mm ;
- t_m - Camada de metal anexada no interior da via em mm ;

C. Perdas Versus Elementos Parasitas

Os elementos parasitas R_{loop} , L_{loop} e C_{par2} que estão inseridos no layout da PCB da célula de comutação geram perdas ao conversor devido ao aumento das oscilações sobre V_{DS} .

Estes três elementos trocam energia entre si, formando um circuito ressonante, cuja máxima potência dissipada pelo circuito RLC define-se através de (8).

$$P(\omega_0) = \frac{1}{2} \frac{V_m^2}{R}. \quad (8)$$

Onde:

$P(\omega_0)$ - Potência máxima dissipada pelo circuito RLC na frequência de ressonância

V_m - Tensão que alimenta o circuito RLC

No instante que a chave semicondutora S_2 deixa de conduzir a corrente elétrica do circuito, a sua tensão V_{DS2} passa do valor nulo à amplitude máxima. Alterando-se o valor de L_{loop} positivamente na célula de comutação percebe-se que as oscilações de V_{DS} e I_D aumentam, bem como a perda de energia na comutação, resultado da sobreposição dos sinais de tensão e corrente sobre a chave semicondutora.

III. METODOLOGIA

A metodologia proposta prevê a quantificação das perdas elétricas nas chaves semicondutoras de um conversor estático *boost* síncrono, Figura 3, causadas como consequências dos elementos parasitas (R, L e C) presentes nas trilhas que conectam todos os elementos da PCB, através de simulações computacionais e simulações SPICE. As características elétricas do conversor *boost* síncrono são abordadas na Tabela I.

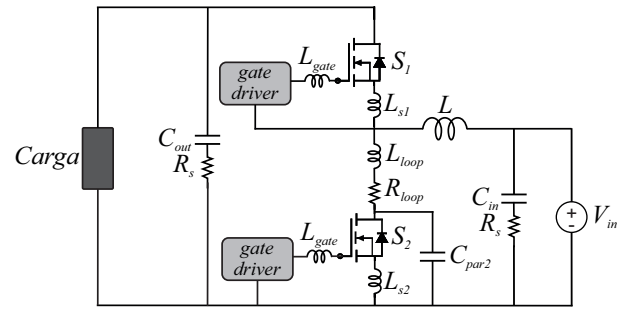


Fig. 3. Circuito elétrico do conversor *boost* síncrono utilizado nas simulações SPICE

TABELA I

Parâmetros Elétricos do Conversor *Boost* Síncrono

Variável	Símbolo	Valor
Tensão de entrada	V_{in}	12V
Tensão de saída	V_{out}	53,70V
Potência de saída	P_{out}	88,41W
Frequência de comutação	f_{sw}	350kHz
Capacitor de entrada	C_{in}	10 μ F
Capacitor de saída	C_{out}	10 μ F
Indutor magnético	L	33 μ H
Transistor S_1	S_1	EPC 2016C
Transistor S_2	S_2	EPC 2001C

O fluxograma que apresenta a metodologia é visto na Figura 4, cujas etapas são apresentadas à seguir:

- ETAPA 1: inserção das informações sobre a largura da PCB, número de camadas, espaçamento entre as faces condutoras, comprimento e largura das trilhas que conectam as chaves, indutores e capacitores. Ainda, nesta etapa o usuário fornece as especificações referentes às chaves semicondutoras, indutores, capacitores e a frequência de comutação do dispositivo;
- ETAPA 2: determinação analítica dos elementos parasitas da PCB em análise através de (2), (3), (4), (5), (6) e (7);
- ETAPA 3: validação dos resultados em um protótipo experimental, onde extrai-se a tensão *drain-source* da chave principal e verifica-se a f_r ;
- ETAPA 4: desenvolvimento de duas simulações SPICE dos chamados modelo completo e modelo convencional do conversor estático;
- ETAPA 5: verificação dos resultados de V_{DS2} , f_r e L_{loop} do modelo completo da simulação SPICE e o protótipo experimental;
- ETAPA 6: determinação das perdas de comutação e a perda nos dispositivos semicondutores devido aos elementos parasitas da PCB através de simulação matemática e integração trapezoidal do sinal que representa a sobreposição de V_{DS2} e I_D ;
- ETAPA 7: obtenção dos resultados finais

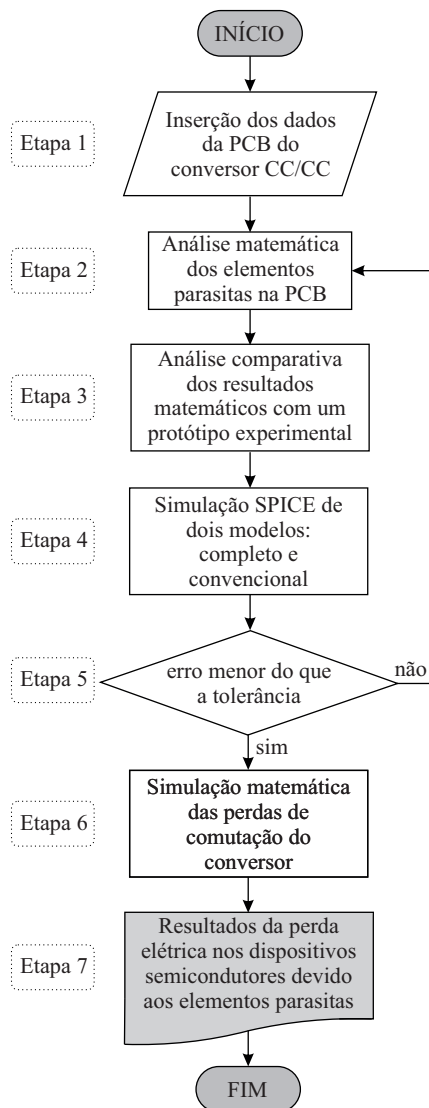


Fig. 4. Fluxograma da metodologia de quantificação de perdas elétricas em conversores estáticos devido aos elementos parasitas da PCB

A. Inserção dos Dados da PCB e do Conversor CC/CC

No estágio inicial do processo o projetista deve fazer a inserção dos dados mecânicos da PCB, como as larguras e comprimentos das trilhas, largura total da PCB e espaçamento entre os planos condutores. Na Figura 5 apresentam-se as trilhas da PCB desenvolvidas no conversor *boost* síncrono em análise e as suas dimensões, cujos valores são apresentados na Tabela II.

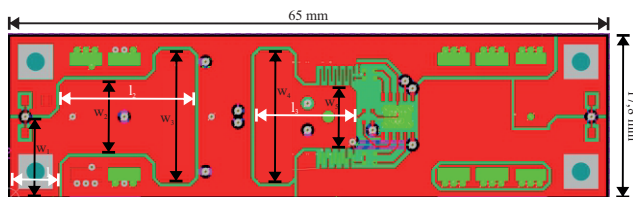


Fig. 5. Representação do protótipo desenvolvido em uma PCB de 1mm de espessura e quatro camadas de condução. Destacam-se as dimensões l_1 , l_2 , l_3 , w_1 , w_2 , w_3 , w_4 e w_5 das duas trilhas que fazem parte do laço de corrente

TABELA II

Medidas das trilhas que compõe o laço de corrente do conversor *boost*

Medida	Valor
Comprimento l_1	5,302mm
Comprimento l_2	14,637mm
Comprimento l_3	10,954mm
Largura w_1	8,344mm
Largura w_2	7,906mm
Largura w_3	14,287mm
Largura w_4	14,287mm
Largura w_5	6,604mm

B. Análise Matemática dos Elementos Parasitas na PCB

A análise matemática proposta neste trabalho leva em consideração a determinação da indutância parasita em uma PCB, desenvolvida através das leis de Biot-Savart e Maxwell, proposta por [12], vista em (2), bem como a indutância parasita presente em uma via, equação (3).

Ainda, [34] recomenda que deve-se levar em consideração na PCB a indutância parasita das vias de ligação entre os planos condutores, demonstrada em (3).

As capacitâncias parasitas são determinadas através das equações (4) e (5), desenvolvidas por [28],[34]. Tais equações levam em consideração o diâmetro das vias, área das trilhas, permissividade da PCB e o espaçamento entre os planos condutores.

Já as resistências parasitas da PCB são definidas através das equações (6) e (7) [28],[34]. Tais elementos são dependentes do comprimento das trilhas, largura da trilha, espessura de cobre nos planos condutores, diâmetro das vias e a resistividade do cobre.

C. Análise Comparativa do Método Analítico e o Protótipo Experimental

Diversos autores e fabricantes de semicondutores apresentam na literatura científica técnicas para a medição de variáveis elétricas em conversores que operam com altas frequências de comutação, como em [12],[32],[34],[35].

Em [32] reforça-se que a utilização de semicondutores GaN operando com altas frequências de comutação requer boas técnicas de medição, bem como equipamentos que apresentem uma alta banda passante, baixa indutância e capacitância em suas ponteiros de medição. Assim, as formas de onda serão obtidas e apresentarão o comportamento real dos dispositivos semicondutores. A banda passante deverá ser a maior possível de modo a representar com a maior precisão os valores de *overshoot* da tensão V_{DS} sobre as chaves S_1 e S_2 de uma célula de comutação.

No que se refere às técnicas de medição recomenda-se a utilização de uma ponteira de tensão com baixa capacitância e um pequeno comprimento do conector do *ground*. Quanto maior o comprimento do condutor de *ground* maior será a indutância associada e maior será a interação com a capacitância da ponteira, alterando os valores da frequência de ressonância dos elementos parasitas do sistema, definida em (9).

$$f_r = \frac{1}{2\pi\sqrt{L_{stray}C_{par2}}}. \quad (9)$$

Onde:

- f_r - Frequência de ressonância dos elementos parasitas;
 - L_{stray} - Indutância total de dispersão de um laço de corrente;
 - C_{par2} - Capacitância total do laço de corrente;
- Sendo que C_{par2} define-se através de (10).

$$C_{par2} = C_{oss} + C_{inst}. \quad (10)$$

Onde:

- C_{oss} - Capacitância de saída do transistor;
- C_{inst} - Capacitância parasita inserida pela ponteira de tensão do osciloscópio;

Desenvolveu-se um protótipo de um conversor *boost* síncrono, vide Figura 5, com as características expressas na Tabela I, de modo a quantificar L_{loop} do *layout* da PCB. Utilizou-se um osciloscópio digital de banda passante de 1GHz e a aquisição de 20 milhões de amostras (TEKTRONIX MSO 4104 B); ponteira de tensão de banda passante de 1GHz e capacitância de 3,9pF (TEKTRONIX TPP1000); fonte de alimentação CC de 12V; Medidor de LCR de precisão (KEYSIGHT E4980 A), de acordo com as recomendações expressas em [12], [32], [35].

Extraíram-se no protótipo experimental os sinais de V_{DS} sobre as chaves semicondutoras S_1 e S_2 de modo a identificar a f_r da oscilação sobre a chave semicondutora S_2 , vista em (9).

Desta forma, extraiu-se no protótipo o período da oscilação (T_r) e posteriormente f_r do protótipo experimental. Após a definição de f_r ; as considerações de L_{S1} e L_{S2} de acordo com [36]; a definição de C_{oss} em concordância com [37], [38]; a definição de $C_o = 51,7pF$, através das equações (4) e (5); determinou-se o valor de L_{stray} , de acordo com (9).

Ainda, L_{stray} é o resultado da soma da indutâncias das trilhas que conectam a fonte de energia ao indutor, mais a indutância da trilha que conecta o indutor à junção das duas chaves, mais o valor de L_{S2} . Desta forma, a determinação de L_{loop} realiza-se através de (11).

$$L_{loop} = L_{stray} + L_{S2}. \quad (11)$$

O protótipo do conversor foi desenvolvido em uma PCB de 4 camadas de condução e espessura total de 1mm com tolerância de 10% nas suas medidas, cujos espaçamentos são representados na Figura 6.

cobre	35μm
dielétrico	0,175mm
cobre	35μm
dielétrico	0,53mm
cobre	35μm
dielétrico	0,175mm
cobre	35μm

Fig. 6. Estrutura física da PCB utilizada no protótipo do conversor *boost* síncrono

D. Simulações SPICE do Modelo Completo e Convencional

Desenvolveu-se dois modelos para a simulação SPICE, o chamado modelo completo e o modelo convencional. O circuito elétrico operando em malha aberta, desenvolvido de acordo com a Figura 3, contendo os elementos parasitas

definidos na Tabela III é denominado o modelo completo. Já o modelo convencional não faz o uso de L_{S1} e L_{S2} , L_{loop} , R_{loop} e C_{par} no circuito elétrico.

Em ambos os modelos desenvolvidos utilizou-se dos modelos SPICE dos transistores GaN EPC2016C e EPC2001C (chave principal), fornecidos pelo fabricante em [37] e [38]. Ainda, definiu-se a resistência série R_S de C_{in} e C_{out} através de medições experimentais, iguais a 0,75mΩ. O valor definido para R_{loop} estabelece-se através do somatório de (6) e (7), cujo valor é igual a 3,5mΩ. Para a razão cíclica do conversor adotou-se o valor de $d = 0,77$.

Simulou-se o modelo completo e convencional com um passo de simulação máximo igual a 1ns; tempo total simulado igual a 5ms; e o tempo para o início do armazenamento de dados igual a 4ms. O resultado da simulação SPICE apresenta no intervalo de 1ms o total de 6115060 pontos simulados.

E. Simulação Matemática das Perdas de Comutação do Conversor

Determina-se através de simulação matemática a contribuição da perda de energia na chave semicondutora principal devido às oscilações de tensão e corrente proporcionadas pelos elementos parasitas (R, L e C), denominada de E_{ring} .

Através da multiplicação escalar dos sinais de V_{DS2} e I_D calcula-se matematicamente o sinal que representa a sobreposição de tensão e corrente, visto na Figura 7.

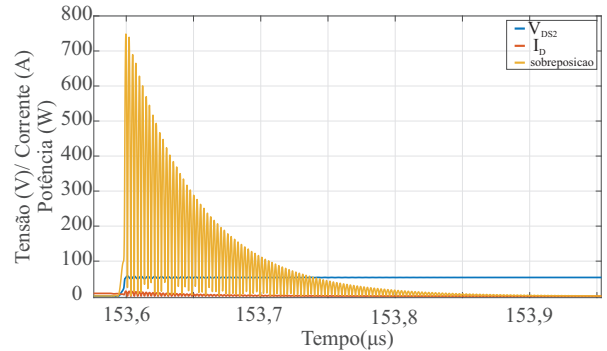


Fig. 7. Formas de onda da tensão V_{DS2} e a corrente I_D com $L_{loop} = 0,9175nH$

Desta forma, as duas simulações SPICE do modelo completo e convencional são avaliadas, e os resultados obtidos através da integração numérica trapezoidal para as formas de onda que representam a sobreposição dos sinais de tensão V_{DS2} e a corrente I_D sobre a chave semicondutora principal demonstram a perda de energia no processo de condução e comutação do dispositivo. A subtração entre os dois valores de energia obtidos através dos modelos completo e convencional representam a parcela da perda de energia no semicondutor devido aos elementos parasitas do circuito.

IV. RESULTADOS

A. Medições no Protótipo Experimental

Os resultados que evidenciam as oscilações de V_{DS2} são apresentados na Figura 8. Este efeito é ocasionado pela ressonância entre L_{loop} , C_{oss} , a capacitância da ponteira de tensão e R_{loop} .

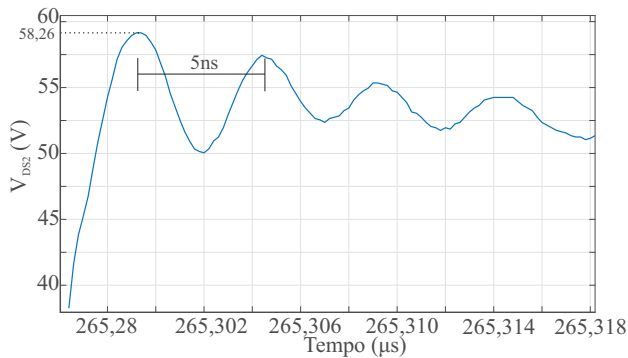


Fig. 8. Sinal de tensão V_{DS2} capturado no protótipo experimental através do osciloscópio digital

Ainda, na Tabela III são apresentados os resultados encontrados com as medições do protótipo experimental.

TABELA III
Resultados Obtidos Através de Medição Experimental do Protótipo do Conversor Boost Síncrono

Variável	Símbolo	Valor
Período do oscilação	T_r	5ns
Frequência da oscilação	f_r	200MHz
Indutância de modo comum da chave S_1	L_{S1}	0,2nH
Indutância de modo comum da chave S_2	L_{S2}	0,2nH
Capacitância de saída da chave S_2	C_{oss}	500pF
Indutância total de dispersão	L_{stray}	1,1478nH
Indutância do laço de corrente	L_{loop}	0,9478nH

Como as dimensões das trilhas tem um grande impacto nos elementos parasitas da PCB, a inserção de um cabeamento externo ao circuito para a medição de corrente (no laço de corrente) modificaria as trilhas da PCB influenciando nos valores de L e R resultando em erros nos modelos. Adicionalmente, devido as características construtivas dos encapsulamentos dos dispositivos eletrônicos, que estão acoplados por meio de solda na face superior da PCB, não há a possibilidade de utilização de ponteiras e sensores de efeito hall. Por este motivo apresenta-se apenas a medição experimental de V_{DS2} e não o valor de I_D .

B. Simulações SPICE dos Modelos Completo e Convencional

Os resultados da tensão V_{DS2} e da corrente I_D para o modelo completo e convencional são apresentados nas Figuras 9 e 10.

Ainda, na Figura 11 apresenta-se o enfoque das oscilações sobre o sinal de tensão V_{DS2} na simulação do modelo completo, cujo período de oscilação (T_r) apresentado é igual a 5,0466ns, com uma precisão percentual de 99,12% em relação à medição experimental.

O valor médio de V_{DS2} obtido através da simulação SPICE do modelo completo resultou em um valor igual a 53,276V, apresentando uma diferença percentual de 0,78% em relação à medição experimental.

Já o valor máximo, ou overshoot de V_{DS2} , obtido através da simulação SPICE resultou em um valor igual a 57,37V, apresentando uma precisão de 98,47% em relação à medição experimental. Ainda, outros resultados podem ser visualizados na Tabela IV.

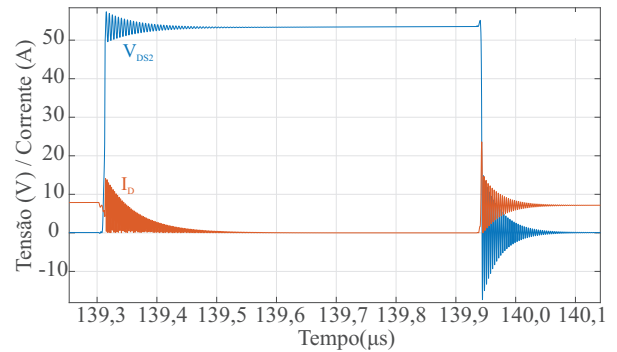


Fig. 9. Resultados de V_{DS2} e I_D da simulação SPICE do modelo completo

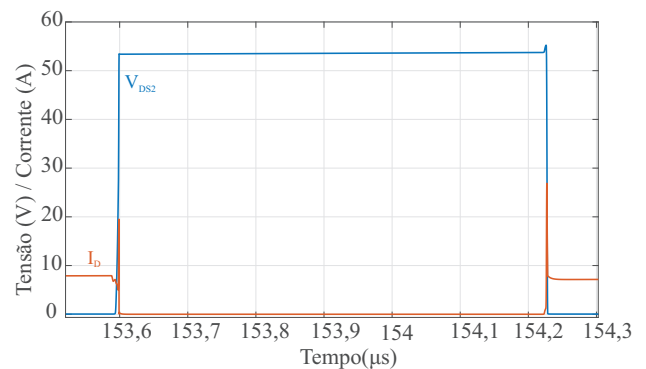


Fig. 10. Resultados de V_{DS2} e I_D da simulação SPICE do modelo convencional

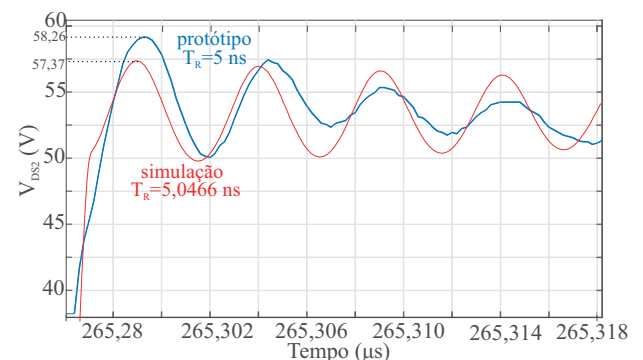


Fig. 11. Enfoque das oscilações de V_{DS2} da simulação SPICE do modelo completo e a medição no protótipo experimental

TABELA IV
Resultados Obtidos Através da Simulação SPICE do Modelo Completo do Conversor Boost Síncrono

Variável	Símbolo	Valor
Tensão de saída	V_{out}	53,276V
Tensão de entrada	V_{in}	12V
Período do oscilação	T_r	5,0466ns
Frequência da oscilação	f_r	198,15MHz
Indutância de modo comum da chave S_1	L_{S1}	0,2nH
Indutância de modo comum da chave S_2	L_{S2}	0,2nH
Capacitância de saída da chave S_2	C_{oss}	500pF
Capacitância parasita do layout S_2	C_{par2}	62,51pF
Indutância total de dispersão	L_{stray}	1,1175nH
Indutância do laço de corrente	L_{loop}	0,9175nH
Resistência das trilhas	R_{loop}	3,5mΩ
Resistência da via	R_{vias}	91,8μΩ

C. Perdas da Chave Semicondutora Devido aos Elementos Parasitas

As formas de onda de V_{DS2} , I_D e o sinal que representa a sobreposição de tensão e corrente para $L_{loop} = 0,9175 \text{ nH}$ obtidos através da simulação SPICE do modelo completo são apresentados na Figura 12.

Já na Figura 13 são apresentadas as formas de onda de V_{DS2} , I_D e a sobreposição de tensão e corrente para $L_{loop} = 0,9175 \text{ nH}$ obtidos através da simulação SPICE do modelo convencional, sem a influência dos elementos parasitas.

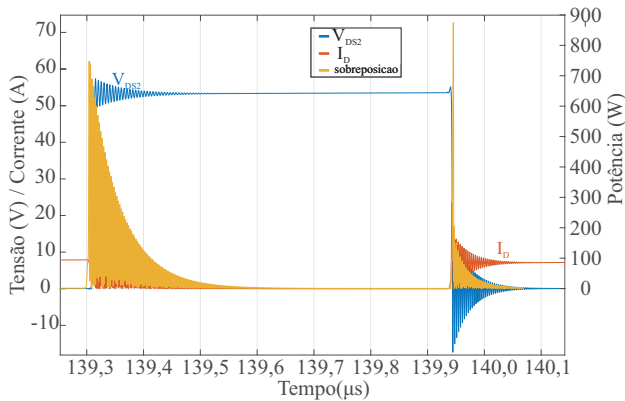


Fig. 12. Formas de onda da tensão V_{DS2} e a corrente I_D com $L_{loop} = 0,9175 \text{ nH}$ obtidas através da simulação SPICE do modelo completo

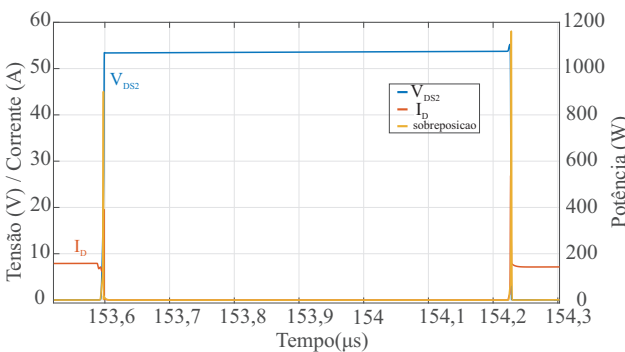


Fig. 13. Formas de onda da tensão V_{DS2} e a corrente I_D com $L_{loop} = 0,9175 \text{ nH}$ obtidas através da simulação SPICE do modelo convencional

Desta forma, são apresentados na Tabela V os valores obtidos através da integração numérica trapezoidal para o tempo total de 1 ms utilizando um *software* de simulações matemáticas.

TABELA V

Resultados Obtidos Através de Simulação Matemática do Conversor Boost Síncrono

Variável	Símbolo	Valor
perda de energia - mod. completo	E_{SWcomp}	1,2318mJ
perda de energia - mod. convencional	E_{SWconv}	973,55μJ
perda de energia devido aos elementos parasitas	E_{ring}	0,258mJ

Avaliando-se a Tabela V percebe-se que os elementos parasitas presentes na PCB do conversor *boost* síncrono contribuem em 20,96% no valor total da perda de energia na comutação do semicondutor. Através deste resultado reitera-se a importância da utilização desta metodologia para auxiliar no

projeto e implementação de um protótipo do conversor estático em uma PCB. Além do mais, reafirma-se a importância do projeto da PCB através de técnicas de minimização de elementos parasitas, fazendo com que as oscilações incidentes sobre a chave semicondutora diminuam, e por consequência a perda de energia no momento da comutação do dispositivo.

O resultado de E_{ring} obteve-se através da integração em um período de 1 ms . Desta forma, o valor da potência média gasta pelo semicondutor devido aos elementos parasitas P_{ring} , resultou em um valor igual a $0,258 \text{ W}$. Este valor de potência adicional ao semicondutor, resultado dos efeitos indesejados do *layout* da PCB no conversor proporciona também um aumento da temperatura de junção T_J do dispositivo semicondutor. Avaliando-se o valor da resistência térmica da junção ao ambiente do semicondutor GaN EPC2001C em [37], igual a $\theta_{JA} = 54^\circ \text{ C/W}$; as definições apresentadas em [9] para a determinação da T_J de um dispositivo semicondutor; o valor da temperatura ambiente igual a $T_{amb} = 25^\circ \text{ C}$; conclui-se que P_{ring} contribui na elevação de $13,93^\circ \text{ C}$ na temperatura de junção do dispositivo.

Além do mais, sabe-se que a resistência interna dos dispositivos semicondutores $R_{ds(on)}$ é diretamente proporcional à temperatura de junção, sendo maior com o aumento da temperatura, demonstrada em [37]. Assim, o aumento de $13,93^\circ \text{ C}$ na T_J do dispositivo semicondutor, passando de $T_J = 52,92^\circ \text{ C}$ para o valor de $T_J = 66,85^\circ \text{ C}$ ocasionaria um aumento de aproximadamente 10% no valor de $R_{ds(on)}$ segundo os dados fornecidos pelo fabricante. Desta forma, a elevação do valor de $R_{ds(on)}$ tem impactos significativos nas perdas de energia do semicondutor no momento da sua condução, aumentando o valor da T_J do dispositivo. Ou seja, a contribuição de P_{ring} no semicondutor altera também o valor das perdas de condução do dispositivo e por consequência o aumento da sua T_J .

V. CONCLUSÕES

Através da metodologia proposta neste trabalho, que engloba de forma conjunta os resultados da análise matemática, análise experimental, simulações SPICE e integração numérica, foi possível determinar com boa precisão os elementos parasitas presentes no *layout* da PCB, bem como uma estimativa da perda de energia na chave semicondutora principal de um conversor *boost* síncrono.

A análise matemática apresentou uma precisão de 96,79% na determinação de L_{loop} , bem como possibilitou a definição da capacitância e resistência parasita do *layout* da PCB. Já as simulações SPICE do modelo completo foram validadas através dos resultados experimentais extraídos no protótipo, demonstrando uma precisão de 99,12% no valor de T_r , 99,22% em relação ao valor médio de V_{DS2} e 98,47% no *overshoot* de V_{DS2} .

Os resultados obtidos com a metodologia proposta possibilitam ao projetista a previsão do comportamento das oscilações sobre a chave semicondutora principal do conversor em decorrência dos elementos parasitas presentes no *layout* da PCB; a estimativa de perdas sem a necessidade de implementação de um protótipo experimental em uma PCB; diminuição de custos e o tempo na análise de diversos cenários na operação do conversor *boost* síncrono operando em uma

frequência de comutação igual a 350kHz.

AGRADECIMENTOS

Os autores agradecem o Grupo de Pesquisas GEDRE - Inteligência em Iluminação; o Grupo de Pesquisa e Desenvolvimento em Sistemas Elétricos e Computacionais (GSEC) pela utilização dos instrumentos necessários para a realização das medições experimentais; o doutorando do PPGE/UFSM Renan Duarte pelo desenvolvimento do protótipo experimental utilizado neste trabalho; o graduando Abner Campos pelo auxílio na realização das medições experimentais. O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES/PROEX) – Código de Financiamento 001.

REFERÊNCIAS

- [1] K. Wang, L. Wang, X. Yang, X. Zeng, W. Chen, H. Li, “A Multiloop Method for Minimization of Parasitic Inductance in GaN-Based High-Frequency DC?DC Converter”, *IEEE Transactions on Power Electronics*, vol. 32, no. 6, pp. 4728–4740, June 2017, doi:10.1109/TPEL.2016.2597183.
- [2] K. Jin, L. Gu, J. Wang, “A 10-MHz Resonant Converter With a Synchronous Rectifier for Low-Voltage Applications”, *IEEE Transactions on Power Electronics*, vol. 34, no. 4, pp. 3339–3347, April 2019, doi:10.1109/TPEL.2018.2850300.
- [3] Z. Zhang, K. Xu, Z. Xu, J. Xu, X. Ren, Q. Chen, “GaN VHF Converters With Integrated Air-Core Transformers”, *IEEE Transactions on Power Electronics*, vol. 34, no. 4, pp. 3504–3515, April 2019, doi:10.1109/TPEL.2018.2849063.
- [4] J. Biela, U. Badstuebner, J. W. Kolar, “Impact of Power Density Maximization on Efficiency of DC?DC Converter Systems”, *IEEE Transactions on Power Electronics*, vol. 24, no. 1, pp. 288–300, Jan 2009, doi: 10.1109/TPEL.2009.2006355.
- [5] M. Liu, S. S. H. Hsu, “A Miniature 300-MHz Resonant DC?DC Converter With GaN and CMOS Integrated in IPD Technology”, *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9656–9668, Nov 2018, doi:10.1109/TPEL.2017.2788946.
- [6] F. Roccaforte, P. Fiorenza, G. Greco, R. L. Nigro, F. Giannazzo, F. Iucolano, M. Saggio, “Emerging trends in wide band gap semiconductors (SiC and GaN) technology for power devices”, *Microelectronic Engineering*, vol. 187-188, pp. 66 – 77, 2018, doi: <https://doi.org/10.1016/j.mee.2017.11.021>.
- [7] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás, J. Rebollo, “A Survey of Wide Bandgap Power Semiconductor Devices”, *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2155–2163, May 2014, doi:10.1109/TPEL.2013.2268900.
- [8] A. Lidow, J. Strydom, M. de Rooij, D. Reusch, *GaN Transistors for Efficient Power Conversion*, 2 ed., Wiley, Stanford, 2015.
- [9] Y. Shen, H. Wang, F. Blaabjerg, H. Zhao, T. Long, “Thermal Modeling and Design Optimization of PCB Vias and Pads”, *IEEE Transactions on Power Electronics*, pp. 1–1, 2019, doi: 10.1109/TPEL.2019.2915029.
- [10] D. Reusch, J. Strydom, “Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter”, *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 2008–2015, April 2014, doi: 10.1109/TPEL.2013.2266103.
- [11] A. Hariya, T. Koga, K. Matsuura, H. Yanagi, S. Tomioka, Y. Ishizuka, T. Ninomiya, “Circuit Design Techniques for Reducing the Effects of Magnetic Flux on GaN-HEMTs in 5-MHz 100-W High Power-Density LLC Resonant DC?DC Converters”, *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 5953–5963, Aug 2017, doi: 10.1109/TPEL.2016.2616439.
- [12] A. Letellier, M. R. Dubois, J. P. F. Trovão, H. Maher, “Calculation of Printed Circuit Board Power-Loop Stray Inductance in GaN or Highdi/dtApplications”, *IEEE Transactions on Power Electronics*, vol. 34, no. 1, pp. 612–623, Jan 2019, doi:10.1109/TPEL.2018.2826920.
- [13] J. Qian, *RF Models for Active IPEMs*, Master of science in electrical engineering, Virginia Polytechnic Institute and State University, 2003.
- [14] E. Gurpinar, F. Iannuzzo, Y. Yang, A. Castellazzi, F. Blaabjerg, “Design of Low-Inductance Switching Power Cell for GaN HEMT Based Inverter”, *IEEE Transactions on Industry Applications*, vol. 54, no. 2, pp. 1592–1601, March 2018, doi: 10.1109/TIA.2017.2777417.
- [15] E. M. Dede, P. Schmalenberg, T. Nomura, M. Ishigaki, “Design of Anisotropic Thermal Conductivity in Multilayer Printed Circuit Boards”, *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 5, no. 12, pp. 1763–1774, Dec 2015, doi:10.1109/TCPMT.2015.2473103.
- [16] E. M. Dede, C. Wang, Y. Liu, P. Schmalenberg, F. Zhou, J. Shin, M. Ishigaki, “Electrothermal Circuit Design With Heat Flow Control?Synchronous Buck Converter Case Study”, *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 8, no. 2, pp. 226–235, Feb 2018, doi:10.1109/TCPMT.2017.2773266.
- [17] M. Andresen, M. Liserre, “Impact of active thermal management on power electronics design”, *Microelectronics Reliability*, vol. 54, 08 2014, doi:10.1016/j.microrel.2014.07.069.
- [18] M. Andresen, K. Ma, G. Buticchi, J. Falck, F. Blaabjerg, M. Liserre, “Junction Temperature Control for More Reliable Power Electronics”, *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 765–776, Jan 2018, doi:10.1109/TPEL.2017.2665697.
- [19] T. Wu, Z. Wang, B. Ozpineci, M. Chinthavali, S. Campbell, “Automated Heatsink Optimization for Air-Cooled Power Semiconductor Modules”, *IEEE Transactions on Power Electronics*, vol. 34, no. 6, pp. 5027–5031, June 2019, doi: 10.1109/TPEL.2018.2881454.

- [20] R. Remsburg, *Advanced thermal design of electronic equipment*, 1st edition ed., Springer, New York, 1998.
- [21] A. Lidow, M. de Rooij, *eGaN FET Electrical Characteristics- White paper:WP007*, United States, jan 2012, acesso em 02 de maio de 2019.
- [22] G. S. Inc., *Design with GaN Enhancement mode HEMT - GN001 Application Guide*, United States, jan 2018, acesso em 02 de maio de 2019.
- [23] G. S. Inc., *PCB Thermal Design Guide for GaN Enhancement Mode Power Transistors - GN005 Application Note*, United States, jan 2016, acesso em 02 de maio de 2019.
- [24] A. Berzoy, A. Mohamed, O. Mohammed, "Optimizing Power Converter PCB Magnetic Design for Lower EMI Levels", p. 10, 11 2014.
- [25] R. W. Erickson, *EMI and Layout Fundamentals for Switched-Mode Circuits*, jan 2018, acesso em 02 de maio de 2019.
- [26] T. Instruments, *AN-2155 Layout Tips for EMI Reduction in DC / DC Converters*, United States, jan 2013, acesso em 02 de maio de 2019.
- [27] T. Hegarty, *Reduce buck-converter EMI and voltage stress by minimizing inductive parasitics*, Dallas, Texas, jan 2016, acesso em 02 de maio de 2019.
- [28] ROHM, *PCB Layout Techniques of Buck Converter*, United States, jan 2017, acesso em 02 de maio de 2019.
- [29] G. Deboy, O. Haeberlen, M. Treu, "Perspective of loss mechanisms for silicon and wide band-gap power devices", *CPSS Transactions on Power Electronics and Applications*, vol. 2, no. 2, pp. 89–100, 2017, doi: 10.24295/CPSSTPEA.2017.00010.
- [30] C. M. Paton, *Inductance modeling and extraction in EMC applications*, Master of science in electrical engineering, MISSOURI UNIVERSITY OF SCIENCE AND TECHNOLOGY, 2009.
- [31] D. Reusch, *Optimizing PCB Layout*, United States, jan 2014, acesso em 02 de maio de 2019.
- [32] T. N. S. Biswas, D. Reusch, M. de Rooij, *APPLICATION NOTE AN023: Accurately Measuring High Speed GaN Transistors*, United States, jan 2017.
- [33] M. Amyotte, E. S. Glitz, C. G. Perez, M. Ordonez, "GaN Power Switches: A Comprehensive Approach to Power Loss Estimation", in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1926–1931, Sep. 2018, doi: 10.1109/ECCE.2018.8557635.
- [34] H. W. Johnson, M. Graham, *High-Speed Digital design: A handbook of black magic*, Prentice Hall, New Jersey, 1993.
- [35] G. S. Inc., *Measurement Techniques for High-Speed GaN E-HEMTs - GN003 Application Note*, United States, jan 2018, acesso em 02 de maio de 2019.
- [36] David Reusch and Johan Strydom, "Improving Performance of High Speed GaN Transistors Operating in Parallel for High Current Applications", Acesso em 02 maio de 2019, 2013.
- [37] E. P. C. CORPORATION, *EPC2001 - Enhancement Mode Power Transistor*, United States, jan 2013, acesso em 02 de maio de 2019.
- [38] E. P. C. CORPORATION, *EPC2016 - Enhancement Mode Power Transistor*, United States, jan 2013, acesso em 02 de maio de 2019.

DADOS BIOGRÁFICOS

Tális Piovesan, nascido em 29/10/1991 em Nova Palma-RS, é engenheiro eletricitista (2014), mestre (2017) e doutorando (2017) pela Universidade Federal de Santa Maria-RS. Atualmente é professor substituto no Departamento de Processamento de Energia da Universidade Federal de Santa Maria-RS. Suas áreas de interesse são: eletrônica de potência, otimização de conversores estáticos, conversores estáticos CC/CC, método de elementos finitos.

Hamilton Confortim Sartori, Natural de Marau-RS. Possui graduação em Engenharia Elétrica (2007) na Universidade Federal de Santa Maria, mestrado (2009), doutorado (2013) e pós-doutorado (2016) em Engenharia Elétrica. Atualmente é professor Adjunto de Departamento de Processamento de Energia Elétrica da Universidade Federal de Santa Maria. Possui experiência na área de eletrônica de potência, atuando principalmente nas áreas de projetos otimizados de conversores estáticos, conversores de alto ganho, projetos de componentes magnéticos, semicondutores de potência (seleção, análise de perdas e projeto de sistema de transferência de calor), sensoramento e compatibilidade eletromagnética (EMI).

Vitor Cristiano Bender nasceu em Panambi, Brasil, em 1987. Recebeu os títulos de Engenheiro Eletricista pela Universidade Regional do Noroeste do Estado do Rio Grande do Sul, Ijuí, Brasil, em 2011, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Maria (UFSM), Santa Maria, Brasil, em 2012 e 2015, respectivamente. Em 2014 realizou estágio doutoral na Universidad de Oviedo, Gijón, Espanha. De 2015 a 2017, foi professor da Universidade Federal do Pampa, Alegrete, Brasil. Desde 2018, é professor do Departamento de Eletrônica e Computação da UFSM, onde também é pesquisador no Grupo de Inteligência em Iluminação (GEDRE) e no Instituto de Redes Inteligentes (INRI) onde atua como Gerente Técnico do Laboratório de Engenharia Assistida por Computador. Dr. Bender é co-autor de mais de 10 artigos de periódicos e mais de 50 artigos de conferências e detém uma patente brasileira. Seus interesses atuais de pesquisa incluem sistemas de iluminação, circuitos eletrônicos para iluminação, diodos emissores de luz (LEDs), diodos orgânicos emissores de luz (OLEDs), modelos e projetos térmicos, transformadores de potência e projetos com engenharia assistida por computador.

José Renes Pinheiro, recebeu o grau de Eng Eletricista pela UFSM, e os graus de Mestre e Doutor em Engenharia Elétrica pela UFSC, em 1981, 1984, e 1994, respectivamente. Atualmente é Bolsista de Produtividade em Pesquisa do CNPq - Nível 1B, e Prof. Titular (Voluntário) do DPEE da UFSM, onde atua desde 1985. Desde 2018, também atua como Prof. Titular Visitante no PPGE na UFBA. Em 1987, foi um dos fundadores e líder do Grupo de Eletrônica de Potência e Controle (GEPOC). Entre 2006 e 2015 foi coord. do

PPGEE (CAPES Nível 6) da UFSM. Em 1999 foi coord. de Programa Técnico e em 2013 Coord. Geral do COBEP. Coordenou o SEPOC, em 2000, 2005 e 2017. Entre 2001 e 2002, realizou Pós-doutorado no Center for Power Electronics Systems (CPES), Virginia Tech, USA. É autor e co-autor de mais de 300 artigos técnicos publicados em conferências e periódicos nacionais e internacionais. Suas principais linhas de pesquisas e interesse incluem Projetos Otimizados

de conversores estáticos, Sistemas Híbridos de conversão estática de energia, Conversão de Energia em Alta Frequência, Modelagem e Controle de Conversores Estáticos e Sistemas Distribuídos de Energia. É membro da SOBRAEP, da SBA, e das Sociedades PELS, IAS, IES e PES da IEEE. Em 2015 foi fundador IEEE Joint Chapter, e em 2016 do UFSM/IEEE Student Branch e do Instituto de Redes Inteligente INRI.