

# ANÁLISE ESTÁTICA E DINÂMICA DO CONVERSOR CC-CC DUPLO-BUCK QUADRÁTICO

Francieli L. Sá<sup>1</sup>, Cleiton Dal Agnol<sup>2</sup>, Domingo Ruiz-Caballero<sup>3</sup>, e Samir A. Mussa<sup>2</sup>

<sup>1</sup>Centro Universitário Facvest–UNIFACVEST, Departamento de Engenharia Elétrica, Lages–SC

<sup>2</sup>Universidade Federal de Santa Catarina–UFSC, Instituto de Eletrônica de Potência – INEP, Florianópolis–SC

<sup>3</sup>Pontifícia Universidade Católica de Valparaíso, Power Electronic Laboratory-LEP,P.O Box 4059, Valparaíso, Chile

e-mail: prof.francieli.lima@unifacvest.edu.br, cleiton@inep.ufsc.br, domingo.ruiz@ucv.cl, samir@inep.ufsc.br

**Resumo** – Neste artigo será apresentado o conversor não-isolado CC-CC duplo buck quadrático. Esta topologia possui as vantagens de robustez, confiabilidade e alta taxa de conversão estática, além da redução dos esforços de tensão nos interruptores pela metade do valor em comparação com o conversor buck quadrático convencional. A simetria topológica simplifica a análise teórica do conversor. Inicialmente, realiza-se a análise estática, apresentando as etapas de operação do conversor com suas formas de ondas. Após, apresenta-se a curva de ganho estático em condução contínua, assim como são equacionados os modos de condução para obtenção da curva da característica externa do conversor. Além do modelo estático, apresenta-se o modelo dinâmico e o controle da corrente de entrada e da tensão de saída. Por fim, é construído um protótipo de 500W, frequência de comutação de 50kHz com controle e modulação baseados em FPGA, de forma a validar a análise teórica e a curva de rendimento do conversor.

**Palavras-chave** – Conversor Duplo Buck Quadrático, Modelagem e Controle.

## STEADY-STATE AND DYNAMIC ANALYSIS OF THE QUADRATIC DOUBLE-BUCK DC-DC CONVERTER

**Abstract** – In this article, the quadratic double buck non-isolated DC-DC converter will be presented. This topology has the advantages of robustness, reliability and high static conversion rate, in addition to reducing the voltage efforts on the switches by half the value compared to the conventional quadratic buck converter. Topological symmetry simplifies the theoretical analysis of the converter. Initially, a static analysis is performed, presenting the operation steps of the converter with its waveforms. Afterwards, the static gain curve in continuous conduction mode is presented, as well as the conduction modes to obtain the curve of the external characteristic of the converter. In addition to the static model, the dynamic model and the control of the input current and the output voltage are presented. Finally, a 500W prototype, 50kHz switching frequency with control and modulation based on FPGA is built, in order to validate the theoretical analysis and the efficiency curve of the converter.

Manuscript received 09/09/2020; first revision 12/12/2020; accepted for publication 01/18/2021, by recommendation of Editor Demercil de Souza Oliveira Jr. <http://dx.doi.org/10.18618/REP.2021.1.0056>

**Keywords** – Double Quadratic Buck Converter, Modeling and Control.

## NOMENCLATURA

<i>MCC</i>	Modo de Condução Contínuo;
<i>MCCr</i>	Modo de Condução Crítico;
<i>MCD</i>	Modo de Condução Descontínuo;
<i>D</i>	Razão Cíclica;
<i>f<sub>s</sub></i>	Frequência de Comutação;
<i>I<sub>c</sub></i>	Corrente nos capacitores intermediários <i>C</i> <sub>1</sub> e <i>C</i> <sub>2</sub> ;
<i>V<sub>c</sub></i>	Tensão nos capacitores intermediários <i>C</i> <sub>1</sub> e <i>C</i> <sub>2</sub> ;
<i>AD</i>	Analogico para Digital;
<i>PWM</i>	Modulação por Largura de Pulso;
<i>C<sub>i</sub></i>	Controlador de Corrente;
<i>C<sub>v</sub></i>	Controlador de Tensão;
<i>H<sub>gi</sub></i>	Ganho de Instrumentação.

## I. INTRODUÇÃO

No âmbito da eletrônica de potência, características como robustez, confiabilidade, eficiência e baixo custo com simplicidade, são propriedades de grande importância na seleção de topologia de conversores estáticos. Nesse contexto, os conversores de corrente contínua, especificadamente os conversores CC-CC não isolados tem ultimamente sido revisitados em função das novas aplicações em que estes conversores são empregados.

Diante disso, a partir da associação dos conversores em cascata, através do conversor Čuk com dois estágios, originaram-se os conversores quadráticos [1]. Posteriormente, foi apresentada uma célula de comutação responsável por gerar uma família de conversores CC-CC, onde surgiu a análise para o desenvolvimento do conversor buck quadrático [2]. Além disso, está presente na literatura o estudo do modelo estático do conversor buck quadrático [3], e o estudo do conversor buck com alto ganho em comutação suave [4]. A modelagem dinâmica e o controle do conversor buck quadrático também são estudos realizados em trabalhos anteriores [5], [6]. Ainda relacionados, os conversores CC-CC multiníveis são topologias importantes presentes na literatura [7], [8], [9].

Em aplicações que exigem ampla faixa de conversão estática, o conversor duplo buck quadrático se torna interessante [10]. Isso se justifica, porque topologias de conversores buck convencionais que atuam com razões cíclicas baixas, delimitam seu funcionamento para altas frequências de comutação, em razão do tempo mínimo para

o interruptor mudar seu estado de comutação. Entretanto, dentre as vantagens do conversor buck quadrático proposto, pode-se citar a alta taxa de conversão estática e rápida resposta transitória, em função de uma menor variação da razão cíclica frente à degraus de carga, justificando sua origem, análise e desenvolvimento [11].

Assim, o conversor duplo buck quadrático pode ser utilizado em funções relacionadas ao uso de baterias com tensão menor que a fonte geradora de tensão, como por exemplo em sistemas de geração fotovoltaica [12], carregadores de baterias para telefones celulares [13], [14], fontes comutadas de alimentação [15], ou ainda em aplicações em *drivers* de LED [16]. Além disso, a topologia apresentada se destaca pela possibilidade de operar com fontes de tensão desbalanceadas ampliando ainda mais sua área de aplicação.

Além de possuir alto ganho estático em comparação com o conversor buck convencional, o conversor duplo buck quadrático possui a tensão média de saída e nos capacitores intermediários menor que a tensão de entrada. Além disso, a tensão nos interruptores é menor que a tensão de entrada, e metade da tensão nos interruptores se comparado ao conversor buck quadrático existente na literatura.

Portanto, neste trabalho apresenta-se a análise das etapas da operação, a curva de ganho estático ideal, o estudo do conversor operando nos modos de condução contínua, crítica e descontínua [17], bem como a representação da curva de característica externa do conversor [10]. Baseado no modelo dinâmico para o conversor buck obtido através da técnica espaço de estados [18], [19], assim como o modelo dinâmico aplicado ao conversor buck quadrático [6], esse trabalho apresenta o modelo dinâmico para o conversor duplo buck quadrático. São empregados controladores PI nas malhas de corrente e tensão. Finalmente, os testes práticos são apresentados para um protótipo de 500W de potência, operando em malha aberta, e malha fechada através dos controladores PI projetados.

## II. TOPOLOGIA DO CONVERSOR

Na Figura 1 apresenta-se a topologia do conversor proposto e sua estrutura topológica é dividida em dois subcircuitos para efeito de análise. O conversor duplo buck quadrático possui característica de abaixador de tensão, e por possuir alto ganho estático, consegue excursionar por uma ampla faixa na tensão de saída para uma pequena variação na razão cíclica.

Nesta estrutura, a fonte de alimentação e o capacitor intermediário se comportam como fonte de tensão. A carga deve se comportar como uma fonte de corrente e a corrente no capacitor intermediário é dada pela diferença entre a corrente no indutor  $L_1$  e a corrente no interruptor  $S_1$ . Devido à sua topologia simétrica, os componentes inferiores têm o mesmo comportamento dos respectivos componentes superiores, por essa razão no decorrer do artigo algumas análises dos respectivos componentes inferiores não estão presentes.

Conforme apresentado na revisão bibliográfica da seção anterior, o conversor proposto possui uma área de aplicação mais abrangente quando comparado ao conversor buck convencional e ao conversor buck quadrático, pois o conversor duplo buck quadrático apresenta vantagens como alto ganho

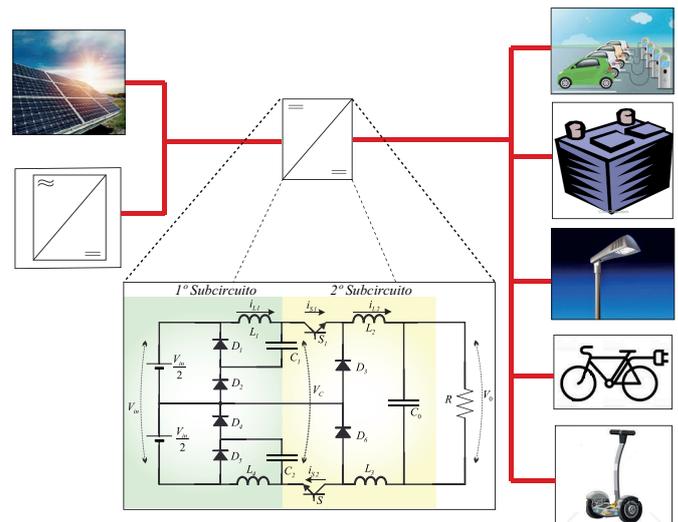


Figura 1. Aplicação da topologia do conversor CC-CC duplo buck quadrático proposto.

estático, divisão dos esforços nos interruptores e robustez em função das múltiplas fontes de entrada.

Com isso, o conversor proposto torna-se ideal para aplicações com níveis mais elevados de potência, como por exemplo, carregamento rápido de veículos elétricos de pequeno à grade porte, sistemas de geração *offgrid* com armazenamento em baterias, e também lâmpadas LED. Devido a sua robustez se destaca em aplicações nas áreas da medicina, aeronáutica e militar. Com intuito de elucidar a comparação desses conversores, a Tabela I apresenta alguns parâmetros importantes, onde cada uma das topologias apresenta vantagens e desvantagens.

## III. ETAPAS DE OPERAÇÃO E GANHO ESTÁTICO IDEAL DO CONVERSOR

### A. Modo de Condução Contínua (MCC)

#### Primeira etapa: $(D.T_s)$

Nesta fase, os interruptores  $S_1$  e  $S_2$  estão conduzindo. Os diodos  $D_3$  e  $D_6$  são polarizados inversamente, as fontes de corrente  $I_{L1}$  e  $I_{L2}$  começam a fornecer energia à saída. A corrente  $i_{S1}$  é a soma de  $I_{L1}$  com  $I_{C1}$  e a corrente  $i_{D1}$  é nula, como mostrado na Figura 2 .a.

#### Segunda etapa: $((1 - D).T_s)$

Nesta etapa, os interruptores  $S_1$  e  $S_2$  estão bloqueados. Os diodos  $D_3$  e  $D_6$  entram em condução, isolando a fonte de corrente  $I_{L1}$  da saída e da fonte de corrente  $I_{L2}$ . Nesse estágio, a corrente  $i_{S1}$ ,  $i_{S2}$ ,  $i_{D2}$  e  $i_{D4}$  são nulos,  $i_{D1} = I_{L1}$  e  $i_{D3} = I_{L2}$ , como mostrado na Figura 2 .b.

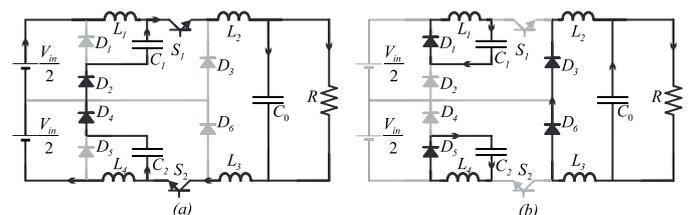


Figura 2. Etapas de operação do conversor no modo de condução contínua com comando único dos interruptores  $S_1$  e  $S_2$ : a) Primeira etapa; b) Segunda etapa.

**Tabela I**  
**Comparação do Conversor Estudado com Conversores Existentes na Literatura**

	ganho estático	número de componentes	esforços nos interruptores	variação de tensão de entrada	multiplicidade das fontes de entrada
conversor buck convencional	$D$	4	$V_{in}$	$\Delta V$	única
conversor buck quadrático	$D^2$	8	$V_{in} + V_{C1}$	$2 \cdot \Delta V$	única
conversor duplo buck quadrático	$D^2$	15	$V_{in}/2 + V_{C1}$	$2 \cdot \Delta V$	dupla

A Figura 4 .a ilustra as formas de onda para cada etapa de operação no modo de condução contínua.

Para análise do ganho estático ideal, considera-se a energia cedida pela fonte  $V_{in}$  subtraída da tensão dos capacitores intermediários  $V_C$ , em um período de operação [20], conforme a (1), no qual o valor de tensão é dado por  $V_C = V_{C1} + V_{C2}$  e o intervalo de tempo considerado  $\Delta t_1 = t_1 - t_0$ .

$$W_{in} = \left( \frac{V_{in}}{2} - \frac{V_C}{2} \right) \cdot I_{L1} \cdot \Delta t_1. \quad (1)$$

A energia recebida pelos capacitores intermediários  $C_1$  e  $C_2$  em um período de operação, é representada na Equação (2).

$$W_{C_{1,2}} = \frac{V_C}{2} I_{L1} \Delta t_2. \quad (2)$$

Considerando um sistema ideal, em um período de operação, toda a energia fornecida pela fonte  $V_{in}$  é recebida pelos capacitores intermediários  $C_1$  e  $C_2$ . Assim, ao manipular-se (1) e (2), obtemos a Equação do ganho estático ideal para o primeiro subcircuito do conversor, conforme mostrado em (3). A mesma análise é realizada para o segundo subcircuito, considerando neste caso,  $V_C$  uma fonte de tensão instantânea e  $I_{L2}$  uma fonte de corrente constante.

$$\frac{V_C}{V_{in}} = D. \quad (3)$$

Utilizando o princípio de superposição e analisando a primeira e a segunda etapa de operação, é obtido o ganho estático ideal total do conversor proposto em função da tensão de saída pela tensão de entrada, conforme (4):

$$\frac{V_0}{V_{in}} = D^2. \quad (4)$$

A Figura 3 mostra a curva do ganho estático em função da razão cíclica para o conversor duplo buck quadrático proposto, para fins de comparação, também é apresentada a curva de ganho estático do conversor buck convencional.

Sabe-se que o conversor buck é um conversor abaixador de tensão. Nesse sentido, para o conversor buck quadrático, considerando a mesma tensão de entrada e razão cíclica, a tensão de saída será menor visto que o ganho estático no conversor quadrático possui uma variação mais brusca.

De forma a ilustrar o ganho estático do conversor quadrático, a Figura 3 mostra a variação de razão cíclica [0,0 - 0,5] onde  $V_0 \ll V_{in}$ . Assim, para uma tensão de entrada de 400V e com o intuito de obter uma tensão de saída de 20V, o conversor buck convencional irá operar com uma razão cíclica

de ( $D = 5\%$ ), enquanto que no conversor proposto a razão cíclica é de ( $D \cong 22,5\%$ ). Portanto, a excursão de tensão que o conversor quadrático abrange é maior que o conversor convencional, nos extremos da relação de tensão. Contudo, o conversor quadrático é mais adequado nessas situações, pois possui maior resolução, melhorando assim a precisão nos valores de tensão de saída.

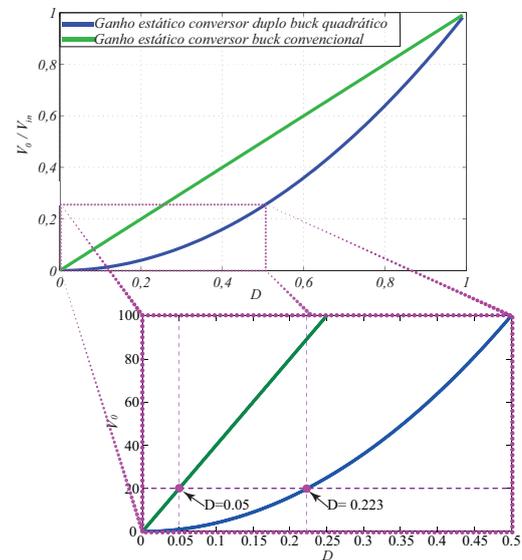


Figura 3. Ganho estático ideal do conversor duplo buck quadrático proposto em comparação com o conversor buck convencional.

Tendo em vista a aplicação do conversor buck quadrático em sistemas em que a tensão de entrada assume níveis elevados, a tensão no interruptor é um parâmetro importante. Assim, através do método de análise de malhas, na segunda etapa de operação, é dada pela soma da tensão da fonte ( $V_{in}/2$ ) com a tensão no capacitor intermediário, ( $V_{C1} = V_C/2$ ).

$$V_{S1} = \frac{V_{in}}{2} + \frac{V_C}{2}. \quad (5)$$

A (5) mostra que os esforços de tensão no interruptor  $S_1$  é menor quando comparado ao conversor buck quadrático [2] e menor que a tensão total na entrada ( $V_{in}$ ). A tensão no interruptor  $S_2$  é obtida de forma semelhante.

Sendo assim, uma das vantagens do conversor duplo buck quadrático em relação ao conversor quadrático convencional é a reduzida tensão nos seus interruptores, conforme mostra a (5). Para elevadas faixas de tensão e frequência de comutação, o custo dos interruptores pode ser bem maior em comparação aos demais componentes do conversor. Portanto, com a

redução nos esforços de tensões desses componentes em função da utilização do conversor quadrático apresentado, o custo total na confecção do conversor pode ser reduzido. Ainda, em relação aos esforços de tensão que suportam os interruptores comerciais, a escolha de um conversor quadrático pode ser crucial para determinadas aplicações.

### B. Modo de Condução Crítica (MCCr)

As etapas de operação do modo de condução crítica são as mesmas descritas para o modo de condução contínua. O que distingue esses dois modos de operação é o fato de a corrente nos indutores ter valor mínimo  $I_{min}$  igual a zero.

Assim, durante o primeiro estágio da operação, a corrente nos indutores  $L_1$  e  $L_2$  inicialmente é zero e se anula novamente exatamente no final do período de comutação.

O conversor operando no modo de condução crítica é representado pelas formas de onda mostradas na Figura 4.b, com os respectivos intervalos de tempo de condução dos interruptores correspondentes a cada etapa de operação.

Os cálculos das indutâncias críticas  $L_1$  e  $L_2$  são realizados analisando as ondulações de correntes nos indutores, conforme mostrado respectivamente em (6) e (7).

$$\Delta I_{L1} = I_{L1\_max} = \frac{V_{in}/2}{L_1} \cdot \frac{D \cdot (1-D)}{f_s} \quad (6)$$

$$\Delta I_{L2} = I_{L2\_max} = \frac{V_C/2}{L_2} \cdot \frac{D \cdot (1-D)}{f_s} \quad (7)$$

Dados os valores máximos e mínimos da corrente de entrada  $I_{L1\_max}$  e  $I_{L1\_min}$ , em função da corrente do capacitor intermediário para condução contínua ( $I_C$  - representa a corrente de saída do primeiro subcircuito do conversor, onde  $I_C = I_{L1\_med}$ ), a indutância crítica é encontrada anulando-se a corrente  $I_{L1\_min}$  (8).

$$I_C = \frac{I_{L1\_max}}{2} \quad (8)$$

Substituindo a (8) em (6) obtém-se (9). Assim, a indutância  $L_1$  crítica é dada por:

$$L_{1\_CR} = \frac{V_{in}/2}{2 \cdot f_s \cdot I_C} \cdot D \cdot (1-D) \quad (9)$$

Repetindo a mesma análise para o indutor  $L_2$ , os valores máximos e mínimos da corrente de entrada  $I_{L2\_max}$  e  $I_{L2\_min}$  em função da corrente do capacitor de saída para condução contínua, a indutância crítica é encontrada anulando-se a corrente  $I_{L2\_min}$ , (10).

$$L_{2\_CR} = \frac{V_C/2}{2 \cdot f_s \cdot I_0} \cdot D \cdot (1-D) \quad (10)$$

### C. Modo de Condução Descontínua (MCD)

As etapas de operação para o modo de condução descontínua são descritas a seguir. A primeira e a segunda etapas de operação são idênticas ao modo de condução contínua, portanto, não serão descritas novamente nesta seção.

Lembrando que  $D_1 \cdot T_s$ , é o tempo de condução da segunda etapa de operação. Considera-se ainda a razão cíclica complementar na condução descontínua é dada por  $1-D = D_1 + D_2 + D_3$ , de acordo com as respectivas etapas

de operação no MCD, como ilustra a Figura 4 .c.

#### Terceira etapa: ( $D_2 \cdot T_s$ )

Observando as Equações 9 e 10 que determinam os valores críticos das indutâncias, nota-se que esses valores são calculados a partir dos esforços de tensão e corrente nesses componentes, justificando assim, que a terceira etapa de operação no MCD é obtida considerando que toda a energia armazenada em  $L_2$  foi transferida à carga. Com isso, o diodo  $D_3$  bloqueia e o capacitor de saída  $C_0$  alimenta a carga. O indutor  $L_1$  continua fornecendo energia para o capacitor intermediário  $C_1$ .

#### Quarta etapa: ( $D_3 \cdot T_s$ )

Nesta etapa toda a energia armazenada em  $L_1$  e  $L_2$  foi transferida. Assim, o diodo  $D_1$  bloqueia e o capacitor  $C_0$  alimenta a carga.

As Figuras 5 e 4 mostram as etapas de operação e as formas de onda do conversor, respectivamente.

Para a análise do ganho estático do conversor em modo de condução descontínuo, considera-se a tensão do indutor  $L_1$  na segunda etapa de operação em valor absoluto  $V_{L1} = V_{C1} = V_C/2$  dado por (11):

$$\frac{V_C}{2} = L_{1\_Des} \cdot \frac{I_{L1\_max} \cdot f_s}{D_1} \quad (11)$$

Observando a Figura 4 .c, pode-se obter a (12), para a 2ª parte da análise.

$$I_C - I_{entrada} = \frac{I_{L1\_max}}{2} \cdot D_1 \quad (12)$$

Isolando  $I_{L1\_max}$  em (12) e igualando à (11), encontra-se (13) referente a 1ª parte da equação do ganho estático ideal do conversor operando no modo de condução descontínua:

$$\frac{V_C/2}{V_{in}/2} = 1 - \frac{(V_C/2) \cdot D_1^2}{2 \cdot I_C \cdot L_{1\_Des} \cdot f_s} \quad (13)$$

Repetindo a análise de  $L_1$  para o indutor  $L_2$ , obtém-se (14), referente a 2ª parte da Equação do ganho estático:

$$\frac{V_0/2}{V_C/2} = 1 - \frac{(V_0/2) \cdot D_1^2}{2 \cdot I_0 \cdot L_{2\_Des} \cdot f_s} \quad (14)$$

Para obter o ganho estático ideal total do conversor operando no modo de condução descontínua utiliza-se o princípio da superposição de (13) e (14), obtendo (15).

$$\frac{V_0}{V_{in}} = \left( 1 - \frac{(V_0/2) \cdot D_1^2}{2 \cdot I_0 \cdot L_{1\_Des} \cdot f_s} \right)^2 \quad (15)$$

Observa-se em (15), que a razão cíclica  $D$  deve ser capaz de compensar as variações da tensão de entrada  $V_{in}$  e as variações de carga  $I_0$ . Em função do ganho estático ser dependente da carga em MCD, este tipo de operação normalmente é aplicado para altas tensões e baixas correntes [21].

### D. Característica Externa

Analisando as equações dos ganhos estáticos nos modos de condução contínua (4), e descontínua (15), e fazendo  $a = V_0/V_{in}$  e  $\gamma = 2 \cdot I_0 \cdot L_1 \cdot f_s / V_{in}$ , tem-se as equações do ganho estático para condução contínua e descontínua na forma parametrizada.

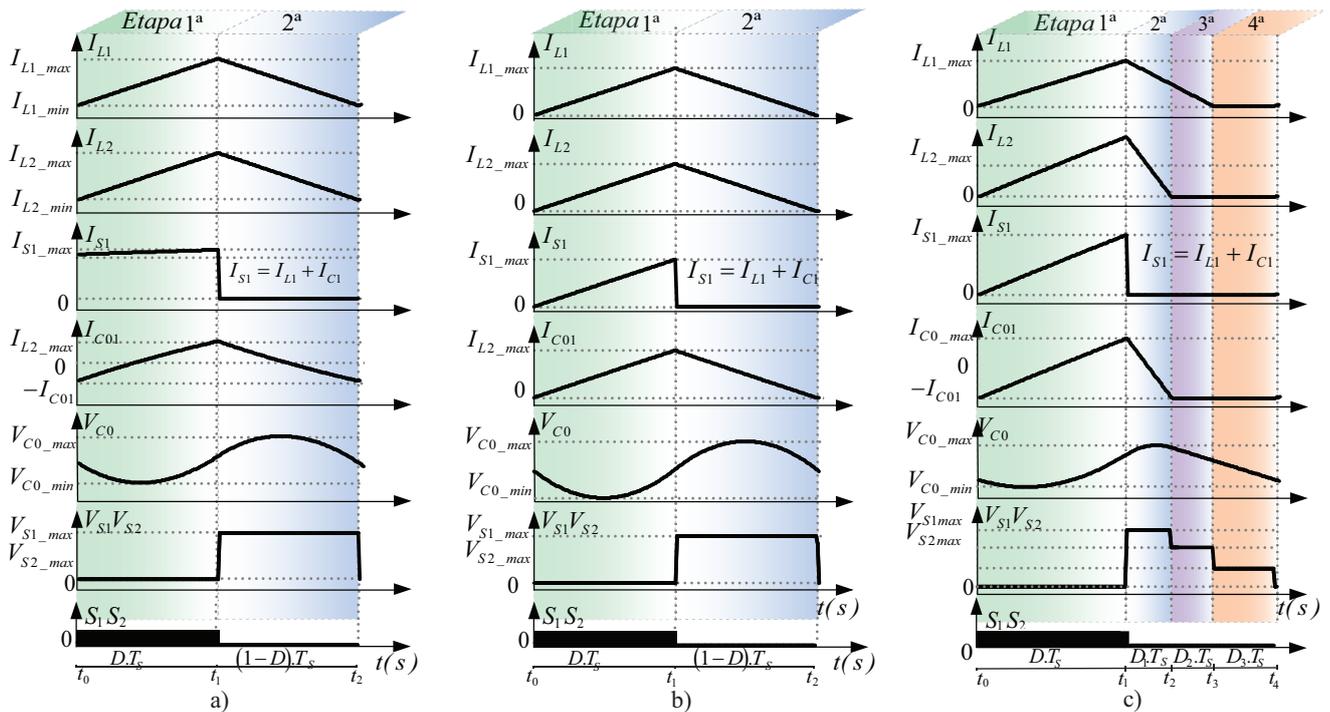


Figura 4. Formas de onda do conversor duplo buck quadrático operando no modo de condução: a) Contínua; b) Crítica e c) Descontínua.

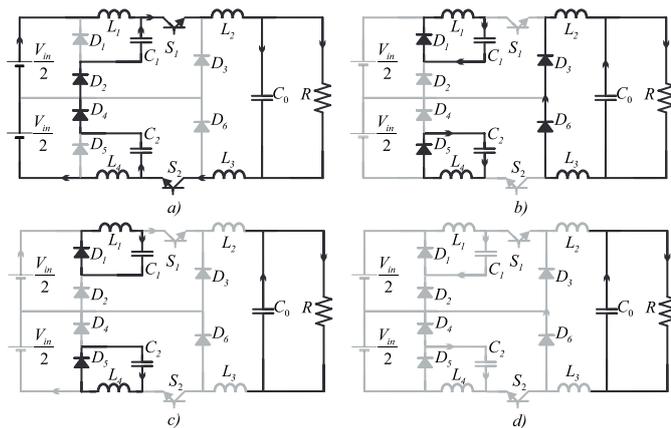


Figura 5. Etapas de operação em condução descontínua: a) 1ª Etapa; b) 2ª Etapa; c) 3ª Etapa; d) 4ª Etapa.

Fazendo as substituições necessárias, obtém-se (16) que representa o limite entre o modo de condução contínua e o modo de condução descontínua. A Figura 6 apresenta a curva que representa a característica externa do conversor.

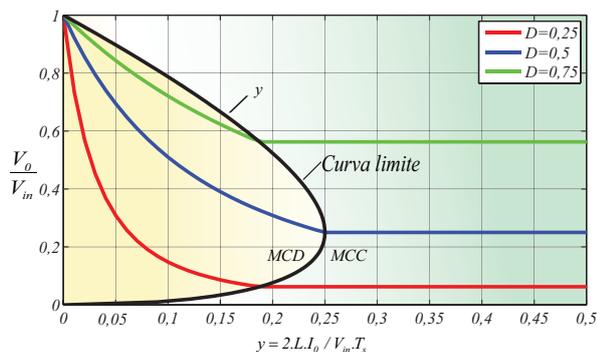


Figura 6. Característica externa do conversor proposto.

$$\gamma = \pm\sqrt{a} - a. \quad (16)$$

#### IV. MODELAGEM DINÂMICA E CONTROLE

Semelhante ao modelo dinâmico em MCD para o conversor buck convencional [21], o modelo dinâmico em MCD para o conversor estudado, apresenta-se de maneira simplificada, quando comparado ao MCC.

Portanto, nesta seção será apresentado o modelo dinâmico no modo de condução contínua, utilizando a técnica por espaço de estados para o controle da corrente de entrada e da tensão de saída em resposta ao degrau de carga do conversor proposto.

O controle clássico é comum em sistemas que exigem apenas uma entrada e uma saída. Para sistemas que exigem múltiplas entradas e saídas, normalmente é utilizada a modelagem por espaço de estados, obtendo modelos mais precisos e que representam fielmente o sistema. O sistema pode ser representado por equações de entrada e saída, conforme as Equações 17 e 18:

$$K \cdot \frac{d}{dt} X(t) = A \cdot X(t) + B \cdot U(t). \quad (17)$$

$$Y(t) = C \cdot X(t) + E \cdot U(t). \quad (18)$$

##### Primeira Etapa de Operação: ( $D \cdot T_s$ )

A partir da análise da Figura 2 .a, pode-se obter as matrizes de estados que determinam as tensões nos capacitores e as correntes dos indutores, como mostrado na 19.

**Segunda Etapa de Operação:**  $(1 - D) \cdot T_s$  O circuito ilustrado na Figura 2 .b é modelado conforme a 20.

$$\begin{bmatrix} L_1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & L_2 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & L_3 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & L_4 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & C_1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & C_2 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & C_0 \end{bmatrix} \cdot \frac{d}{dt} \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ i_{L3}(t) \\ i_{L4}(t) \\ V_{C1}(t) \\ V_{C2}(t) \\ V_{C0}(t) \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & -1/2 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & -1/2 \\ 0 & 0 & 0 & 0 & 0 & -1 & 0 \\ 1 & -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & -1/R \end{bmatrix} \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ i_{L3}(t) \\ i_{L4}(t) \\ V_{C1}(t) \\ V_{C2}(t) \\ V_{C0}(t) \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} [V_{in}(t)]$$

$$[i_{in}(t)] = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ i_{L3}(t) \\ i_{L4}(t) \\ V_{C1}(t) \\ V_{C2}(t) \\ V_{C0}(t) \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} [V_{in}(t)] \quad (19)$$

$$\begin{bmatrix} L_1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & L_2 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & L_3 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & L_4 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & C_1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & C_2 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & C_0 \end{bmatrix} \cdot \frac{d}{dt} \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ i_{L3}(t) \\ i_{L4}(t) \\ V_{C1}(t) \\ V_{C2}(t) \\ V_{C0}(t) \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & -1/2 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & -1/2 \\ 0 & 0 & 0 & 0 & -1 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & -1/R \end{bmatrix} \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ i_{L3}(t) \\ i_{L4}(t) \\ V_{C1}(t) \\ V_{C2}(t) \\ V_{C0}(t) \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} [V_{in}(t)]$$

$$[i_{in}(t)] = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_{L1}(t) \\ i_{L2}(t) \\ i_{L3}(t) \\ i_{L4}(t) \\ V_{C1}(t) \\ V_{C2}(t) \\ V_{C0}(t) \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} [V_{in}(t)] \quad (20)$$

O próximo passo será obter as equações que determinam o modelo médio para as duas etapas de operação do conversor. A matriz média "A" é dada por:

$$A = d.A_1 + (1-d).A_2. \quad (21)$$

Da mesma forma, pode-se encontrar os valores das matrizes B, C e E. Com os valores contínuos dos componentes, pode-se definir o modelo de pequenos sinais da componente alternada:

$$K \frac{d}{dt} \hat{x} = A.\hat{x}(t) + B.\hat{u}(t) + \{(A_1 - A_2).X + (B_1 - B_2).U\}.\hat{d}(t). \quad (22)$$

$$y(t) = C.\hat{x}(t) + E.\hat{u}(t) + \{(C_1 - C_2).X + (E_1 - E_2).U\}.\hat{d}(t). \quad (23)$$

onde:  $\hat{x}(t)$ ,  $\hat{u}(t)$ ,  $\hat{y}(t)$ , e  $\hat{d}(t)$ , são pequenas variações em torno do ponto de operação.

Com as matrizes obtidas para a primeira e segunda etapas de operação, bem como as equações que definem o sistema no espaço de estados, pode-se obter as funções de transferência do circuito, utilizando o softwares matemáticos.

Para provar o modelo matemático, a Figura 7 apresenta o diagrama de Bode da função de transferência da corrente de entrada como uma função da razão cíclica  $G_{id}(s) = \frac{\hat{i}_{L1}(s)}{\hat{d}(s)}$ , em comparação com a resposta em frequência do circuito simulado, obtido através do software PowerSIM (ACSwep).

O diagrama de Bode da função de transferência da tensão de saída pela razão cíclica  $G_{vd}(s) = \frac{\hat{V}_0(s)}{\hat{d}(s)}$  é mostrado na Figura 8 e comparado com o circuito utilizando o ACSweep.

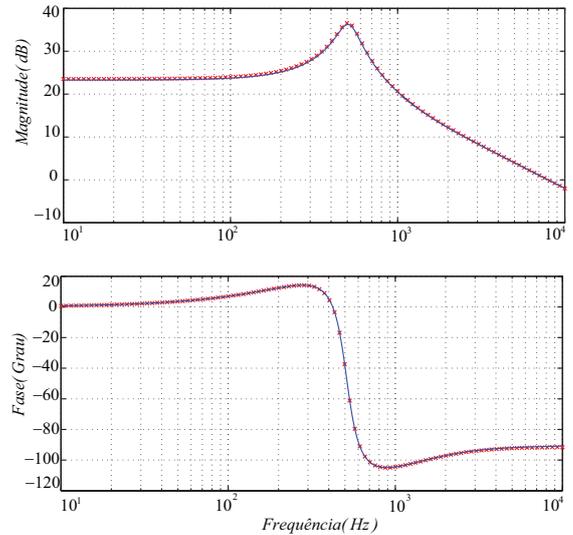


Figura 7. Comparação do modelo matemático  $G_{id}(s) = \frac{\hat{i}_{L1}(s)}{\hat{d}(s)}$  (contínuo - azul) com o circuito do conversor usando a ferramenta ACSweep (tracejado - vermelho).

Os controladores das malhas de corrente e tensão são projetados desejando-se que o conversor possa rejeitar variações na tensão de saída e picos de corrente nos instantes onde há variação de carga.

Para o controle da malha interna de corrente, é utilizado o compensador proporcional integral (PI) com filtro passa baixa, de forma a tender as seguintes especificações: Quanto maior o zero do compensador ( $z_c$ ), mais rápida é a resposta transitória. Contudo, a margem de fase diminui, aproximando o sistema da instabilidade. O polo do compensador ( $p_c$ ) é posicionado acima da frequência de comutação do conversor, para atenuar os ruídos da malha de realimentação. O integrador na origem proporciona um elevado ganho nas baixas frequências, eliminando o erro em regime permanente. O ganho do compensador é estabelecido de forma a garantir a frequência de cruzamento por zero especificada (usualmente limitada em uma década abaixo da frequência de comutação). O diagrama de blocos que representa a malha interna de corrente é mostrado na Figura 9. A frequência de cruzamento por zero projetada foi de 5kHz com margem de fase de 72 graus. A 24, mostra a expressão clássica do compensador de corrente utilizado.

$$C_i(s) = k_i \cdot \frac{s + z_i}{s \cdot (s + p_i)}. \quad (24)$$

Para o controle de tensão do conversor, uma malha externa é incluída, objetivando-se alterar a amplitude da corrente de referência de acordo com a variação de carga, de modo a controlar tensão de saída. Para isso, a malha de tensão deve ter um alto ganho CC. No entanto, ela não deve ter uma alta largura de banda para não distorcer a referência de corrente, em função dos ruídos de alta frequência. Um compensador proporcional integral (PI) + polo também pode ser usado para controlar a malha de tensão, obtendo erro nulo em regime

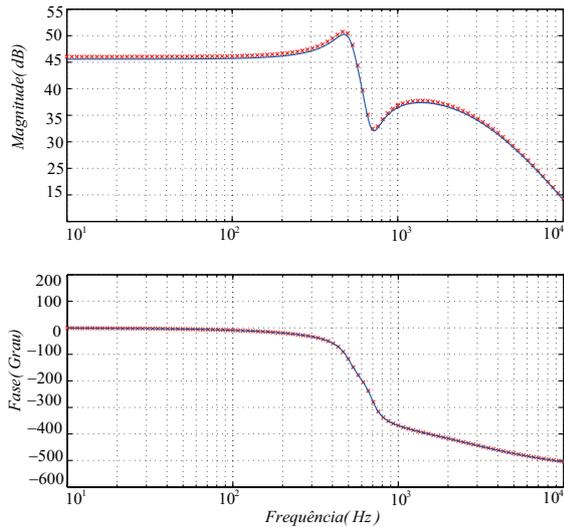


Figura 8. Comparação do modelo matemático  $G_{vd}(s) = \frac{\hat{V}_0(s)}{\hat{d}(s)}$  (contínuo - azul) com o circuito do conversor usando a ferramenta ACSweep (tracejado - vermelho).

permanente. Neste caso, o zero do controlador foi ajustado de forma a atenuar o polo da planta. O segundo polo do controlador foi adicionado acima da frequência de cruzamento por zero para minimizar o ruído na malha de controle. O ganho do compensador  $k_v$  é estabelecido de forma a garantir uma baixa frequência de cruzamento por zero de forma a obter uma lenta malha externa de tensão. O valor escolhido foi de 120Hz. A Figura 9 ilustra em diagrama de blocos a malha de controle externa da tensão. A (25), mostra a expressão do controlador de tensão utilizado.

$$C_v(s) = k_v \cdot \frac{s + z_v}{s \cdot (s + p_v)}. \quad (25)$$

Na modulação PWM, o sinal triangular da portadora e o sinal de controle variam continuamente no tempo. Assim, a comparação desses dois sinais deve ser instantânea no controle analógico. Porém, considerando que um compensador digital  $C(z)$  é mais indicado para controlar a modulação, o controlador projetado  $C(s)$  é convertido para o plano  $z$ . A discretização é realizada através da transformada de *Tustin*, para que possa ser programado no FPGA, através da aplicação da equação à diferença. Todavia, é necessário incluir o atraso computacional e os efeitos da discretização.

No controle digital a variável de comando é determinada pelo processador, onde os valores de razão cíclica são atualizados. Dessa forma, optou-se por duas amostragens a cada período da portadora. O período de amostragem  $T_a$ , é nesse caso metade do período de comutação  $T_s$ , onde,  $f_a$  é a frequência de amostragem, e  $f_s$  é a frequência de comutação. O atraso total resultante é dado pela soma do atraso do segurador de ordem zero (*ZOH - Zero Order Hold*), responsável pela amostragem e retenção do sinal digital e do atraso computacional, totalizando um período e meio de amostragem. Considera-se também a aproximação de Padé de 1ª ordem, conforme apresentado na (26):

$$atraso = \frac{1 - \frac{3}{4} \cdot T_a \cdot s}{1 + \frac{3}{4} \cdot T_a \cdot s}. \quad (26)$$

Finalmente, o ganho do conversor AD (conversor ADC intrínseco ao FPGA utilizado) é representado pelo número de níveis discretos da conversão analógica digital dividido pelo valor de sua máxima excursão.

## V. RESULTADOS EXPERIMENTAIS

Nessa seção são apresentados os resultados experimentais do conversor duplo buck quadrático, operando no modo de condução contínua. As especificações utilizadas nos testes práticos estão mostradas na Tabela II. O projeto dos componentes foi desenvolvido para atender os parâmetros básicos escolhidos. A fotografia do protótipo construído está ilustrada na Figura 10.

Tabela II  
Parâmetros Usados para o Protótipo de 500W

Tensão de Entrada	$V_{in} = 400V$
Tensão de Saída	$V_0 = 100V$
Potência Nominal de Saída	$P_0 = 500W$
Capacitor Intermediário	$C_1, C_2 = 25\mu F$
Capacitor de saída	$C_0 = 1,25\mu F$
Resistência	$R = 20\Omega$
Frequência de Comutação	$f_s = 50kHz$
Razão cíclica $S_1, S_2$	$D = 0,5$
Indutância de Entrada	$L_1, L_4 = 4mH$
Indutância Intermediária	$L_2, L_3 = 1mH$
Interruptor $S_1, S_2$ ( <i>MOSFET</i> )	<i>SPW24N60C3</i>
Diodo - $D_1$ a $D_6$	<i>HFA15TB60</i>

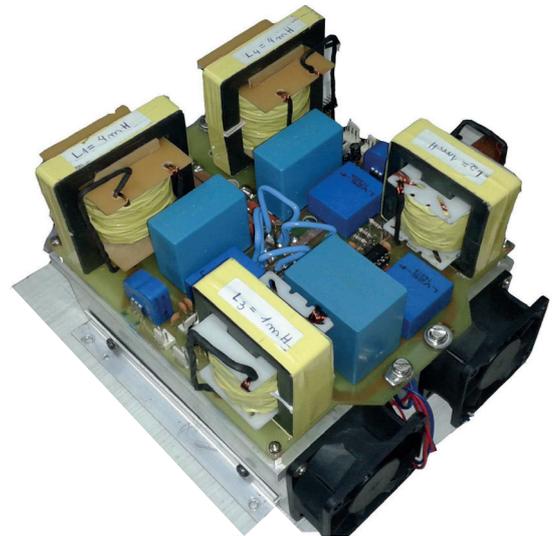


Figura 10. Protótipo do conversor duplo buck quadrático.

### A. Controle digital

O kit FPGA da Altera, modelo BeMicroMax10 [22], foi utilizado no controle digital do conversor de forma a realizar aquisição e processamento de dados, para a implementar as malhas de controle, proteção e modulação empregando a linguagem de descrição de hardware VHDL (*VHSIC HDL - Very High Speed Integrated Circuit Hardware Description Language*). O kit empregado no trabalho é constituído por um chip FPGA 10M08DAF484, que por sua vez contém um bloco ADC intrínseco com 18 canais, resolução de 12 bits e

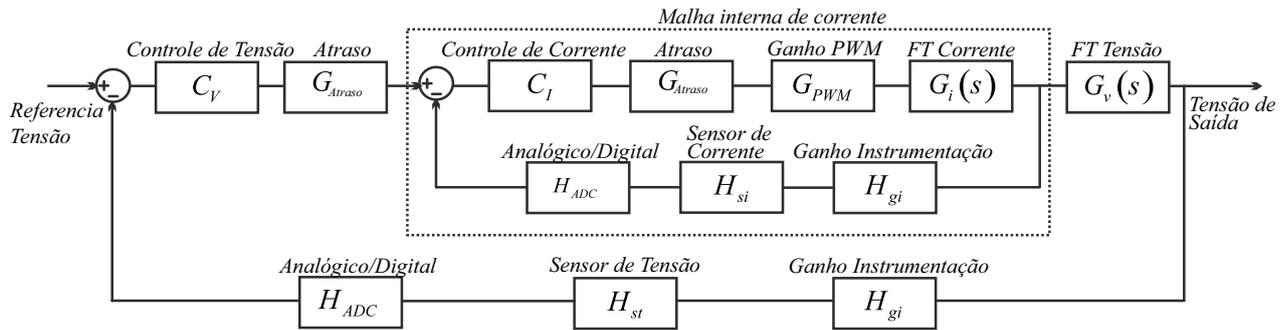


Figura 9. Diagrama de blocos da malha de corrente interna à malha de tensão.

taxa de amostragem de até 1 MHz. A descrição de hardware foi organizada em blocos, conforme apresentado na Figura 15. Os dados coletados por meio dos sensores de tensão (LV-25NP da LEM) e corrente (LTSR-25-NP) são tratados pela instrumentação no qual são ajustados os ganhos para níveis adequados. Posteriormente, é realizada a conversão AD por meio do FPGA 10M08DAF484 e a filtragem digital do sinal para eliminação de possíveis ruídos.

Assim, o circuito de controle requer os dados da leitura da conversão do AD, instantes antes de ser solicitado a atualização da razão cíclica, que efetua os cálculos das leis de controle dos PIs de corrente e tensão. Dessa forma, é atualizada a ação de controle que por sua vez enviará o sinal para o bloco lógico modulador, comparando o valor de referência com a portadora triangular para a atualização da razão cíclica. Todos esses processos são sincronizados e executados simultaneamente em blocos separados. Por essa razão, o FGPA se difere dos microcontroladores, possuindo como vantagem a facilidade de sincronização entre os processos em execução e a possibilidade do processamento paralelo atribuindo maior liberdade para realização de tarefas com maior complexibilidade.

### B. Conversor Operando em Malha Aberta

Analisando a característica estática do conversor, observa-se a Figura 11 onde são apresentadas as tensões nos interruptores  $V_{S1}$  e  $V_{S2}$  com amplitude de 300V. Diferente do conversor buck convencional, neste caso, as tensões nos interruptores são menores que a tensão de entrada.

Os testes práticos das correntes nos indutores estão mostrados na Figura 12. Observa-se neste caso, que as correntes dos indutores  $L_1$  e  $L_2$  estão relacionadas entre si pelo dobro de seus respectivos valores. Como  $L_1$  está no primeiro subcircuito do conversor quadrático sua corrente é menor, pois sua tensão na entrada é maior. No segundo subcircuito a tensão é menor, consequentemente a corrente no indutor  $L_2$  é maior.

A Figura 13 mostra a comparação da tensão de entrada  $V_{in} = 400V$  com a tensão de saída  $V_0 = 100V$ , demonstrando o alto ganho estático do conversor, quando comparado ao conversor buck convencional.

O rendimento experimental do conversor está apresentado na Figura 14. Através do analisador de potência Yokogawa wt 500 obtém-se o rendimento experimental, alcançando o valor superior à 94,5%. Para os testes práticos, foram respeitados os

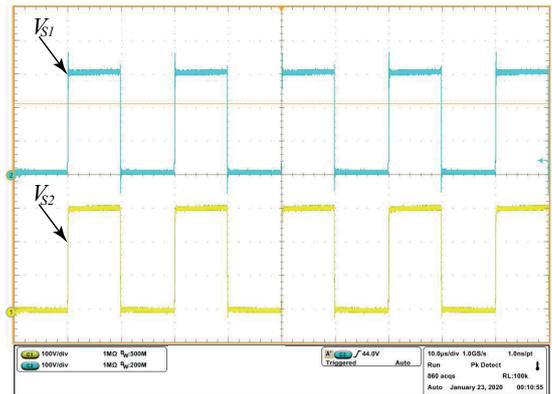


Figura 11. Tensão nos interruptores ( $V_{S1} = 300V$ ) e ( $V_{S2} = 300V$ ).

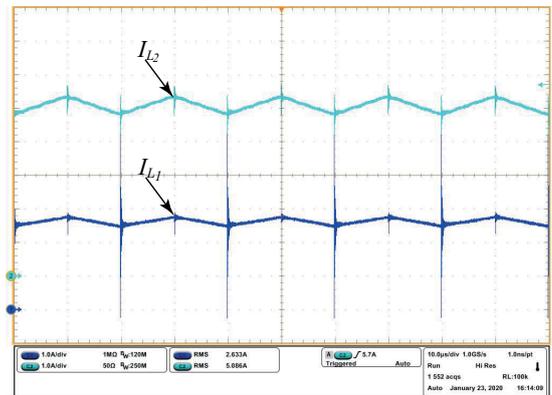


Figura 12. Corrente nos indutores ( $I_{L1} = 2,5A$ ) e ( $I_{L2} = 5A$ ).

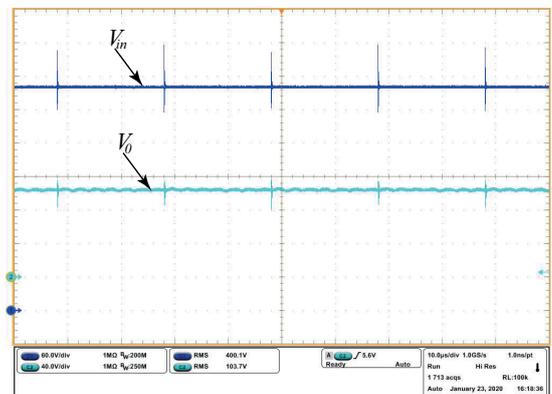


Figura 13. Tensão de entrada ( $V_{in} = 400V$ ) em comparação com a tensão de saída ( $V_0 = 100V$ ) do conversor.

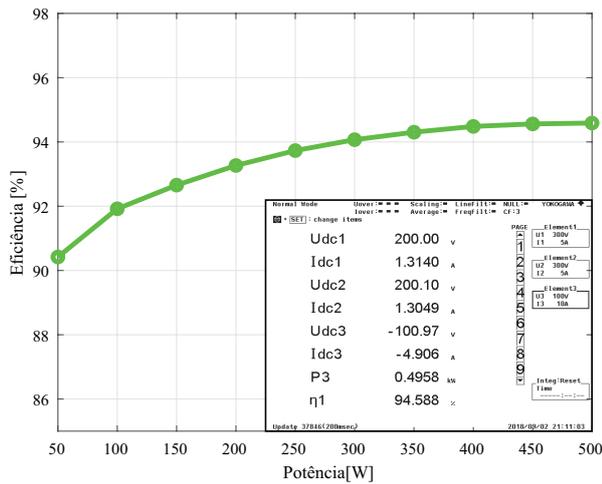


Figura 14. Curva experimental de rendimento do conversor.

esforços de tensão e corrente no qual o conversor foi projetado.

### C. Conversor Operando em Malha Fechada

Para a comprovação prática e validação da modelagem apresentada anteriormente, foram realizados os testes experimentais, nos quais estão apresentados nesta seção. A Figura 15 ilustra o circuito de controle e o fluxograma da programação adotada.

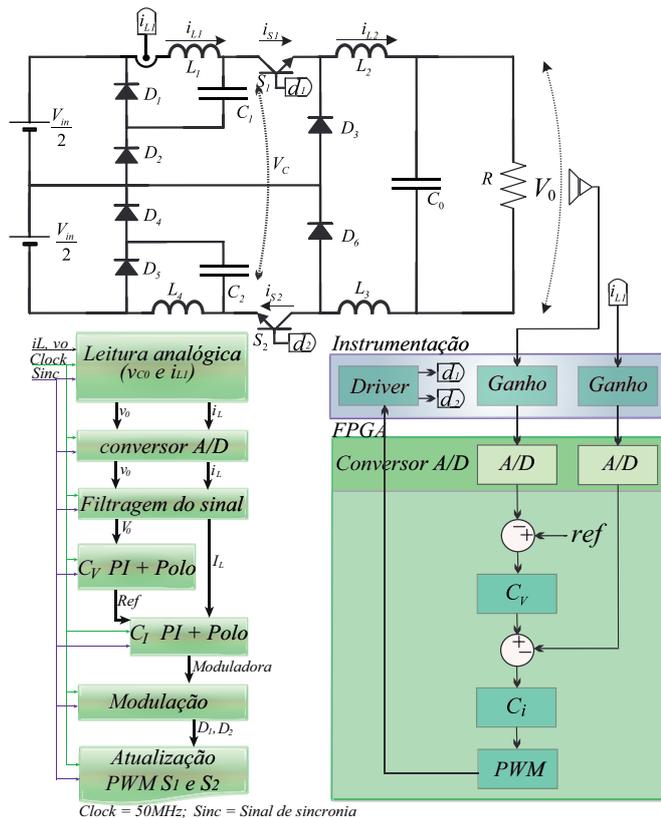


Figura 15. Diagrama do conversor duplo buck quadrático com malha de controle e o código implementado.

Os resultados experimentais mostram os testes realizados para o degrau de carga e emulação da falha de uma das fontes de alimentação. Assim, a leitura feita pelos sensores, passa pela instrumentação de condicionamento de sinais, em

seguida o FPGA recebe os sinais através do seu conversor AD integrado, e encaminha os dados para a malha de controle. O diagrama apresenta detalhadamente a sequência e as etapas de processamento realizadas pelo FPGA. Para as operações matemáticas utiliza-se a representação numérica por ponto flutuante. Dessa forma, são apresentados os resultados do conversor operando em malha fechada. Na Figura 16 está mostrada a perturbação de carga, onde inicialmente o conversor opera com 20% da potência nominal.

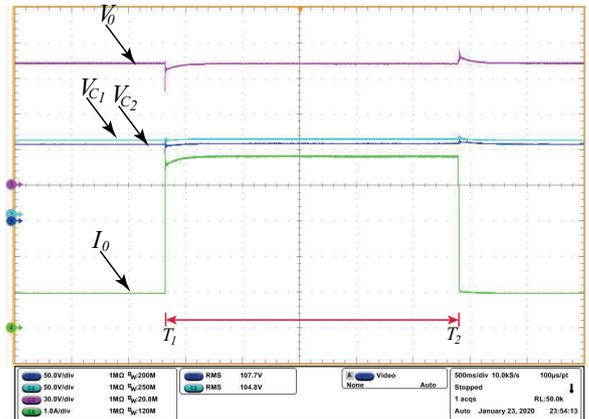


Figura 16. Tensão no capacitor  $C_1$ , tensão no capacitor  $C_2$ , tensão de saída  $V_0$  e corrente de saída  $I_0$ , para o instante de variação de carga.

No instante  $T_1$  é aplicado um degrau de carga de 80% em relação à potência nominal. A tensão de saída apresenta um pequeno afundamento, em instantes ela retorna ao seu valor de referência. Após, no instante  $T_2$  o degrau de carga varia de 100%, retornando à 20% do valor nominal. Nesse instante, ocorre um pequeno sobressinal e imediatamente a tensão de saída estabiliza no valor de referência.

Apesar de não ter sido apresentado no trabalho, caso o conversor esteja operando no modo descontínuo, o controle da tensão de saída do conversor poderá ser realizado apesar da elevação de corrente nos indutores para a mesma corrente média, quando comparado ao modo de condução contínuo.

Considerando que o conversor proposto é capaz de controlar a tensão de saída mesmo na presença de desbalanço ou falha de uma de suas duas fontes de entrada, a Figura 17 apresenta a emulação da falha na fonte de alimentação inferior.

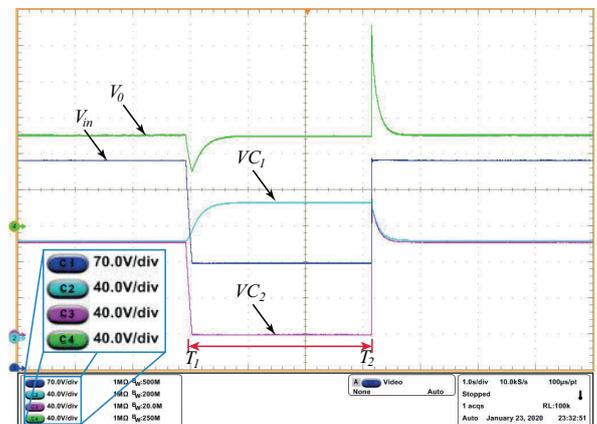


Figura 17. Emulando a falha em uma das fontes de alimentação.

Observando a Figura 17, é possível constatar que a tensão

de entrada  $V_{in}$  possui amplitude de 400V, sendo composto por 200V em cada fonte de alimentação. Assim, no instante  $T_1$  é desligada uma das fontes, nesse momento é possível perceber que a tensão total de entrada  $V_{in}$  é abruptamente levada a  $V_{in}/2$ , conseqüentemente a tensão no capacitor  $C_2$  se anula. Porém, nesse instante a malha de controle atua imediatamente para corrigir o erro, aumentando a tensão no capacitor  $C_1$ . Dessa forma, a tensão de saída  $V_0$  é estabilizada no valor de referência. Em seguida, no instante  $T_2$  a fonte de alimentação inferior é reestabelecida, nesse momento surge um sobressinal instantâneo e logo a tensão de saída se estabiliza no valor de referência novamente, comprovando que mesmo em casos extremos, o controle do conversor é capaz de operar, provando a robustez e confiabilidade do conversor proposto.

Portanto, uma funcionalidade interessante do conversor apresentado são aplicações que requeiram confiabilidade, na qual ao empregar duas fontes de alimentação, no caso de uma delas falhar a outra fonte de alimentação manterá a tensão de saída constante, conforme mostrado nos testes práticos.

## VI. CONCLUSÕES

O estudo de um novo conversor CC-CC duplo buck quadrático não isolado foi apresentado neste artigo. A topologia do conversor, as etapas da operação e a curva característica externa foram apresentados, bem como os estudos teóricos para o modo de condução contínuo, crítico e descontínuo. Também foram apresentados no trabalho o modelo dinâmico e os resultados práticos do controle do conversor em malha fechada. Os testes práticos foram realizados no modo de condução contínua. Os resultados apresentados mostram o baixo valor na tensão de saída sobre o valor de entrada, comprovando a alta taxa de conversão estática. Além disso, os esforços de tensão nos componentes que possuem simetria são idênticos, e são metade dos valores se comparado com o buck quadrático. Isso faz com que a tensão nos interruptores seja menor que a tensão de entrada, justificando o emprego do conversor proposto em aplicações que requeiram elevada tensão de entrada e alto ganho estático aliado aos esforços reduzidos nos seus componentes.

Em relação ao controle da tensão de saída do conversor proposto, nota-se que ele possui vantagens em relação ao conversor convencional, em função do seu ganho estático quadrático, pois para a mesma excursão na tensão de saída a variação necessária para a razão cíclica será menor no conversor proposto, principalmente para aplicações onde a tensão de saída é bem menor que a tensão de entrada.

Analisando os resultados apresentados no trabalho pode-se observar que este conversor possui rendimento elevado, aliado ao ganho estático quadrático, tornando-o interessante em aplicações como a geração de energia fotovoltaica, micro-redes, veículos elétricos entre outras. Além disso, em função de sua característica de robustez dada pela possibilidade de funcionar com fontes desbalanceadas, conforme apresentado no teste de emulação de falha de uma das fontes de alimentação, o controle do conversor é capaz de operar mantendo o valor da tensão de saída, sendo atraente para aplicações que exigem alta confiabilidade, como por exemplo na área médica, militar e aeronáutica.

## Referências

- [1] R. Middlebrook, "Transformerless DC-to-DC converters with large conversion ratios", *Power Electronics, IEEE Transactions on*, vol. 3, no. 4, pp. 484–488, 1988, doi:10.1109/63.17970.
- [2] D. Maksimovic, S. Cuk, "General properties and synthesis of PWM DC-to-DC converters", in *Power Electronics Specialists Conference, 1989. PESC '89 Record., 20th Annual IEEE*, pp. 515–525 vol.2, 1989, doi:10.1109/PESC.1989.48529.
- [3] D. Maksimovic, S. Cuk, "Switching converters with wide DC conversion range", *IEEE Transactions on Power Electronics*, vol. 6, no. 1, pp. 151–157, 1991, doi:10.1109/63.65013.
- [4] L. dos Reis Barbosa, J. B. Vieira, L. C. de Freitas, M. da Silva Vilela, V. J. Farias, "A buck quadratic PWM soft-switching converter using a single active switch", *IEEE Transactions on Power Electronics*, vol. 14, no. 3, pp. 445–453, 1999, doi:10.1109/63.761688.
- [5] J. A. Morales-Saldana, J. Leyva-Ramos, E. E. Carbajal-Gutierrez, M. G. Ortiz-Lopez, "Average Current-Mode Control Scheme for a Quadratic Buck Converter With a Single Switch", *IEEE Transactions on Power Electronics*, vol. 23, no. 1, pp. 485–490, Jan. 2008, doi:10.1109/TPEL.2007.910907.
- [6] K. Karaket, C. Bunlaksananusorn, "Modeling of a quadratic buck converter", in *The 8th Electrical Engineering/ Electronics, Computer, Telecommunications and Information Technology (ECTI) Association of Thailand - Conference 2011*, pp. 764–767, 2011, doi:10.1109/ECTICON.2011.5947952.
- [7] A. J. B. Bottion, *Conversores CC-CC Básicos Não Isolados de Três Níveis*, Dissertação de mestrado, Universidade Federal de Santa Catarina, Set. 2005.
- [8] M. G. Bottarelli, *Conversores CC-CC Básicos Não Isolados Quadráticos de Três Níveis*, Dissertação, Universidade Federal de Santa Catarina, Dez. 2006.
- [9] C. Knaesel, L. Michels, A. Batshauer, M. Mezaroba, "Conversor CC-CC Isolado de Alto Ganho para Integração em Módulos Fotovoltaicos", *Eletrônica de Potência - SOBRAEP*, vol. 24, no. 4, pp. 482–493, Dez 2019, doi:10.18618/REP.2019.4.0042.
- [10] F. L. de Sá, C. V. B. Eiterer, D. Ruiz-Caballero, S. A. Mussa, "Double Quadratic Buck Converter", in *2013 Brazilian Power Electronics Conference*, pp. 36–43, 2013, doi:10.1109/COBEP.2013.6785092.
- [11] F. L. de Sá, *Conversores CC CC com Elevada Taxa de Conversão Estática*, Tese, Universidade Federal de Santa Catarina, Nov. 2014.
- [12] J. I. L. Seguel, *Projeto de um Sistema Fotovoltaico Autônomo de Suprimento de Energia Usando Técnica MPPT e Controle Digital*, Dissertação de mestrado, Universidade Federal de Minas Gerais, Ago. 2009.
- [13] J. Xiao, A. Peterchev, J. Zhang, S. Sanders, "An ultra-low-power digitally-controlled buck converter IC

for cellular phone applications”, in *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, vol. 1, pp. 383–391, 2004, doi:10.1109/APEC.2004.1295838.

- [14] B. Babu, S. Sriharsha, A. Kumar, N. Saroagi, S. R. Samantaray, “Design and Implementation of Low Power Smart PV Energy System for Portable Applications Using Synchronous Buck Converter”, in *2011 International Symposium on Electronic System Design*, pp. 260–266, 2011, doi:10.1109/ISED.2011.56.
- [15] W.-R. Liou, M.-L. Yeh, Y. L. Kuo, “A High Efficiency Dual-Mode Buck Converter IC For Portable Applications”, *Power Electronics, IEEE Transactions on*, vol. 23, no. 2, pp. 667–677, 2008, doi: 10.1109/TPEL.2007.915047.
- [16] J. S. Brand, M. F. Melo, M. A. D. Alonso, M. Costa, “1. Análise da transferência de ondulação de baixa frequência em conversores operando em MCD para drivers de LED”, *Eletrônica de Potência - SOBRAEP*, vol. 25, no. 1, pp. 9–18, 2020, doi: 10.18618/REP.2020.1.0059.
- [17] R. G. A. Cacau, T. B. Lazzarin, M. C. T. Villanueva, I. Barbi, “Study of high step-up gain DC-DC converters based on stacking of non-isolated topologies”, *Eletrônica de Potência - SOBRAEP*, vol. 23, no. 4, pp. 505–515, Dez 2018, doi: 10.18618/REP.2018.4.0029.
- [18] R. Erickson, D. Maksimovic, *Fundamentals of Power Electronics*, Lectures on Power Electronics, second ed., USA: Chapman & Hall, 2001, doi:10.1007/978-0-306-48048-5.
- [19] S. M. Cuk, *Modelling, Analysis, and Design of Switching Converters*, Thesis for degree of doctor, California Institute of Technology Pasadena, 1977, doi: 10.7907/SNGW-0660.
- [20] D. C. Martins, I. Barbi, *Conversores CC-CC Básicos Não Isolados*, Eletrônica de Potência, segunda ed., Edição dos Autores, Florianópolis - SC, 2006.
- [21] A. Kumar, S. L. Patil, S. K. Panday, “Modeling and control of DC-DC buck converter using SMC”, in *2015 International Conference on Industrial Instrumentation and Control (ICIC)*, Pune, India, pp. 1406–1411, 2015, doi:10.1109/IIC.2015.7150969.
- [22] INTEL, FPGA BeMicro Max 10, “Intel® MAX® 10 FPGA Development Kits and Boards”, Online, 2020, URL: [www.intel.com.br](http://www.intel.com.br).

#### DADOS BIOGRÁFICOS

**Francieli Lima de Sá**, possui graduação e mestrado em Engenharia Elétrica pela Universidade do Estado de Santa Catarina - (UDESC, 2008 e 2010) respectivamente, Doutorado em Engenharia Elétrica pela Universidade Federal de Santa Catarina - (UFSC, 2014). Atualmente é Coordenadora do Curso de Engenharia Elétrica no Centro Universitário Facvest (UNIFACVEST). Tem experiência na área Eletrônica de Potência, atuando principalmente nos seguintes linhas: conversores cc-cc, controle aplicado em eletrônica de

potência, sistemas baseados em FPGA. Dra. Francieli é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP).

**Cleiton Dal’Agnol**, possui graduação em Engenharia Elétrica pelo Centro Universitário Unifacvest, Lages-SC, Brasil (2019). Atualmente, cursa mestrado em Engenharia Elétrica no Instituto de Eletrônica de Potência (INEP) da Universidade Federal de Santa Catarina, Brasil, com foco em eletrônica de potência. Seus principais tópicos de pesquisa incluem controle digital com FPGA e conversores DC-DC de alto ganho.

**Domingo Ruiz Caballero**, nasceu em Santiago, Chile, em 1963. Possui graduação em Engenharia Elétrica pela Pontifícia Universidade Católica de Valparaíso, Valparaíso, Chile, em 1989, e M. Eng. em 1992 e Dr. Eng. em 1999 pelo Instituto de Eletrônica de Potência (INEP), Universidade Federal de Santa Catarina, Florianópolis, Santa Catarina, Brasil. Desde 2000 está no Departamento de Engenharia Elétrica da Pontifícia Universidade Católica de Valparaíso, onde atualmente é Professor Adjunto. Seus campos de interesse incluem conversores de comutação de alta frequência, qualidade de energia, inversores multinível e técnicas de comutação suave.

**Samir Ahmad Mussa**, recebeu o grau de Engenheiro Eletricista pela Universidade Federal de Santa Maria em 1988, recebeu grau de Mestre e de Doutor pela Universidade Federal de Santa Catarina em 1994 e 2003 respectivamente. Atualmente ocupa o cargo de professor no Departamento de Engenharia Elétrica e Eletrônica (EEL) da Universidade Federal de Santa Catarina (UFSC) e pesquisador no Instituto de Eletrônica de Potência (INEP). Seus interesses de pesquisa incluem retificadores PFC, processamento de sinais digitais e controle aplicado em eletrônica de potência, sistemas baseados em DSP, FPGA e microprocessadores. Dr. Mussa é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do IEEE.