

# PROCESSAMENTO PARCIAL DE POTÊNCIA EM APLICAÇÕES FOTOVOLTAICAS EMPREGANDO CONVERSORES H-BRIDGE/PUSH-PULL

Niwton G. F. dos Santos<sup>1</sup>, Jonatan R. R. Zientarski<sup>2</sup>, Fabrício Bradaschia<sup>3</sup>, Mário L. S. Martins<sup>1</sup>

<sup>1</sup>Universidade Federal de Santa Maria (UFSM), Santa Maria – RS, Brasil

<sup>2</sup>Instituto Federal Catarinense (IFC), Videira – SC, Brasil

<sup>3</sup>Universidade Federal de Pernambuco (UFPE), Recife – PE, Brasil

e-mail: niwtonfeliciani@gmail.com, jonatanrrz@gmail.com, fabricio.bradaschia@ufpe.br, mariolsm@gmail.com

**Resumo** – Este artigo propõe uma análise comparativa em termos da potência ativa e não-ativa processada entre dois conversores CC-CC H-bridge/push-pull configurados como reguladores série abaixadores/elevadores de tensão em sistemas fotovoltaicos (FV), os quais possibilitam a realização do processamento parcial de potência (PPP). Estes reguladores são o *full-bridge phase-shift/push-pull* alimentado em corrente (FBPS/CFPP) e o conversor proposto, o *half-bridge* simétrico/push-pull alimentado em corrente (SHB/CFPP). Para avaliar o processamento de potência, utiliza-se um procedimento baseado na teoria de Fryze das potências. Com base na faixa de regulação de tensão e na análise da potência processada, demonstra-se que o FBPS/CFPP e o SHB/CFPP adquirem a capacidade de realizar o PPP mediante a otimização da relação de espiras dos transformadores, sendo que o SHB/CFPP alcança o menor processamento ponderado de potência não-ativa, em razão de a modulação *phase-shift* utilizada pelo FBPS/CFPP produzir uma potência processada maior nesta aplicação FV. Para validar as abordagens, três protótipos de 2200 W foram construídos e ensaiados. Os resultados experimentais comprovam que a redução da potência ativa e não-ativa processada resulta em maiores eficiências.

**Palavras-chave** – Conversores CC-CC, Processamento Parcial de Potência (PPP), Regulação Série de Tensão, Sistemas Fotovoltaicos (FV).

## PARTIAL POWER PROCESSING IN PHOTOVOLTAIC APPLICATIONS USING H-BRIDGE/PUSH-PULL CONVERTERS

**Abstract** – This paper proposes a comparative analysis in terms of the active and non-active power processed between two H-bridge/push-pull dc-dc converters connected as step-up/down series voltage regulators in photovoltaic (PV) power systems, which allow to carry out the partial power processing (PPP). These regulators are the full-bridge phase-shift/current-fed push-pull (FBPS/CFPP) and the proposed converter, the symmetrical half-bridge/current-fed push-pull (SHB/CFPP). To evaluate the power processing, a procedure based on Fryze's power theory is used.

Based on the voltage regulation range and the power processing analysis, it is demonstrated that both the FBPS/CFPP and SHB/CFPP achieve the ability to perform the PPP by adjusting the transformer's turns ratio, where the SHB/CFPP achieves the lowest weighted total non-active power processing because the phase-shift modulation used by the FBPS/CFPP produces a higher power processing in this PV application. In order to validate the approaches, three 2200 W prototypes were built and tested. Experimental results prove that the reduction of the active and non-active power processed results in higher efficiencies.

**Keywords** – DC-DC Power Converters, Partial Power Processing (PPP), Photovoltaic (PV) Power Systems, Series Voltage Regulators.

## NOMENCLATURA

|                    |  |
|--------------------|--|
| $\bar{\square}$    | Valor médio.   |
| $\square$          | Operação lógica de negação.                                |
| $\ -\ $            | Valor eficaz.  |
| $\eta$             | Eficiência.  |
| $\eta_{CEC}$       | Eficiência ponderada.                                      |
| $d$                | Razão cíclica.   |
| $I_{conv}   I_C$   | Corrente de entrada   saída do regulador.                  |
| $I_{in}   I_{out}$ | Corrente de entrada   saída do sistema.                    |
| $i_L   i_{Sx}$     | Corrente através do indutor   transistores.                |
| $n$                | Relação de espiras.  |
| $N_{Cx}$           | Potência não-ativa dos capacitores.                        |
| $n_{FV}$           | Quantidade de módulos FV em série.                         |
| $N_L$              | Potência não-ativa do indutor.                             |
| $N_{Sx}$           | Potência não-ativa dos transistores.                       |
| $P_{in}   P_{out}$ | Potência ativa de entrada   saída do sistema.              |
| $S_x$              | Transistores.  |
| $V_{Co}$           | Tensão de saída do filtro LC.                              |
| $V_{conv}   V_C$   | Tensão de entrada   saída do regulador.                    |
| $v_{gSx}$          | Tensão entre <i>gate</i> e <i>source</i> dos transistores. |
| $V_{in}   V_{out}$ | Tensão de entrada   saída do sistema.                      |
| $v_L   v_{Sx}$     | Tensão sobre o indutor   transistores.                     |
| $v_{pri}$          | Tensão sobre o primário do transformador.                  |

## I. INTRODUÇÃO

A crescente demanda de energia elétrica e as questões ambientais associadas à queima de combustíveis fósseis vêm incentivando a utilização de sistemas fotovoltaicos (FV) [1]. Nos últimos anos, diversos trabalhos têm sido desenvolvidos

Manuscript received 10/23/2020; first revision 12/29/2020; accepted for publication 02/03/2021, by recommendation of Editor Demercil de Souza Oliveira Jr. <http://dx.doi.org/10.18618/REP.2021.1.0062>

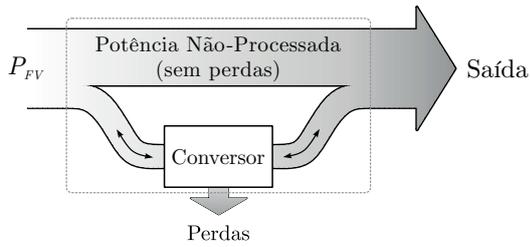


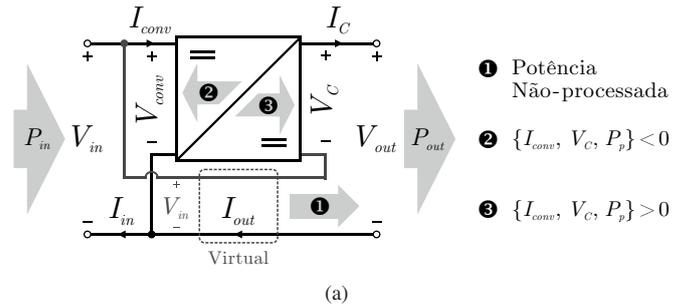
Fig. 1. Diagrama conceitual do PPP.

com o intuito de melhorar o desempenho do estágio CC-CC empregado em sistemas FV descentralizados conectados à rede elétrica, cujos conversores CC-CC são normalmente dispostos em cascata com os módulos FV e o barramento CC. Neste caso, toda a potência ativa transferida da entrada para a saída é processada pelos conversores CC-CC [2]–[4]. São trabalhos que abordam o dimensionamento das arquiteturas FV [5], [6], a escolha e projeto dos conversores [3], [7], [8], o rastreamento do ponto de máxima potência (MPPT, do inglês *maximum power point tracking*) [9]–[11], etc.

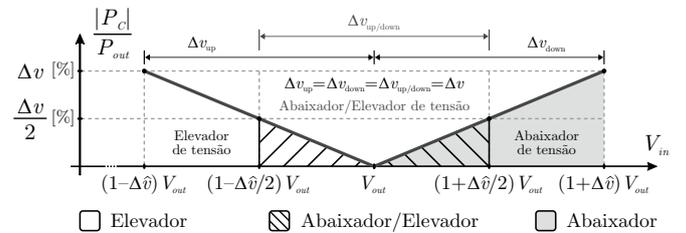
No contexto atual da eletrônica de potência, uma abordagem que ganhou destaque na literatura para aplicação principalmente em sistemas FV diz respeito ao processamento parcial de potência (PPP, do inglês *partial power processing*), cuja concepção permite que somente uma fração da potência ativa total seja processada pelos conversores do estágio CC-CC [2]. Em outras palavras, o PPP consiste em permitir que somente uma pequena parte da potência ativa total do sistema FV ( $P_{FV}$ ) seja processada, enquanto a maior parte da potência ativa transferida do sistema FV para a saída não é processada [5], [12]. Um diagrama conceitual acerca destas definições é ilustrado na Figura 1. Com isto, pode-se melhorar significativamente o desempenho global do estágio CC-CC em termos de volume e eficiência, por exemplo [6], [13]. Em suma, esta técnica pode ser implementada por meio da regulação série ou paralela.

Na regulação paralela, também conhecida como processamento diferencial de potência (DPP, do inglês *differential power processing*), os conversores são conectados em paralelo com os módulos FV, o que permite a regulação independente da corrente que circula em cada módulo [14]. Por outro lado, a regulação série permite o ajuste da tensão de entrada ou saída do estágio CC-CC que se encontra como um *buffer* de tensão em série com a entrada e a saída. Devido às características da aplicação, a regulação série é vantajosa quando aplicada em arquiteturas *string/multi-string* [3], [6].

A preferência por conversores de potência conectados em série (S-CPCs, do inglês *series-connected power converters*) abaixadores/elevadores de tensão contribui com uma redução ainda maior da potência ativa processada [10], requerendo, porém, o uso de topologias mais complexas e/ou com maior número de componentes. Em [15], é proposto um S-CPC abaixador/elevador de tensão denominado regulador *buck-boost* conectado em série (SCBBR, do inglês *series-connected buck-boost regulator*), o qual baseia-se em um conversor CC-CC *full-bridge* com retificador ativo com derivação central. Topologias semelhantes ao SCBBR são avaliadas em [6], [8] e [16]. Em [10], é apresentado um S-CPC abaixador/elevador de tensão para aplicação em uma aeronave



(a)



(b)

Fig. 2. Características de um S-CPC conectado na configuração SR-I aplicado em sistemas FV: (a) Topologia e fluxo de potência; (b) potência ativa processada em função da tensão de entrada ( $V_{in}$ ).

solar tripulada que realiza o fornecimento de suprimentos em locais remotos. Utiliza-se um conversor Ćuk isolado bidirecional com circuito *unfolder* de saída, permitindo a operação nos quatro quadrantes e, com isto, a minimização do pico de potência processada.

As vantagens apresentadas pelos S-CPCs têm induzido a maioria dos trabalhos à interpretação errônea de que basta reduzir a potência ativa processada para que a eficiência global seja superior àquela obtida com uma topologia convencional conectada em cascata com a fonte e a carga [2], [4], [17]. Porém, as perdas nos componentes dos conversores não são devidas apenas à potência ativa ( $P$ ), mas também à potência não-ativa ( $N$ ), a qual provém da energia que não resulta em potência útil [18], [19]. Em síntese, a conexão série é uma condição necessária para a realização do PPP em S-CPCs, mas somente uma análise minuciosa em termos da potência não-ativa processada pode estabelecer quais S-CPCs são capazes de realizar o PPP e quais são os parâmetros de projeto e otimizações necessárias para que isto seja alcançado.

O objetivo deste trabalho é avaliar as principais vantagens do uso de dois reguladores série abaixadores/elevadores de tensão baseados em conversores CC-CC *H-bridge/push-pull*, que são o *full-bridge phase-shift/push-pull* alimentado em corrente (FBPS/CFPP) e o conversor proposto, o *half-bridge simétrico/push-pull* alimentado em corrente (SHB/CFPP). Estes S-CPCs são aplicados em arquiteturas *string/multi-string* de sistemas FV conectados à rede elétrica. Para avaliar o processamento de potência ativa e não-ativa, utiliza-se um procedimento baseado na teoria de Fryze das potências [20], cujos princípios embasam a definição de um fator global para o processamento de potência em conversores CC-CC [18]. Para validar as abordagens, três protótipos de 2200 W foram construídos e ensaiados para uma aplicação FV.

Este trabalho está dividido em seis seções. Na Seção II, são abordadas as principais características dos S-CPCs. Na Seção III, os reguladores *H-bridge/push-pull* são avaliados em

detalhes. Na Seção IV, realiza-se a modelagem e o projeto do sistema FV. A Seção V destina-se à apresentação e análise dos resultados de simulação e experimentais. Finalmente, na Seção VI são descritas as considerações finais.

## II. REGULADORES SÉRIE DE TENSÃO

### A. Conexões de Entrada e Saída

A nível de circuito, um regulador série pode ser visto como um conversor CC–CC conectado a um conversor virtual não-isolado que possui ganho unitário. A potência ativa transferida da fonte de alimentação para a carga é dividida entre o conversor real e o conversor virtual. A potência que atravessa o conversor virtual não é processada, então possui uma eficiência ideal de 100%, e somente a parcela que atravessa o conversor real é processada pelo estágio CC–CC, resultando em perdas elétricas [5], [12].

Com relação à configuração de regulador série do tipo I (SR-I, do inglês *series regulator I*) ilustrada na Figura 2.a,

$$V_{out} = V_{in} + V_C, \quad I_{in} = I_{out} + I_{conv}, \quad (1)$$

então o ganho estático de tensão ( $M$ ) do estágio CC–CC é

$$M = \frac{V_{out}}{V_{in}} = 1 + \frac{V_C}{V_{conv}} = 1 + M_C, \quad (2)$$

onde  $M_C$  é o ganho estático do regulador série.

Logo, as parcelas relativas à potência ativa de entrada ( $P_{conv}$ ) e saída ( $P_C$ ) do conversor real são, respectivamente,

$$P_{conv} = V_{in} I_{conv}, \quad P_C = V_C I_{out}, \quad (3)$$

as quais caracterizam a potência ativa processada ( $P_p$ ),  $P_p = P_{conv} = P_C$ , caso as perdas sejam desprezadas. A potência ativa não-processada ( $P_n$ ) é proporcional à diferença entre a potência ativa total e  $P_p$ ,  $P_n = P_{in} - P_p = P_{out} - P_p$ .

Na prática, as eficiências do conversor real ( $\eta_{conv}$ ) e do estágio CC–CC ( $\eta_{global}$ ) são obtidas por meio de

$$\eta_{conv} = \frac{P_C}{P_{conv}}, \quad (4)$$

$$\eta_{global} = \frac{P_{out}}{P_{in}} = 1 - \frac{P_C}{P_{out}}(1 - \eta_{conv}),$$

onde  $P_{in} = V_{in} I_{in}$  e  $P_{out} = V_{out} I_{out}$ .

Sabendo que  $P_n \gg P_p$  e que todas as perdas elétricas se concentram nos componentes do conversor real, a eficiência global do estágio CC–CC tende a ser maior que a eficiência do regulador série utilizado [5], [12].

### B. Faixa de Regulação de Tensão ( $\Delta v$ )

Considere um conversor CC–CC conectado como S-CPC na configuração SR-I, o qual opera em uma determinada faixa de regulação de tensão ( $\Delta v$ ), onde  $\Delta v$  [%] =  $(\Delta v/V_{out}) \times 100\%$  e  $\Delta \hat{v}$  é o valor normalizado de  $\Delta v$  [%], *i.e.*,  $\Delta v/V_{out}$ . Se o estágio CC–CC opera somente no modo abaixador de tensão,  $V_{out} < V_{in} \leq (1 + \Delta \hat{v})V_{out}$ , a razão entre a potência ativa processada e a potência de saída,  $|P_C|/P_{out}$ , varia linearmente de zero até o valor de  $\Delta v_{down}$  [%], conforme ilustrado na Figura 2.b, onde  $\Delta v_{down} = \Delta v$ . De modo similar, se o estágio CC–CC opera somente no modo elevador de tensão, a relação

$|P_C|/P_{out}$  varia linearmente de zero até  $\Delta v_{up}$  [%], conforme pode ser observado na Figura 2.b, porém com  $(1 - \Delta \hat{v})V_{out} \leq V_{in} < V_{out}$ , onde  $\Delta v_{up} = \Delta v$ .

Se o estágio CC–CC opera como um circuito abaixador/elevador de tensão,  $(1 - \Delta \hat{v}/2)V_{out} \leq V_{in} \leq (1 + \Delta \hat{v}/2)V_{out}$ , então a relação  $|P_C|/P_{out}$  varia linearmente de zero até  $|\pm \Delta v_{up/down}/2|$  [%], conforme ilustrado na Figura 2.b, onde  $\Delta v_{up/down} = \Delta v$ . Isto significa que, para a mesma faixa de regulação, S-CPCs abaixadores/elevadores de tensão processam apenas metade da potência ativa em relação aos S-CPCs somente abaixadores ou elevadores de tensão, o que impacta diretamente no desempenho das topologias em termos de densidade de potência, eficiência, *etc.*

### C. Fluxo Bidirecional de Potência Ativa

Para que o estágio CC–CC seja abaixador/elevador de tensão, a topologia empregada como S-CPC precisa ser capaz de operar com fluxo bidirecional de potência ativa [4], [16]. Assim, o S-CPC deve respeitar às características elétricas de entrada e saída inerentes à regulação série.

Com relação à configuração SR-I, os S-CPCs devem ser capazes de inverter a polaridade da tensão de saída ( $V_C$ ) e o sentido da corrente de entrada ( $I_{conv}$ ) do conversor real, além de obedecer à polaridade da tensão de entrada ( $V_{conv}$ ) e ao sentido da corrente de saída ( $I_C$ ), que não podem se inverter em aplicações FV, pois  $V_{conv} = V_{in}$  e  $I_C = I_{out}$ . Ou seja, o conversor real deve possuir entrada bidirecional (corrente) e saída bipolar (tensão), conforme os quadrantes de operação ilustrados na Figura 3. Neste caso, um S-CPC só opera com fluxo bidirecional de potência ativa devido à conexão série.

A Figura 2.a indica o comportamento do fluxo de potência ativa em S-CPCs abaixadores/elevadores de tensão conectados na configuração SR-I. O conversor real opera com fluxo bidirecional de potência ativa,  $P_p \leq 0$ , mas as parcelas não-processada e global do estágio CC–CC são exclusivamente unidirecionais,  $\{P_n, P_{in}\} > 0$ , devido à aplicação FV [4].

### D. S-CPCs Abaixadores/Elevadores de Tensão

De modo geral, existem três requisitos que S-CPCs abaixadores/elevadores de tensão baseados no conversor *buck* devem observar, que são (i) o uso de chaves bidirecionais e/ou bipolares [8], [15], (ii) a utilização de uma impedância ( $Z$ ) de inversão de polaridade, bem como (iii) o uso de transformadores ou indutores acoplados [10], [16]. Não existe na literatura uma discussão que aborde estes requisitos, então esta é uma das contribuições deste trabalho.

O item (i) se refere à implementação da entrada bidirecional e saída bipolar por meio das estratégias de modulação. De forma similar, o item (ii) se refere especificamente à implementação da saída bipolar, pois é indispensável o uso de uma impedância/indutância no lado secundário para que seja possível inverter a polaridade de  $V_C$ . Finalmente, o item (iii) diz respeito à necessidade de utilizar topologias isoladas, pois isto assegura que não haverá curto-circuito entre a fonte de entrada e a saída, embora a isolamento galvânica seja perdida por conta da conexão série [4]. Além disto, a relação de espiras dos dispositivos magnéticos pode ser otimizada de modo a reduzir o processamento de potência não-ativa [7], [21].

Nesse contexto, a Figura 4 exibe um exemplo de concepção de *buck derived* S-CPCs abaixadores/elevadores de tensão,

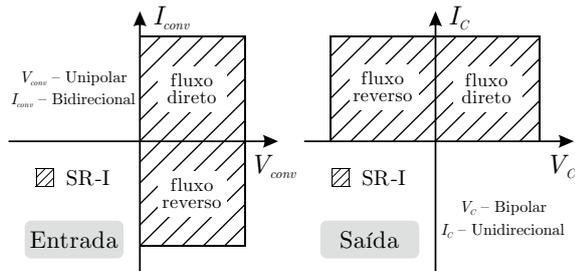


Fig. 3. Quadrantes de operação de S-CPCs abaixadores/elevadores de tensão conectados na configuração SR-I, em aplicações FV.

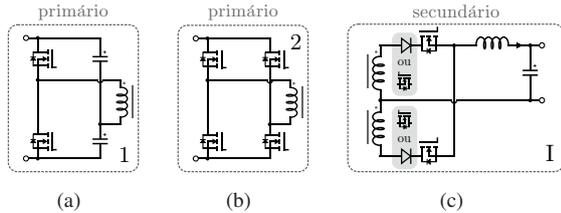


Fig. 4. Exemplo de concepção de S-CPCs abaixadores/elevadores de tensão (baseados no conversor *buck*) conectados na configuração SR-I. (a)–(b) Lado primário (inversor). (c) Lado secundário (retificador).

TABELA I  
Características dos S-CPCs Derivados da Combinação dos Circuitos Apresentados na Figura 4

| S-CPC | $M_C$      | $n_{min}$ | SCD <sub>ct.</sub>   $V_{ps}^{max}$ | $C_{in}$ |
|-------|------------|-----------|-------------------------------------|----------|
| 1–1   | $\mp nd/2$ | $2n_r$    | $6   V_{in}$                        | Não      |
| 2–1   | $\mp nd$   | $n_r$     | $8   V_{in}$                        | Sim      |

tendo em vista a configuração ilustrada na Figura 2.a. Nesta exemplificação, o lado primário do conversor isolado (inversor alimentado em tensão) compreende os circuitos *half-bridge* (Figura 4.a) e *full-bridge* (Figura 4.b), enquanto o lado secundário (retificador com saída em corrente) é composto por um retificador de onda completa com derivação central (Figura 4.c). Nos S-CPCs derivados destas combinações, a relação de espiras é implementada com um transformador.

Na Tabela I, são listadas as principais características dos S-CPCs derivados dos circuitos apresentados na Figura 4, onde  $d$  é a razão cíclica e  $n$  é a relação de espiras dos transformadores,  $n = n_2/n_1$ . Estas características são o ganho de tensão dos reguladores ( $M_C$ ), o valor ótimo da relação de espiras ( $n_{min}$ ), tendo em vista um valor de referência ( $n_r$ ), a quantidade total de semicondutores (SCD<sub>ct.</sub>), as tensões de bloqueio das chaves do lado primário ( $V_{ps}^{max}$ ) e a necessidade de um capacitor de entrada ( $C_{in}$ ) adicional. Os méritos da otimização da relação de espiras são abordados na Seção IV.

### III. H-BRIDGE/PUSH–PULL S-CPCs

#### A. SHB/CFPP

A Figura 5 apresenta a topologia do *half-bridge* simétrico/*push–pull* alimentado em corrente (SHB/CFPP) conectado na configuração SR-I, o qual deriva da combinação 1–I. Neste regulador, os capacitores  $C_1$  e  $C_2$  exercem o papel do capacitor de entrada, o qual é tipicamente disposto em paralelo com os módulos FV. A impedância no lado secundário é implementada por meio de um filtro *LC*.

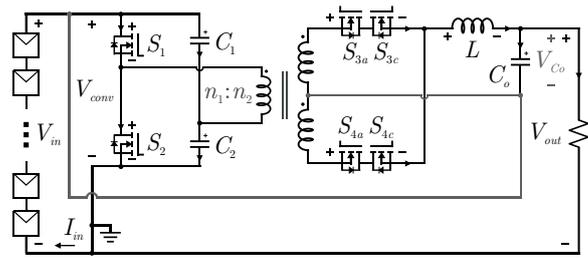


Fig. 5. Topologia do SHB/CFPP conectado na configuração SR-I.

Para que o SHB/CFPP atenda aos requisitos do fluxo de potência, requer-se o uso de chaves semicondutoras de quatro quadrantes no secundário do transformador. Neste caso, dois transistores de efeito de campo (MOSFETs) são conectados lado a lado para atender a esta necessidade [22].

#### B. Modos de Operação do SHB/CFPP

1) *Modo I*: Se  $V_{in} > V_{out}$ , o estágio CC–CC opera no modo abaixador de tensão (modo I), com  $V_{Co}$  e  $I_{conv}$  inferiores à zero. Como a corrente de saída é sempre positiva ( $I_{out} > 0$ ), neste modo de operação há a inversão do fluxo referente à potência ativa processada [4]. Visualizando  $V_{Co}$  como a entrada e  $V_{conv}$  como a saída do conversor real, pode-se dizer que o mesmo opera como um *push–pull* alimentado em corrente.

No modo I, os MOSFETs  $S_{3a}$  e  $S_{4a}$  são mantidos em condução, enquanto a estratégia de modulação por largura de pulso (PWM, do inglês *pulse-width modulation*) é aplicada em  $S_{3c}$  e  $S_{4c}$ . Além disto, utiliza-se a técnica de retificação síncrona para acionar os MOSFETs do primário, *i.e.*,  $S_1$  e  $S_2$  são acionados de forma síncrona à abertura de  $S_{3c}$  e  $S_{4c}$ , respectivamente. Isto possibilita a redução das perdas causadas pela condução dos diodos em antiparalelo com  $S_1$  e  $S_2$ , os quais também possuem elevada perda de recuperação reversa [23]. Assim, o retificador síncrono pode ser visto como um circuito dobrador de tensão ativo [24]. A sequência de comutação no modo I é apresentada na Figura 6.a, onde  $T_s = t_4 - t_0$  é o período de comutação,  $v_{pri}$  é a tensão aplicada sobre o primário do transformador e  $v_{gSx}$  representa a tensão aplicada entre os terminais *gate* e *source* do MOSFET  $S_x$ .

2) *Modo II*: Se  $V_{in} < V_{out}$ , o estágio CC–CC opera no modo elevador de tensão (modo II), com  $\{V_{Co}, I_{conv}\} > 0$ . Neste caso, a potência ativa no conversor real é positiva e proporcional à  $V_{Co}$ . Assim, utiliza-se a estratégia PWM unipolar (UPWM) para acionar os transistores que compõem o circuito *half-bridge* no primário do transformador. A UPWM possui os mesmos princípios da modulação *phase-shift* (MPS), *i.e.*, os sinais de acionamento dos MOSFETs  $S_1$  e  $S_2$  possuem a mesma duração, porém com uma defasagem fixa de 180°. Logo, o regulador se comporta como um conversor *half-bridge* convencional com entrada em tensão, já que  $P_p > 0$ .

No lado secundário, os MOSFETs  $S_{3c}$  e  $S_{4c}$  são mantidos em condução, enquanto  $S_{3a}$  e  $S_{4a}$  são submetidos à estratégia UPWM, onde  $S_{4a} = \bar{S}_1$  e  $S_{3a} = \bar{S}_2$  neste modo de operação. Desta forma, os capacitores  $C_1$  e  $C_2$ , os transistores  $S_1$  e  $S_2$ , bem como os MOSFETs em operação no secundário, possuem esforços de tensão e corrente equivalentes [25]. A sequência de comutação no modo II é descrita na Figura 6.b.

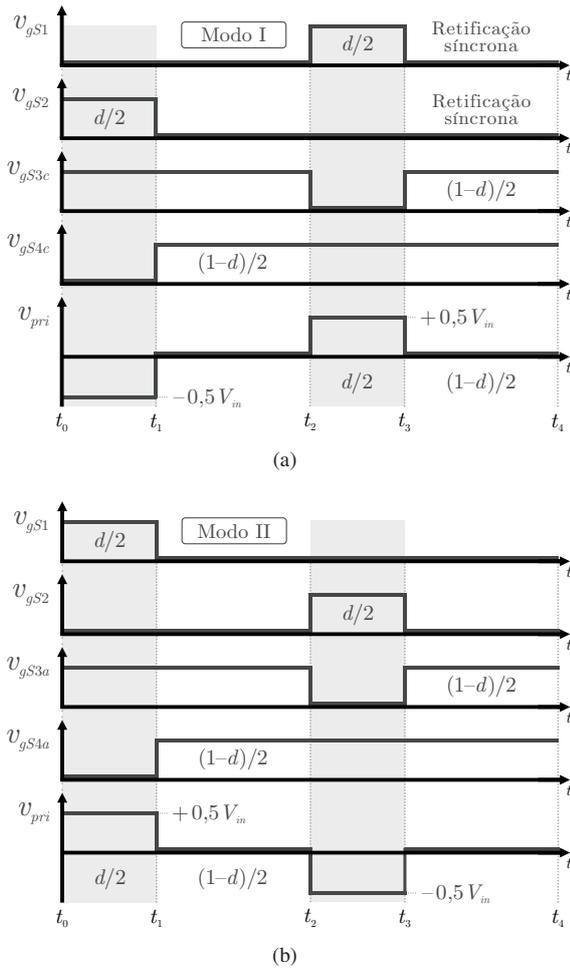


Fig. 6. Estratégias de modulação aplicadas nas chaves semicondutoras do SHB/CFPP. (a) Modo I. (b) Modo II.

Por fim, se  $V_{in} = V_{out}$ , toda a potência ativa é transferida dos módulos FV para o barramento CC de saída sem ser processada pelo regulador série de tensão.

3) *Análise estática*: Seja o SHB/CFPP ideal ilustrado na Figura 5 operando no modo de condução contínua (CCM, do inglês *continuous conduction mode*). Aplicando o princípio do balanço dos *volts-segundos* na tensão  $v_L(t)$  [22], obtém-se que o ganho estático de tensão do estágio CC-CC é

$$M = \frac{V_{out}}{V_{in}} = \frac{I_{in}}{I_{out}} = 1 \mp \frac{nd}{2}, \quad (5)$$

onde  $d$  é a razão cíclica que representa a atuação dos semicondutores do SHB/CFPP e  $n$  é a relação de espiras do transformador com derivação central,  $n = n_2/n_1$ . Além disto, “ $\mp$ ” é “ $-$ ” no modo I e “ $+$ ” no modo II, respectivamente.

### C. Potência Não-Ativa Processada pelo SHB/CFPP

Para avaliar o processamento de potência não-ativa, neste trabalho utiliza-se o procedimento matemático proposto em [18], o qual é baseado na teoria de Fryze das potências [20].

De acordo com Fryze, a corrente instantânea através de um dispositivo pode ser dividida no domínio do tempo em duas componentes mutuamente ortogonais: (i) a corrente ativa denominada  $i_a(t)$ , a qual é responsável pela produção

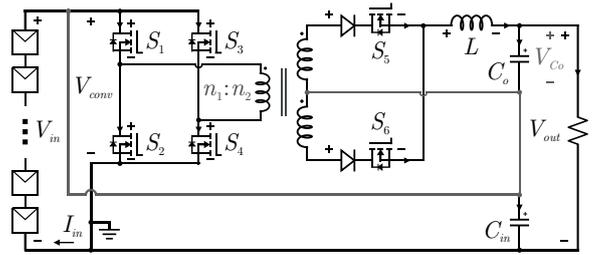


Fig. 7. Topologia do FBPS/CFPP conectado na configuração SR-I.

da potência ativa ( $P$ ), e (ii) a corrente não-ativa definida como  $i_F(t)$ , que por sua vez produz a potência não-ativa ( $N$ ); não a potência reativa ( $Q$ ) [19], [20]. No entanto, seus princípios são adequados para aplicação somente em circuitos de uma única porta (*i.e.*, um par de terminais). Assim, a teoria de Fryze não contempla circuitos multimalhas.

Por outro lado, a ferramenta de análise desenvolvida em [18] baseia-se na decomposição vetorial por partes das variáveis provenientes da abordagem de Fryze. Este procedimento culmina no cálculo da potência não-ativa total processada ( $N_t$ ) por conversores CC-CC em decorrência das parcelas produzidas nos terminais de entrada e saída, pela comutação dos dispositivos semicondutores e pelo armazenamento de energia nos indutores e capacitores.

Para todas as topologias avaliadas neste trabalho, são adotadas as seguintes suposições [18]:

- Os conversores são ideais;
- Os conversores operam em CCM;
- Os conversores operam com aproximações de pequenas ondulações para a tensão nos capacitores e corrente através dos indutores [22].

1) *Fator de potência CC*: A utilização das propriedades de Fryze juntamente com o cálculo da potência não-ativa total processada possibilita a análise do fator de potência (PF, do inglês *power factor*) em conversores CC-CC. A figura de mérito proposta em [18] é denominada fator de potência CC ou fator de potência de Fryze ( $\mathcal{F}$ ),

$$\mathcal{F} = \frac{P_{out}}{\sqrt{P_{out}^2 + N_t^2}} = \frac{P_{in}}{\sqrt{P_{in}^2 + N_t^2}}, \quad (6)$$

para um conversor sem perdas (*i.e.*,  $P_{in} = P_{out}$ ), e cuja unidade de medida é tida como adimensional, assim como o fator de potência utilizado em sistemas CA [19].

### D. FBPS/CFPP

A segunda topologia avaliada neste trabalho é a do *full-bridge phase-shift/push-pull* alimentado em corrente (FBPS/CFPP), cujo diagrama de circuito é ilustrado na Figura 7. Este regulador (combinação 2-1) foi estudado em alguns trabalhos publicados na literatura, visando inúmeras aplicações e utilizando diferentes chaves bipolares, estratégias de modulação, *etc.* [6], [8], [15], [16].

Neste artigo, são usadas chaves unidirecionais/bipolares no secundário do conversor CC-CA-CC isolado [8], o que é obtido por meio da conexão em série de um MOSFET com um diodo [22]. Desta forma, utiliza-se as estratégias de modulação apresentadas em [6]. Além disto, o FBPS/CFPP

**TABELA II**  
**Parâmetros do Módulo KD210GX-LP (STC)**

| Parâmetro                   | Símbolo   | Valor    |
|-----------------------------|-----------|----------|
| Máxima potência             | $P_{MPP}$ | 210,14 W |
| Tensão de máxima potência   | $V_{MPP}$ | 26,60 V  |
| Corrente de máxima potência | $I_{MPP}$ | 7,90 A   |

**TABELA III**  
**Resultados da Modelagem do Módulo KD210GX-LP**

| Parâmetro            | Símbolo  | Valor            |
|----------------------|----------|------------------|
| Resistência paralela | $R_{sh}$ | 113,740 $\Omega$ |
| Resistência série    | $R_s$    | 0,288 $\Omega$   |
| Fator de idealidade  | $a$      | 1,068            |

avaliado neste trabalho utiliza um capacitor de entrada ( $C_{in}$ ) que é fixado em paralelo com os módulos FV.

Mais informações sobre a topologia, os modos de operação e a análise estática podem ser obtidas em [6]. A metodologia para o cálculo da potência não-ativa total processada pelo FBPS/CFPP e cômputo do fator de potência de Fryze também é baseada no procedimento proposto em [18].

#### IV. PROJETO DO SISTEMA FV

##### A. Modelagem do Módulo FV

A Tabela II apresenta os parâmetros do módulo KD210GX-LP, o qual é escolhido para compor a fonte de geração. Tais dados se referem ao ponto de máxima potência (MPP, do inglês *maximum power point*) nas condições padrões de teste (STC, do inglês *standard test conditions*) [26].

A partir da modelagem do módulo KD210GX-LP [27], obtêm-se os resultados listados na Tabela III. A corrente de saturação reversa do diodo,  $I_{sat}$ , e a corrente fotogerada,  $I_g$ , são calculadas conforme as equações em [27], utilizando os parâmetros da Tabela III. Por simplicidade, neste trabalho considera-se que  $R_s$ ,  $R_{sh}$  e  $a$  não variam com a irradiância ( $G_a$ ) e a temperatura ( $T_a$ ) de operação. Com isto, é possível calcular as tensões e correntes de máxima potência geradas pelo módulo sob diversas condições de  $G_a$  e  $T_a$ , vide as curvas  $I-V$  ilustradas na Figura 8.a.

##### B. Dimensionamento do Sistema String/Multi-String

Normalmente, a tensão de máxima potência gerada por um módulo FV apresenta uma variação de  $\approx 20\%$  [4]. Neste artigo, adota-se  $\Delta v = \pm 15\%$  (30%) [6]. Além disto, visando à alimentação de um inversor conectado à rede CA de 127 V, a tensão de saída do estágio CC-CC é fixada em 240 V.

Os S-CPCs devem operar o mais próximo do centro da faixa de regulação. Considerando que a tensão em que ocorre a máxima geração de energia ( $v'$ ) é igual a  $V_{MPP}|_{STC}$ , a quantidade de módulos FV pode ser aproximada como

$$n_{FV} \approx \frac{V_{out}}{v'} = \frac{240 \text{ V}}{26,6 \text{ V}} = 9,023, \quad (7)$$

culminando no uso de 10 módulos conectados em série.

O valor de  $\Delta v$  (72 V) definido para os conversores CC-CC impõe que  $204 \text{ V} \leq V_{in} \leq 276 \text{ V}$ , então a potência do

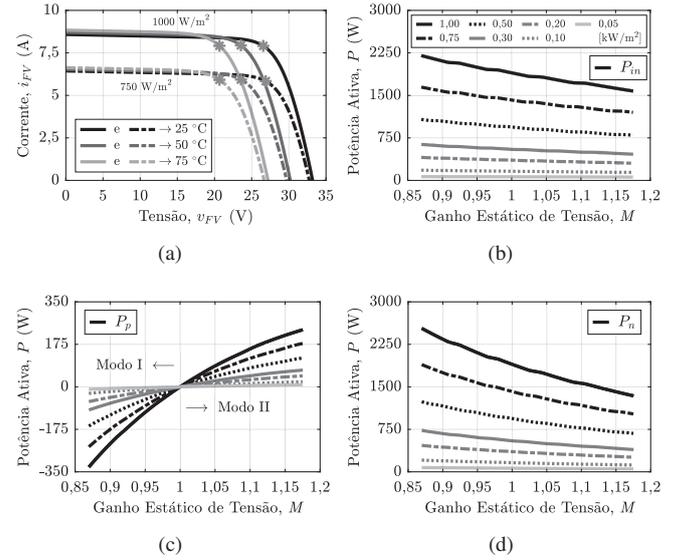


Fig. 8. Características do sistema FV e do estágio CC-CC. (a) Curvas  $I-V$  do módulo KD210GX-LP. (b) Potência ativa produzida pelo sistema FV ( $P_{in}$ ), considerando diversas irradiâncias. Potência ativa (c) processada ( $P_p$ ) e (d) não-processada ( $P_n$ ) pelos S-CPCs, considerando diversas irradiâncias.

sistema FV pode chegar ao valor máximo de 2200 W, quando  $T_a < 25 \text{ }^\circ\text{C}$  e  $G_a = 1000 \text{ W/m}^2$ , com uma única *string*.

A Figura 8.b demonstra o comportamento da potência ativa produzida pelo sistema FV em toda a faixa de regulação, considerando diversas irradiâncias. Por outro lado, as Figuras 8.c e 8.d apresentam, nesta ordem, os valores de potência ativa referentes às parcelas processada e não-processada pelos S-CPCs, sob as mesmas condições de  $G_a$  da Figura 8.b. Nestas três figuras, o ganho de tensão do estágio CC-CC está diretamente relacionado com a temperatura das células FV.

##### C. Otimização da Relação de Espiras

1) SHB/CFPP: Seja o SHB/CFPP operando no modo II. Considerando as suposições definidas em [18], o valor eficaz (rms, do inglês *root-mean-square*) da tensão e corrente do transistor  $S_1$  são, respectivamente,

$$\|v_{S1}\| = V_{in} \sqrt{(1+d)}, \quad \|i_{S1}\| = \frac{1}{2} n I_{out} \sqrt{0,5d}, \quad (8)$$

o que evidencia que a potência não-ativa produzida pelo transistor  $S_1$ ,  $N_{S1} = \|v_{S1}\| \|i_{S1}\|$  [18], é diretamente proporcional à relação de espiras do transformador.

A potência não-ativa total processada pelo SHB/CFPP apresenta a mesma dependência, então a relação de espiras ( $n$ ) pode ser otimizada de modo a reduzir o processamento de potência não-ativa [7], [21]. No modo I, o valor ótimo de  $n$  ( $n_{min}$ ) no SHB/CFPP é definido como

$$n_{min} \geq \frac{2(1 - \min M)}{\max d} = \frac{2(1 - 0,8696)}{1} \approx 0,26. \quad (9)$$

No modo II, por outro lado, o valor de  $n_{min}$  é

$$n_{min} \geq \frac{2(\max M - 1)}{\max d} = \frac{2(1,1765 - 1)}{1} \approx 0,36, \quad (10)$$

resultando na escolha de  $n = 0,39$ . Isto assegura uma margem de razão cíclica para compensar as perdas não-modeladas e de

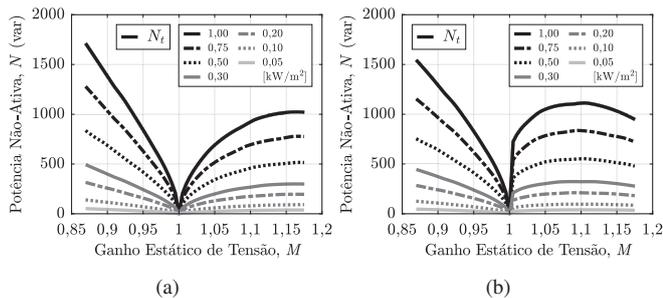


Fig. 9. Potência não-ativa total processada pelos S-CPCs, considerando o valor de projeto de  $n$ . (a) SHB/CFPP. (b) FBPS/CFPP.

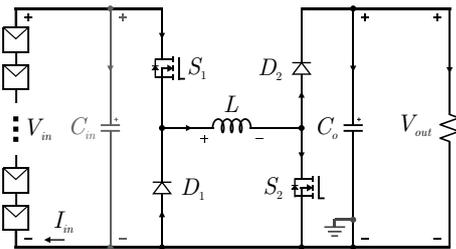


Fig. 10. Topologia do *buck-boost* não-inversor (BB2S).

tempo morto [7]. No modo II, esta margem é de  $\approx 9\%$ , cerca de três vezes a perda de razão cíclica calculada em [28], o que é considerado aceitável. Embora a escolha de  $n < n_{min}$  permita reduzir o valor de  $N_t$ , nestas circunstâncias o SHB/CFPP não consegue operar em toda a faixa de regulação.

A Figura 9.a exibe o comportamento da potência não-ativa total processada pelo SHB/CFPP em função de  $\Delta v$ , levando em consideração  $n = 0,39$  e diversas condições de irradiância. Assim como na Figura 8.b, quanto maior a irradiância de operação, maior o valor de  $N_t$ .

2) *FBPS/CFPP*: A metodologia para a otimização da relação de espiras do FBPS/CFPP é idêntica àquela apresentada para o SHB/CFPP; da qual obtém-se que  $n_{min} \geq 0,18$  (modo II), *i.e.*, a metade do valor calculado em (10). Isto significa que o FBPS/CFPP permite uma melhor otimização da relação de espiras. Prevendo a mesma margem de razão cíclica do SHB/CFPP, é escolhido o valor de  $n = 0,21$ .

A Figura 9.b apresenta as curvas referentes à potência não-ativa total processada pelo FBPS/CFPP, tendo em vista o valor de projeto de  $n$  e diversas irradiâncias. No modo II, o comportamento das curvas de  $N_t$  se deve basicamente à estratégia de modulação utilizada (MPS), onde as chaves do primário operam com uma razão cíclica fixa de 0,5 pu.

## V. RESULTADOS EXPERIMENTAIS

Para validar as abordagens, três protótipos de 2200 W foram construídos e submetidos a ensaios. O primeiro se refere ao SHB/CFPP, o segundo se refere ao FBPS/CFPP e o último diz respeito a um conversor CC-CC de referência, os quais foram ensaiados em malha aberta. Neste trabalho, um conversor *buck-boost* não-inversor abaixador/elevador de tensão (BB2S) é escolhido como referência, cujo diagrama de circuito é ilustrado na Figura 10.

Nos ensaios, foram utilizadas cargas resistivas variáveis para reproduzir os valores de resistência correspondentes à

TABELA IV  
Características Físicas dos Protótipos dos S-CPCs

| Parâmetro                    | SHB/CFPP                           | FBPS/CFPP                          |
|------------------------------|------------------------------------|------------------------------------|
| Indutor ( $L$ )              | 324 $\mu\text{H}$                  | 324 $\mu\text{H}$                  |
| Núcleo do indutor            | 0077192A7*                         | 0077192A7*                         |
| Capacitores de entrada       | 12 $\mu\text{F}$ (Filme)           | 27 $\mu\text{F}$ (Filme)           |
| Capacitor de saída ( $C_o$ ) | $2 \times 4,7 \mu\text{F}$ (Filme) | $2 \times 4,7 \mu\text{F}$ (Filme) |
| MOSFETs do primário          | IPW60R031CFD7                      | IRFP360LC                          |
| MOSFETs do secundário        | IRF300P226                         | IRF300P226                         |
| Diódos do secundário         | —                                  | MBR20200CT                         |
| Relação de espiras efetiva*  | 0,42                               | 0,22                               |
| Núcleo*                      | $\diamond$                         | $\diamond$                         |

\* Transformador. \* Magnetics<sup>®</sup>.  $\diamond$  MMT520T30.20.10B, Magmattec.

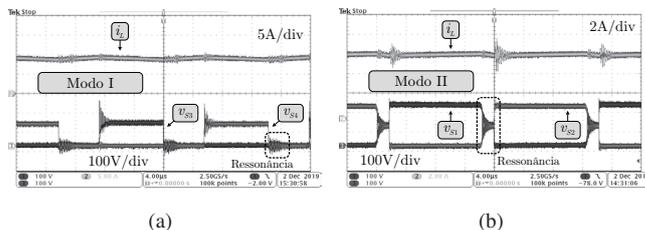


Fig. 11. Formas de onda experimentais obtidas com o SHB/CFPP, em 1000  $\text{W}/\text{m}^2$ . (a) Modo I ( $V_{in} = 276 \text{ V}$ , tempo: 4  $\mu\text{s}/\text{div}$ ):  $i_L$ ,  $v_{S3}$  e  $v_{S4}$ . (b) Modo II ( $V_{in} = 204 \text{ V}$ , tempo: 4  $\mu\text{s}/\text{div}$ ):  $i_L$ ,  $v_{S1}$  e  $v_{S2}$ .

potência ativa drenada pelo barramento CC de saída, tendo em vista a potência fornecida por uma fonte emuladora FV. Os parâmetros dos componentes, dispositivos utilizados e demais características dos protótipos dos S-CPCs são listados na Tabela IV. A frequência de comutação ( $f_s$ ) é 35 kHz.

### A. SHB/CFPP

No SHB/CFPP, utiliza-se um tempo morto de 460 ns entre os MOSFETs dos lados primário e secundário do transformador, em ambos os modos de operação.

A Figura 11.a apresenta as formas de onda experimentais referentes à corrente que percorre o indutor  $L$  ( $i_L$ ) e às tensões aplicadas sobre as chaves compostas  $S_3$  e  $S_4$  do SHB/CFPP. Nesta análise, o protótipo opera no modo I, com  $V_{in} = 276 \text{ V}$ , em 1000  $\text{W}/\text{m}^2$ . Por outro lado, a Figura 11.b ilustra as formas de onda experimentais de  $i_L$  e das tensões aplicadas sobre  $S_1$  e  $S_2$ , considerando a operação no modo II, com  $V_{in} = 204 \text{ V}$ .

A Figura 12 apresenta os resultados da potência não-ativa produzida individualmente pelos elementos de circuito do SHB/CFPP em toda a faixa de regulação de tensão, considerando a operação em  $G_a = 1000 \text{ W}/\text{m}^2$ . Nesta avaliação, as linhas contínuas se referem à simulação numérica dos modelos analíticos, enquanto os marcadores são os dados obtidos experimentalmente e em uma simulação de circuito elaborada no software PSIM<sup>®</sup>. Nos resultados relativos à potência não-ativa produzida pelo capacitor  $C_o$ , foi incluído o comportamento de  $N_{C_o}$  mediante o uso da ondulação de corrente no indutor  $L$  ( $\Delta i_L$ ), pois  $N_{C_o} = 0$  na modelagem matemática [18]. Na prática,  $N_{C_o} \leq 6,5 \text{ var}$  em toda a faixa de  $\Delta v$ . As medições de tensão e corrente para o cálculo da potência não-ativa experimental foram realizadas com a utilização de *snubbers RC* não-polarizados em paralelo com

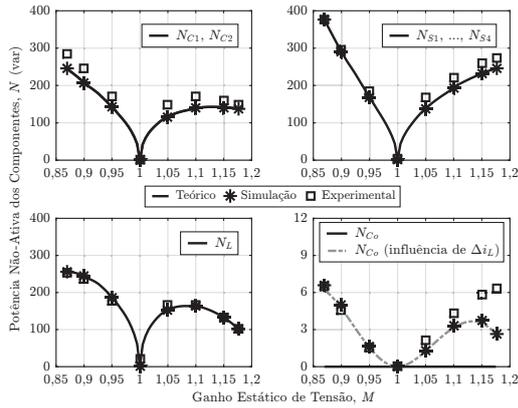


Fig. 12. Resultados teóricos, de simulação e experimentais da potência não-ativa produzida pelos componentes do SHB/CFPP em 1000 W/m<sup>2</sup>.

TABELA V  
Erro Relativo Máximo Entre Alguns Resultados da Potência Não-Ativa Produzida no Interior do SHB/CFPP

| Variável | Teórico* | Simulação* | Experimental* | Erro relativo <sup>1</sup> |
|----------|----------|------------|---------------|----------------------------|
| $N_{S1}$ | 138,39   | 138,07     | 167,26        | 0,17                       |
| $N_{S2}$ | 138,39   | 138,07     | 168,39        | 0,18                       |
| $N_{S3}$ | 138,39   | 138,07     | 152,68        | 0,09                       |
| $N_{S4}$ | 138,39   | 138,07     | 153,55        | 0,10                       |
| $N_{C1}$ | 116,68   | 116,44     | 149,18        | 0,22                       |
| $N_{C2}$ | 116,68   | 116,45     | 149,38        | 0,22                       |

\* [var]. <sup>1</sup> Entre os resultados teóricos e experimentais.

$S_1$  e  $S_2$  [29]. Neste caso, utilizou-se um resistor de 330  $\Omega$  (5 W) e um capacitor de poliéster de 1 nF em cada *snubber*.

Na Tabela V, é especificado o erro relativo máximo entre os resultados teóricos e experimentais da potência não-ativa produzida pelos capacitores de entrada e chaves semicondutoras do SHB/CFPP. Em todos os componentes avaliados, o erro relativo se refere à operação em  $M = 1,05$  pu. Como pode ser observado, existem pequenas discrepâncias entre os valores experimentais e os demais resultados, as quais se devem basicamente (i) às aproximações de pequenas ondulações, (ii) às oscilações e *spikes* de tensão e corrente nas medições práticas, bem como (iii) às próprias perdas no protótipo, as quais são negligenciadas pelos modelos analíticos [18]. As diferenças são aceitáveis para o cálculo da potência não-ativa total processada, pois o uso de modelos mais complexos e precisos não é o foco deste trabalho.

### B. FBPS/CFPP

No FBPS/CFPP, emprega-se um tempo morto ( $t_{d1}$ ) de 250 ns entre os MOSFETs dos lados primário e secundário, no modo I. No modo II,  $t_{d1} = 0$ , mas utiliza-se um tempo morto ( $t_{d2}$ ) de 233 ns entre os MOSFETs  $S_1$  e  $S_2$ , e de 307 ns entre os MOSFETs  $S_3$  e  $S_4$ , o que possibilita o acionamento dos MOSFETs do primário sob tensão nula (ZVS, do inglês *zero voltage switching*) em uma determinada faixa de potência.

A operação do FBPS/CFPP como S-CPC é bem conhecida na literatura. Logo, as formas de onda experimentais e os resultados da potência não-ativa produzida pelos componentes do FBPS/CFPP não serão apresentados neste trabalho.

TABELA VI  
Valores Médios da Potência Não-Ativa Total Ponderada (CEC), do Fator de Potência de Fryze e da Eficiência Ponderada (CEC) dos Protótipos

| Conversor | $\bar{N}_i$ (CEC) | $\bar{\mathcal{F}}$ | $\bar{\eta}$ (CEC) |
|-----------|-------------------|---------------------|--------------------|
| SHB/CFPP  | 552,39 var        | 0,89                | 98,95%             |
| FBPS/CFPP | 623,89 var        | 0,87                | 99,01%             |
| BB2S      | 955,19 var        | 0,76                | 98,73%             |

### C. Análise Comparativa

Primeiramente, a Figura 13.a estabelece um paralelo entre os resultados de simulação e experimentais relativos à potência não-ativa total processada pelas topologias avaliadas neste trabalho, em 1000 W/m<sup>2</sup>. De modo geral, pode-se afirmar que há coerência entre os resultados obtidos com cada conversor. No modo I, o FBPS/CFPP apresenta os menores valores de  $N_i$ , o que acontece devido à otimização da relação de espiras. No modo II, o SHB/CFPP alcança o menor processamento de potência não-ativa total em praticamente todo o intervalo de operação, em razão da MPS aplicada nas chaves  $S_1$ ,  $S_2$ ,  $S_3$  e  $S_4$  do FBPS/CFPP. Porém, os valores de  $N_i$  do BB2S são mais significativos em quase toda a faixa de regulação.

Para avaliar o processamento de potência não-ativa em termos de um único valor, pode-se tomar a média das curvas de  $N_i$  produzidas pelas topologias avaliadas neste trabalho, considerando a eficiência da comissão de energia da Califórnia (CEC, do inglês *California energy commission*) [30]. Os resultados são elencados na Tabela VI. Com isto, pode-se dizer que os dois reguladores *H-bridge/push-pull* realizam o PPP em toda a faixa de  $M$  e  $G_a$ , em virtude da otimização dos valores de  $n$ , sendo que o SHB/CFPP alcança uma maior redução no processamento de potência não-ativa total devido à quantidade reduzida de semicondutores que este emprega e às estratégias de modulação utilizadas.

A Figura 13.b apresenta a comparação entre os resultados de simulação e experimentais proporcionados pela definição do fator de potência de Fryze, também em 1000 W/m<sup>2</sup>. Observa-se que o comportamento de  $\mathcal{F}$  está de acordo com os resultados expostos na Figura 13.a, pois os menores valores de  $\mathcal{F}$  correspondem aos maiores valores de  $N_i$ , sendo  $\mathcal{F} = 1$  apenas em  $M = 1$ , onde  $P_{in} \neq 0$  e  $N_i = 0$ . Os valores médios de  $\mathcal{F}$  são listados na Tabela VI, comprovando a realização do PPP por parte dos reguladores série avaliados.

A Figura 13.c apresenta as curvas experimentais de eficiência obtidas com os três protótipos, considerando as ponderações da eficiência CEC [30]. No modo I, o FBPS/CFPP apresenta o melhor desempenho devido à otimização da relação de espiras. No modo II, embora a MPS permita que os MOSFETs no primário do FBPS/CFPP alcancem ZVS, aumentando a eficiência do conversor, esta estratégia de modulação produz uma potência não-ativa total processada maior nesta aplicação FV (vide a Figura 13.a), diminuindo a eficiência do regulador. Em relação ao BB2S, comprova-se que a redução da potência ativa e não-ativa total processada pelos S-CPCs resulta em maiores eficiências.

Por fim, para avaliar o desempenho global dos protótipos, também pode ser tomada a média das curvas expostas na Figura 13.c, cujos resultados são mostrados na Tabela VI.

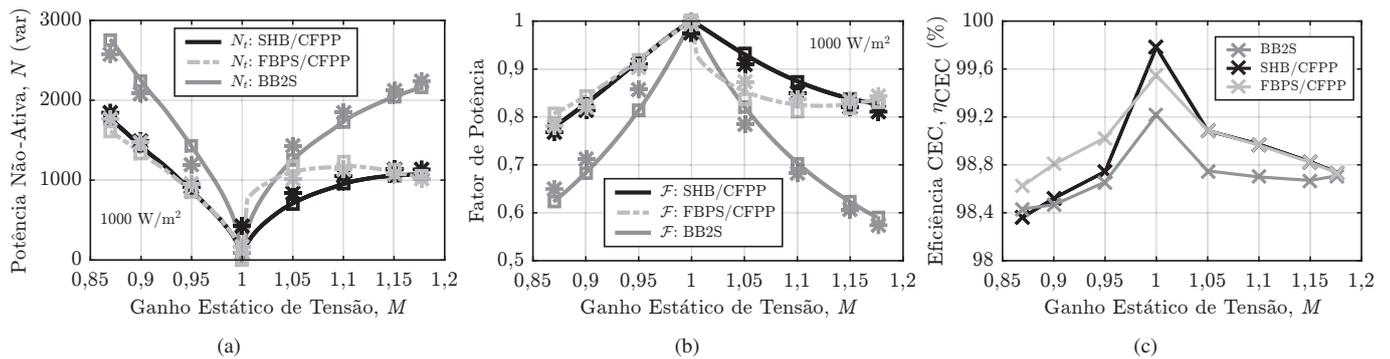


Fig. 13. Resultados teóricos (—), de simulação (□) e experimentais (\*) das topologias avaliadas: (a) Potência não-ativa total processada ( $N_t$ ) e (b) fator de potência de Fryze ( $\mathcal{F}$ ), em  $1000 \text{ W/m}^2$ . (c) Curvas de eficiência CEC ( $\times$ ) dos protótipos construídos e ensaiados.

## VI. CONCLUSÃO

Este artigo apresentou uma análise comparativa entre dois reguladores série *H-bridge/push-pull* abaixadores/elevadores de tensão aplicados em arquiteturas *string/multi-string* de sistemas FV conectados à rede elétrica. Utilizando um procedimento para avaliar o processamento de potência ativa e não-ativa, demonstrou-se que o FBPS/CFPP e o SHB/CFPP adquirem a capacidade de realizar o PPP mediante a otimização da relação de espiras dos transformadores.

Para validar as abordagens, três protótipos de  $2200 \text{ W}$  foram construídos e ensaiados para uma aplicação FV. Devido ao valor de  $n$  e à operação com ZVS, o FBPS/CFPP apresentou uma eficiência CEC de 99,01%, e o SHB/CFPP, de 98,95%, comprovando que a redução da potência ativa e não-ativa total processada pelos conversores resulta em maiores eficiências.

## AGRADECIMENTOS

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES/PROEX) – Código de Financiamento 001 e com apoio do Instituto Nacional de Ciência e Tecnologia em Geração Distribuída (INCT-GD) – processos no. 465640/2014-1, 423405/2018-7 e 308776/2018-6 (CNPq); 23038.000776/2017-54 (CAPES); e 17/2551-0000517-1 (FAPERGS).

## REFERÊNCIAS

- [1] V. Devabhaktuni, M. Alam, S. Depuru, R. C. Green, D. Nims, C. Near, “Solar Energy: Trends and Enabling Technologies”, *Renewable and Sustainable Energy Reviews*, vol. 19, pp. 555–564, Março 2013.
- [2] J. Anzola, I. Aizpuru, A. A. Romero, A. A. Loiti, R. Lopez-Erauskin, J. S. Artal-Sevil, C. Bernal, “Review of Architectures Based on Partial Power Processing for DC–DC Applications”, *IEEE Access*, vol. 8, pp. 103405–103418, Junho 2020.
- [3] M. Agamy, M. Todorovic, A. Elasser, S. Chi, R. Steigerwald, J. Sabate, A. McCann, L. Zhang, F. Mueller, “An Efficient Partial Power Processing DC/DC Converter for Distributed PV Architectures”, *IEEE Transactions on Power Electronics*, vol. 29, n. 2, pp. 674–686, Fevereiro 2014.
- [4] J. Zhao, K. Yeates, Y. Han, “Analysis of High Efficiency DC/DC Converter Processing Partial Input/Output Power”, in *14th IEEE Workshop on Control and Modeling for Power Electronics*, pp. 1–8, Junho 2013.
- [5] M. Kasper, D. Bortis, J. W. Kolar, “Classification and Comparative Evaluation of PV Panel-Integrated DC–DC Converter Concepts”, *IEEE Transactions on Power Electronics*, vol. 29, n. 5, pp. 2511–2526, Maio 2014.
- [6] J. R. R. Zientarski, M. L. d. S. Martins, J. R. Pinheiro, H. L. Hey, “Series-Connected Partial-Power Converters Applied to PV Systems: A Design Approach Based on Step-Up/Down Voltage Regulation Range”, *IEEE Transactions on Power Electronics*, vol. 33, n. 9, pp. 7622–7633, Setembro 2018.
- [7] J. R. R. Zientarski, M. L. d. S. Martins, J. R. Pinheiro, H. L. Hey, “Evaluation of Power Processing in Series-Connected Partial-Power Converters”, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, n. 1, pp. 343–352, Março 2019.
- [8] Y. Cao, *A Novel Step-Up/Step-Down Full-Bridge DC–DC Converter for Distributed Solar Power Applications*, Dissertação de Mestrado, The University of British Columbia, Vancouver, Canadá, 2015.
- [9] J. W. Zapata, S. Kouro, G. Carrasco, H. Renaudineau, T. A. Meynard, “Analysis of Partial Power DC–DC Converters for Two-Stage Photovoltaic Systems”, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, n. 1, pp. 591–603, Março 2019.
- [10] A. Diab-Marzouk, O. Trescases, “SiC-Based Bidirectional Ćuk Converter With Differential Power Processing and MPPT for a Solar Powered Aircraft”, *IEEE Transactions on Transportation Electrification*, vol. 1, n. 4, pp. 369–381, Dezembro 2015.
- [11] Y. Wang, X. Yu, “Comparison Study of MPPT Control Strategies for Double-Stage PV Grid-Connected Inverter”, in *39th Annual Conference of the IEEE Industrial Electronics Society*, pp. 1561–1565, 2013.
- [12] D. B. Snyman, J. H. R. Enslin, “Combined Low-Cost, High-Efficient Inverter, Peak Power Tracker and Regulator for PV Applications”, in *20th Annual IEEE Power Electronics Specialists Conference*, vol. 1, pp. 67–74, Junho 1989.

- [13] L. Lin, J. Zhang, S. Shao, “Differential Power Processing Architecture With Virtual Port Connected in Series and MPPT in Submodule Level”, *IEEE Access*, vol. 8, pp. 137897–137909, 2020.
- [14] P. S. Shenoy, K. A. Kim, B. B. Johnson, P. T. Krein, “Differential Power Processing for Increased Energy Production and Reliability of Photovoltaic Systems”, *IEEE Transactions on Power Electronics*, vol. 28, n.º 6, pp. 2968–2979, Junho 2013.
- [15] A. G. Birchenough, “Series Connected Buck–Boost Regulator”, U.S. Patent 7.116.568 B1, Out. 3, 2006.
- [16] N. Allali, *Convertisseur Haut Rendement à Dimensionnement Réduit pour Batterie Hybridée Puissance/Énergie de Véhicule Électrique: Principe de Source de Courant Contrôlée*, Tese de Doutorado, École Centrale de Lille, Lille, França, 2017.
- [17] B. Min, J. Lee, J. Kim, T. Kim, D. Yoo, E. Song, “A New Topology With High Efficiency Throughout All Load Range for Photovoltaic PCS”, *IEEE Transactions on Industrial Electronics*, vol. 56, n.º 11, pp. 4427–4435, Novembro 2009.
- [18] N. G. F. dos Santos, H. L. Hey, J. R. R. Zientarski, M. L. da Silva Martins, “Piecewise Fryze Power Theory Analysis Applied to PWM DC–DC Converters”, *IET Power Electronics*, vol. 13, n.º 10, pp. 2029–2038, Julho 2020.
- [19] *IEEE Standard Definitions for the Measurement of Electric Power Quantities Under Sinusoidal, Nonsinusoidal, Balanced, or Unbalanced Conditions*, IEEE Std. 1459–2010, Março 2010.
- [20] S. Fryze, “Wirk-, Blind- und Scheinleistung in Elektrischen Stromkreisen mit Nichtsinusförmigen Verlauf von Strom und Spannung”, *Elektrotechnische Zeitschrift*, vol. 53, n.º 25, pp. 596–599, Junho 1932.
- [21] H. Wen, W. Xiao, B. Su, “Nonactive Power Loss Minimization in a Bidirectional Isolated DC–DC Converter for Distributed Power Systems”, *IEEE Transactions on Industrial Electronics*, vol. 61, n.º 12, pp. 6822–6831, Dezembro 2014.
- [22] R. W. Erickson, D. Maksimović, *Fundamentals of Power Electronics*, Springer US, 2ª Edição, Nova Iorque, 2001.
- [23] T. Liang, J. Lee, “Novel High-Conversion-Ratio High-Efficiency Isolated Bidirectional DC–DC Converter”, *IEEE Transactions on Industrial Electronics*, vol. 62, n.º 7, pp. 4492–4503, Julho 2015.
- [24] Y. Lu, Y. Xing, H. Wu, “A PWM Plus Phase-Shift Controlled Interleaved Isolated Boost Converter Based on Semiactive Quadrupler Rectifier for High Step-Up Applications”, *IEEE Transactions on Industrial Electronics*, vol. 63, n.º 7, pp. 4211–4221, Julho 2016.
- [25] M. Ye, P. Xu, B. Yang, F. C. Lee, “Investigation of Topology Candidates for 48V VRM”, in *Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition*, vol. 2, pp. 699–705, 2002.
- [26] Kyocera Solar, Inc., “Kyocera KD Modules”, 2008. [Online]. Disponível: [www.global.kyocera.com](http://www.global.kyocera.com).
- [27] M. G. Villalva, J. R. Gazoli, E. R. Filho, “Comprehensive Approach to Modeling and Simulation of Photovoltaic Arrays”, *IEEE Transactions on Power Electronics*, vol. 24, n.º 5, pp. 1198–1208, Maio 2009.
- [28] B. Andres, *Projeto e Implementação de um Conversor Módulo Integrado para Conexão de Geração Fotovoltaica à Rede Elétrica*, Dissertação de Mestrado, Universidade Federal de Santa Maria, Santa Maria, Brasil, 2018.
- [29] N. Mohan, T. M. Undeland, W. P. Robbins, *Power Electronics: converters, applications, and design*, John Wiley & Sons, 3ª Edição, Nova Iorque, 2003.
- [30] L. Zhang, K. Sun, H. Hu, Y. Xing, “A System-Level Control Strategy of Photovoltaic Grid-Tied Generation Systems for European Efficiency Enhancement”, *IEEE Transactions on Power Electronics*, vol. 29, n.º 7, pp. 3445–3453, Julho 2014.

#### DADOS BIOGRÁFICOS

**Niwtton Gabriel Feliciani dos Santos**, nascido em 1995, em Rosário do Sul, RS, Brasil, é engenheiro eletricitista (2018) pela Universidade Federal do Pampa (UNIPAMPA), RS, Brasil, e mestre (2020) em engenharia elétrica pela Universidade Federal de Santa Maria (UFSM), RS, Brasil. Atualmente, é aluno do curso de doutorado em engenharia elétrica na UFSM. Suas áreas de interesse incluem processamento de potência, conversores CC–CC e sistemas FV.

**Jonatan Rafael Rakoski Zientarski**, nascido em 1983, em Ijuí, RS, Brasil, é engenheiro eletricitista (2007) pela Universidade Regional do Noroeste do Estado do Rio Grande do Sul (UNIJUÍ), RS, Brasil, e mestre (2009) e doutor (2017) em engenharia elétrica pela Universidade Federal de Santa Maria (UFSM), RS, Brasil. Desde 2010, é professor no Instituto Federal Catarinense (IFC), SC, Brasil. Suas áreas de interesse incluem energias renováveis e otimização de conversores estáticos. Dr. Zientarski é membro da SOBRAEP e da *Industry Applications Society* – IAS/IEEE.

**Fabrcio Bradaschia**, nascido em 1983, em São Paulo, SP, Brasil, é engenheiro eletricitista (2006), mestre (2008) e doutor (2012) em engenharia elétrica pela Universidade Federal de Pernambuco (UFPE), PE, Brasil. De 2008 até 2009, atuou como professor visitante na Universidade de Alcalá (UAH), Madrid, Espanha. Desde 2013, faz parte do Departamento de Engenharia Elétrica da UFPE. Suas áreas de interesse incluem sistemas FV, qualidade de energia, conversores estáticos e métodos de sincronização com a rede elétrica.

**Mário Lúcio da Silva Martins**, nascido em 1976, em Palmeira das Missões, RS, Brasil, é engenheiro eletricitista (1999), mestre (2002) e doutor (2008) em engenharia elétrica pela Universidade Federal de Santa Maria (UFSM), RS, Brasil. De 2006 até 2012, atuou como professor na Universidade Tecnológica Federal do Paraná (UTFPR), PR, Brasil. Desde 2012, faz parte do Departamento de Eletrônica e Computação da UFSM. Suas áreas de interesse incluem SMPS, UPS, inversores FV e energias renováveis. Dr. Martins é membro da SOBRAEP e de algumas sociedades do IEEE.