

DESENVOLVIMENTO DE UM *PHASE-LOCKED LOOP* A PARTIR DE UM COMBINADOR LINEAR DE FOURIER

Odair de Barros Junior, Anselmo Frizzera Neto, Lucas Frizzera Encarnação
Universidade Federal do Espírito Santo, Vitória – ES, Brasil
e-mail: odair.barros@ufes.br, frizzera@ieee.org, lucas.encarnacao@ufes.br

Resumo - Este artigo apresenta a implementação de um *Phase-Locked Loop (PLL)* por meio de uma estrutura composta de um *Fourier Linear Combiner (FLC)* e um *Weighted-Frequency Fourier Linear Combiner (WFLC)*. Esta estrutura, denominada *FLC/WFLC* cumpre as recomendações do *Standard IEEE 1057* para detecção de ondas senoidais em observações discretas no tempo, sendo amplamente utilizada na engenharia biomédica para a detecção de frequências de tremores humanos. De forma a comprovar o funcionamento do algoritmo proposto, o *FLC/WFLC* foi comparado com o *MSOGI-PLL* em testes experimentais para distúrbios de amplitude, frequência, fase e harmônicos de um sistema monofásico.

Palavras-Chave – *Fourier Linear Combiner, Phase-Locked Loop, Qualidade de Energia, Sincronizador de Rede Elétrica, Weighted-Frequency Fourier Linear Combiner.*

DEVELOPMENT OF A PHASE-LOCKED LOOP FROM A FOURIER LINEAR COMBINER

Abstract – This paper presents the implementation of a *Phase-Locked Loop (PLL)* composed of a *Fourier Linear Combiner (FLC)* and a *Weighted-Frequency Fourier Linear Combiner (WFLC)*. This structure, named *FLC/WFLC* meets the requirements of *Standard IEEE 1057* for digitizing waveforms recorders, widely used in biomedical engineering to detect human tremor frequencies. To verify the operation of the proposed algorithm, the *FLC/WFLC* was compared to *MSOGI-PLL* in experimental testing for amplitude, frequency, phase and harmonic disturbances of a single-phase system.

Keywords – *Fourier Linear Combiner, Phase-Locked Loop, Power Quality, Weighted-Frequency Fourier Linear Combiner.*

I. INTRODUÇÃO

O desenvolvimento de chaves semicondutoras de potência de alta qualidade aliado ao desenvolvimento de constante de microcontroladores com maior capacidade de processamento,

proporcionou aos engenheiros eletricitistas a possibilidade de desenvolver técnicas mais complexas e robustas de processamento de energia. Este cenário foi decisivo para o surgimento da geração distribuída, microrredes, projetos de qualidade de energia e demais avanços em Sistemas Elétricos de Potência [1].

Um ponto convergente para o desenvolvimento de algoritmos para as técnicas de processamento de energia é a detecção instantânea ou sincronização da amplitude, fase e frequência de sinais de tensão e corrente de sistemas elétricos de potência. O algoritmo responsável pela sincronização destes sinais é denominado *Phase-Locked Loop (PLL)* [2].

Os *PLLs* surgiram, inicialmente, como um circuito para reprodução de sinais em uma determinada faixa de frequência pré-selecionada, e eram simplesmente uma variação de circuitos de controle de laço fechado em frequência, utilizados para sintonização de rádios [3]. A estrutura definitiva do *PLL* consiste do diagrama de blocos da Figura 1.

Neste diagrama, ficam evidenciadas as três etapas de rastreamento da frequência de um sinal. Um detector de fase que realiza a comparação entre o sinal de entrada a ser detectado e o sinal estimado a partir de uma amostragem deste sinal, utilizando um filtro e um *Voltage Controlled Oscillator (VCO)*, com a função de estimar o sinal com base na amostra filtrada [4].

Em sistemas de energia, existem diversas abordagens de para o desenvolvimento de um *PLL* digital. Para sistemas trifásicos, algumas técnicas utilizam teoria de potência instantânea para sintonização da fase a partir do cálculo da potência reativa [5]. Outras formas de detecção foram desenvolvidas, dentre elas, por exemplo, técnicas que utilizam álgebra vetorial e ortogonalidade de funções temporais [2]. Dentre as técnicas bastante difundidas na literatura, pode-se mencionar o *Second-Order Generalized Integrators (SOGI-PLL)* que, utilizando um integrador de segunda ordem, em substituição às funções trigonométricas para sintonização da fase do sinal. O *SOGI* se apresenta como uma alternativa robusta por sua característica de rejeição de ruído e velocidade de processamento [6]-[10].

Outras técnicas utilizando o conceito de combinadores, podem ser encontradas, como o *Adaptive Linear Combiner (ALC)* que consiste na combinação linear de um conjunto estabilizado de pesos para uma dada referência de frequência. Sua estrutura utiliza um controle proporcional integrativo (PI) para sincronização com a componente fundamental do sinal original [11].

Artigo submetido em 01/08/2016. Primeira revisão em 20/09/2016. Aceito para publicação em 11/11/2016 por recomendação do Editor Marcelo Cabral Cavalcanti.

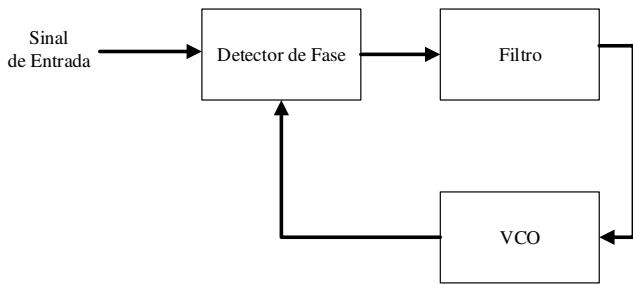


Fig. 1. Estrutura do PLL [4].

Buscando alternativas que possibilitem a detecção e sincronização de componentes harmônicas presentes nos sinais de tensão e corrente, outras estratégias de PLL foram desenvolvidas. Pode-se mencionar técnicas como o *SVFT-PLL*, que utilizam Transformadas de Fourier Discretas para determinação das magnitudes e fases das diversas componentes de um sinal de forma instantânea [12]. Outros estudos implementam filtros média-móvel configurando o filtro para detecção da componente fundamental e das componentes harmônicas do sinal [13], [14]. Uma adaptação do *SOGI-PLL* para detecção das componentes harmônicas de um sinal e que se encontra bastante difundida na literatura, o *Multiple SOGI (MSOGI-PLL)*, consiste na replicação da estrutura *SOGI-PLL* original para cada harmônico que se pretenda detectar [15], [16].

Na área de processamento de sinais e engenharia biomédica, outras técnicas foram desenvolvidas com o objetivo de realizar a detecção de sinais periódicos. Dentre as técnicas estocásticas, pode-se mencionar o *Fourier Linear Combiner (FLC)* e o *Weighted-Frequency FLC (WFLC)* que se utilizam de técnicas estocásticas para compor uma série de Fourier capaz de reconstruir instantaneamente o sinal detectado. Estas estratégias cumprem os requisitos necessários para sincronização de sinais periódicos e são encontradas na literatura de engenharia biomédica. Uma característica interessante dessas estratégias é a possuir intrinsecamente a capacidade de sincronização com harmônicos sem a necessidade de outras adaptações [17]-[24].

Desta forma, o objetivo deste artigo é implementar um algoritmo denominado *FLC/WFLC* para detecção de harmônicos para operações em Sistemas de Energia. Para isso, este algoritmo foi implementado em um *Digital Signal Processing (DSP)*. Sua estrutura consiste da combinação de um *FLC* e um *WFLC* para detecção simultânea da componente fundamental de um sinal monofásico e as componentes harmônicas a ele associadas.

Enquanto resultados de simulação já foram anteriormente apresentados [25], neste artigo serão apresentados resultados experimentais para um *FLC/WFLC* embarcado em um *DSP TMS320F28335*. Também foi implementado um *MSOGI-PLL* para que se realizasse a comparação e devida validação do *FLC/WFLC*. O *MSOGI-PLL* foi escolhido por possuir capacidade de detecção de harmônicos e ser amplamente difundido na literatura.

Na Seção II serão apresentados o *FLC* e o *WFLC*, sua literatura e suas estruturas. Na Seção III será apresentada o *FLC/WFLC* e a ser utilizado para os testes deste artigo. Na Seção IV serão apresentados os parâmetros de testes para validação do sistema proposto e os resultados destes testes.

Por fim, na Seção V, serão discutidos os resultados e feitas as conclusões das análises das seções anteriores.

II. COMBINADOR LINEAR DE FOURIER

Nesta seção, será abordado o estudo do *FLC* e *WFLC*, sua estrutura e aplicações. Primeiramente, serão apresentadas as equações que definem o algoritmo utilizado para determinação de um *FLC* a partir do estudo da literatura adequada ao tema. A estrutura do *FLC* é capaz de sintonizar um sinal a partir do conhecimento da frequência da fundamental por meio da sua combinação em séries de Fourier. Posteriormente, serão destacadas as modificações necessárias ao algoritmo *FLC* para que ele seja capaz de sintonizar a frequência do sinal de maior potência também explicado nesta seção.

A. Fourier Linear Combiner

O *FLC* consiste de um algoritmo de Erro Quadrático Médio (EQM) que sintoniza parâmetros de uma Série de Fourier para estimar um determinado sinal periódico.

Considere um sinal $u(t)$ que possa ser amostrado em um vetor u_k representado por:

$$u_k = \underline{x}_k^* \underline{w}_k^0 + v_k \quad (1)$$

onde:

\underline{w}_k^0 - Vetor de constantes.

\underline{x}_k^* - Vetor de componentes trigonométricas.

v_k - Ruído não correlacionado com o sinal u_k .

O asterisco denota conjugado complexo, e a aspa simples indica a transposta do vetor. Os vetores estão representados pelo sublinhado e o índice k indica uma amostra no tempo. O vetor \underline{x}_k , indica os componentes trigonométricos em diversas ordens que podem ser representados simplificada em sua forma exponencial por:

$$\underline{x}_k = \frac{1}{\sqrt{M}} \left[1 \ e^{-j\omega_0 k} \ \dots \ e^{-j\omega_0 k(M-1)} \right] \quad (2)$$

onde:

M - Número de harmônicos do sinal representado.

ω_0 - Frequência angular da componente fundamental.

Por sua vez, o vetor \underline{w}_k^0 pode ser estimado por um processo estocástico representado pelo vetor \underline{w}_k . Este vetor é encontrado por um algoritmo EQM que minimize o erro por meio de:

$$\underline{w}_{k+1} = \underline{w}_k + 2\mu \underline{x}_k \varepsilon_k \quad (3)$$

onde:

μ - Número real que determina o passo da iteração.

ε_k - Erro do algoritmo EQM.

\underline{w}_k - Vetor de pesos adaptativos do algoritmo EQM.

Por fim, o erro ε_k do algoritmo é encontrado pela comparação entre o sinal u_k e o produto dos termos \underline{x}_k^* e \underline{w}_k , podendo ser representado por:

$$\varepsilon_k = u_k - \underline{x}_k^* \underline{w}_k \quad (4)$$

Desta forma, o algoritmo EQM é capaz de representar um sinal periódico de M harmônicos amostrado, minimizando o erro quadrático entre este sinal e uma Série de Fourier cujos

pesos são adaptados por um determinado passo μ . O passo μ é determinado limitando-se a busca para valores inferiores ao inverso do número de harmônicos com os quais se deseja representar o sinal [19].

O diagrama de blocos correspondente a este algoritmo está representado na Figura 2 em sua forma trigonométrica. Como observado pela análise de (4) e evidenciado pela Figura 2, o *FLC* é dependente do conhecimento prévio da frequência do sinal amostrado.

B. Weighted-Frequency Fourier Linear Combiner

O *WFLC* é uma proposta de modificação do algoritmo *FLC* com o objetivo de se realizar a detecção da componente de maior potência de um determinado sinal periódico. Desta forma, o *WFLC* é capaz de realizar a detecção da componente fundamental. A proposta do *WFLC* é criar um laço externo ao *FLC*, com um algoritmo responsável pela detecção da frequência da componente de maior potência que alimenta o circuito original do *FLC*. Tal algoritmo é denominado EQM modificado [20].

O algoritmo EQM modificado está representado por:

$$\omega_{0_{k+1}} = \omega_{0_k} + 2\mu_0 \varepsilon_k \sum_{n=1}^M n (w_{n_k} x_{(m+n)_k} + x_{n_k} w_{(m+n)_k}) \quad (5)$$

onde:

μ_0 - Número real e positivo que determina o passo de frequência de cada iteração.

A sintonia do passo μ_0 é feita de forma empírica semelhante ao que é implementado para o *FLC*, porém outro limitante é que o valor de μ_0 deve ser muito menor que o valor de μ [21].

A Figura 3 apresenta o diagrama de blocos do *WFLC*. É possível notar que o *WFLC* é implementado acrescentando uma estrutura paralela para sintonia do sinal de frequência, identificada pelo bloco EQM modificado [20].

III. APLICAÇÃO DO FLC E WFLC EM SISTEMAS DE ENERGIA

Para garantir que o *WFLC* realize a detecção da componente fundamental, convencionou-se na literatura a aplicação de um filtro passa-baixa para redução da potência das componentes harmônicas. Esta medida, porém, poderia ocasionar um atraso na detecção do sinal do *WFLC*, o que não é desejado neste caso. Portanto, a proposta convencionada na literatura é a utilização de uma estrutura combinada entre *FLC* e *WFLC* que neste artigo será denominada *FLC/WFLC*. Esta estrutura está apresentada na Figura 4. Observa-se, que o sinal filtrado apenas influencia a detecção da frequência da componente fundamental, enquanto a sincronização da fase e amplitude é realizada sem sofrer nenhum atraso [24]. Esta estrutura garante a estabilidade da detecção simultânea de amplitude e frequência do sinal original.

A sintonização do algoritmo é realizada por meio da varredura dos pesos estabelecidos para os blocos *FLC* e *WFLC* separadamente. Enquanto no *FLC* procura-se um peso menor que o inverso do número de harmônicos e que seja capaz de permitir a sincronização do sinal combinado com o sinal original no menor tempo possível, no *WFLC* procura-se um conjunto de pesos que permita a detecção da frequência da componente fundamental no menor tempo possível [19], [20].

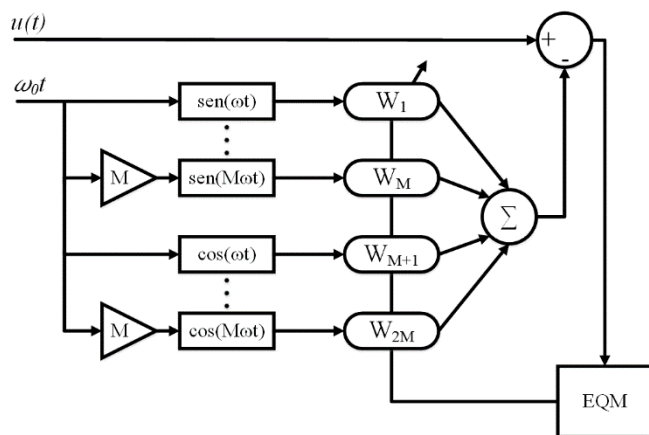


Fig. 2. Diagrama de blocos do *FLC* [19].

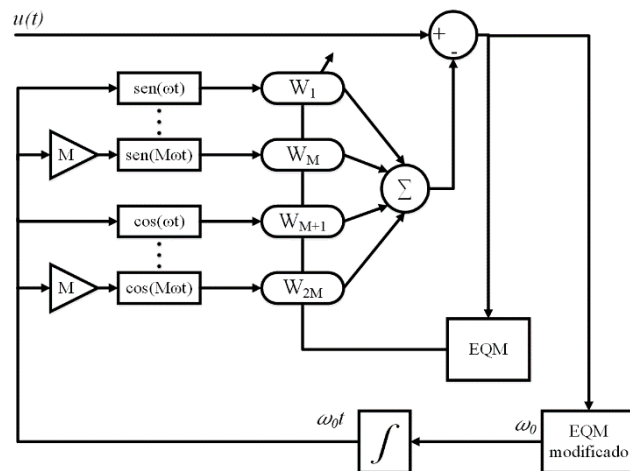


Fig. 3. Diagrama de blocos do *WFLC*. Nota-se a inserção do bloco EQM modificado [20].

Para realizar a sintonia, foi utilizado o simulador *PSCAD/EMTDC* e foram selecionados diversos valores possíveis para μ e μ_0 . O critério de parada adotado foi o tempo necessário para que o erro de sincronização das amplitudes fosse inferior à 1% nos dois casos. A tensão inserida no sistema é 127 V_{rms}, 60 Hz com fase 90°. O filtro passa-baixa projetado foi um filtro *Butterworth* de 4ª ordem com frequência de corte 120 Hz. Os algoritmos foram programados em C e o simulador foi configurado para 1 μ s. As Tabelas I e II apresentam os melhores valores com destaque para os pesos selecionados na Tabela III.

Para facilitar a nomenclatura, foram adotados μ_{FLC} para o peso correspondente ao *FLC* e μ_{WFLC} e μ_0 para os pesos de fase e de frequências do *WFLC* respectivamente. A sintonia do *WFLC* foi realizada de forma a se otimizar a detecção da frequência do sinal fundamental.

Na Figura 5(a) é possível observar a comparação entre a forma de onda original e a estimada pelo *FLC/WFLC*. Verifica-se que a detecção do sinal foi realizada de forma instantânea, não sendo possível observar nenhuma variação grande do erro quadrático médio destacado na Figura 5(b).

Isso porque o atraso da detecção de frequência imposto pelo filtro e *WFLC* é compensado pelo *FLC* que adiciona harmônicos ao sinal estimado. Estes harmônicos são retirados conforme a sintonia da frequência da fundamental se estabiliza em 60 Hz.

Visto que a estrutura *FLC/WFLC* é capaz de detectar com eficiência sinais da rede elétrica, torna-se necessário avaliar sua eficiência ante os distúrbios de Sistemas Elétricos de Potência. Estes cenários serão abordados na próxima seção.

IV. TESTES E RESULTADOS

Para validação do *FLC/WFLC* foram propostos diversos cenários que tornassem clara a capacidade do algoritmo proposto se comportar como um *PLL* para Sistemas Elétricos de Potência. Também foi realizada a comparação dos resultados do *FLC/WFLC* com os resultados do *MSOGI-PLL* para os mesmos cenários, em virtude da ampla utilização do mesmo para detecção de harmônicos na literatura. Os critérios adotados para sintonização do *MSOGI-PLL* são equivalentes aos apresentados em seu artigo de origem [15].

Neste artigo, os cenários analisados foram:

- Elevação súbita de tensão.
- Afundamento súbito de tensão.
- Perda de ciclo.
- Variação súbita de frequência.
- Variação súbita de fase.
- Detecção de harmônicos.
- Rejeição a harmônicos.

Para construção e desenvolvimento do protótipo, o código do *FLC/WFLC* foi embarcado no *Digital Signal Processing (DSP)* da *Texas Instruments TMS320F28335*. O software utilizado para compilação do código foi o *Code Composer Studio v3.3*. A geração do sinal foi feita por uma fonte *Chroma* modelo *AC/6512*, e os sensores de tensão utilizados foram *LV-25p*. O sinal observado foi condicionado para operação entre 0-3V para aquisição do conversor analógico-digital constante no *DSP*. A aquisição deste conversor foi realizada a uma taxa de 10kHz por meio de interrupções e os dados foram observados por meio de uma comunicação serial.

Os testes de variação súbita de fase foram implementados unicamente em simulação devido à limitação física da fonte *Chroma*. Para a simulação foi utilizado o software *PSCAD/EMTDC* com período de amostragem 1μs.

A Figura 6 apresenta as conexões de *Hardware* utilizadas para a montagem da bancada apresentada na Figura 7. A seguir apresentam-se cada um dos testes implementados e a comparação entre o *FLC/WFLC* e o *MSOGI-PLL*. A Tabela IV apresenta um resumo das formas de onda antes e após os distúrbios em cada teste realizado e a Tabela V as componentes harmônicas implementadas nos testes correspondentes.

TABELA I
Determinação do μ_{FLC}

μ_{FLC}	Redução do erro <1% [ms]
0,040	10,80
0,035	8,50
0,030	7,50
0,025	8,55

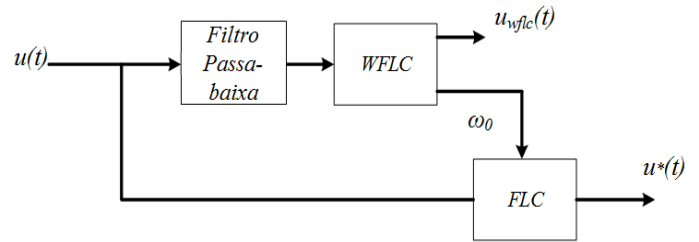


Fig. 4. Diagrama de blocos do *FLC/WFLC*.

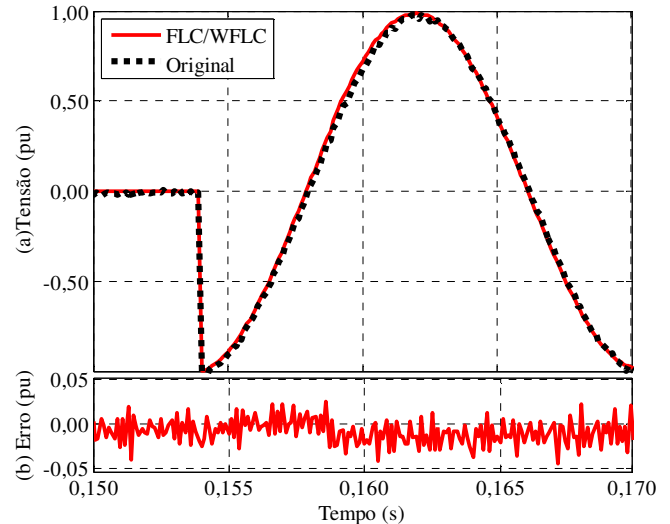


Fig. 5. (a) Detecção do sinal de tensão pelo *FLC/WFLC*. (b) Erro durante a detecção do sinal.

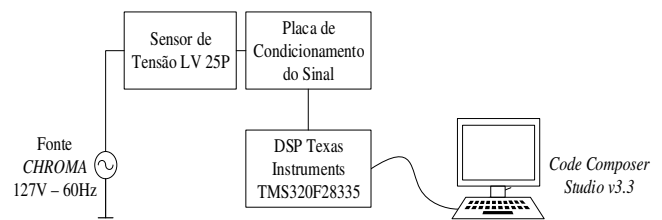


Fig. 6. Configuração de *hardware* utilizado para testes do *FLC/WFLC*.

TABELA II
Determinação do μ_{WFLC} e do μ_0

μ_0	μ_{WFLC}	Detecção da Frequência [ms]
$3 \cdot 10^{-6}$	0,01	22,25
$2 \cdot 10^{-6}$	0,01	22,20
$1 \cdot 10^{-6}$	0,01	20,15
$9 \cdot 10^{-7}$	0,01	16,00
$8 \cdot 10^{-7}$	0,01	17,80

TABELA III
Determinação dos Parâmetros do *FLC* e *WFLC*

Parâmetro	Valor
μ_{FLC}	0,03
μ_{WFLC}	0,01
μ_0	$9 \cdot 10^{-7}$

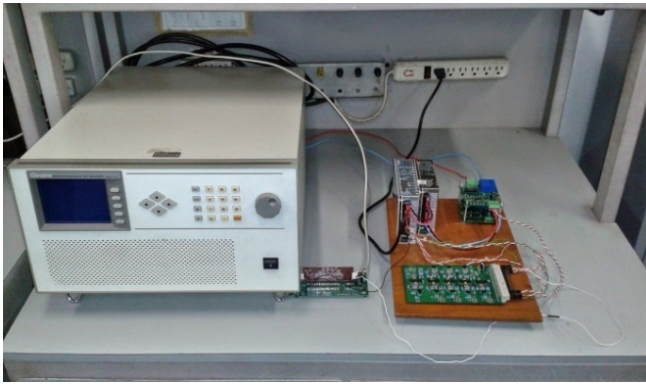


Fig. 7. Bancada utilizada para os testes experimentais do *FLC/WFLC*.

1) *Elevação súbita de tensão*: Este teste iniciou-se introduzindo um sinal $127 V_{rms}$, 60 Hz e fase inicial 0° como condição inicial para o sistema. Após a sincronização dos *PLLs* com o sinal original, aplicou-se uma elevação súbita de 30% da amplitude, mantendo-se a frequência e a fase constantes. O resultado está apresentado na Figura 8. Como pode-se observar, o *FLC/WFLC* e o *MSOGI-PLL* apresentaram resultados semelhantes para a detecção da ampliação do sinal de forma instantânea. Analisando-se o erro gerado pelos dois algoritmos, percebe-se que o *FLC/WFLC* apresentou um erro menor durante a detecção, porém os resultados são tão próximos que as diferenças podem ser desprezadas. Os sinais apresentados no gráfico foram plotados em pu para facilitar a compreensão do gráfico.

2) *Afundamento súbito de tensão*: Este teste iniciou-se também com um sinal de $127 V_{rms}$, 60 Hz e fase inicial 0° e os *PLLs* previamente sincronizados com o sinal original. Em dado instante foi aplicado um afundamento súbito de 95% na amplitude do sinal, mantendo a frequência e fase constantes. O resultado está apresentado na Figura 9. Pode-se observar que ambos se sincronizaram novamente ao sinal original em 7.5 ms. Analisando o erro destacado na Figura 9(b), é possível observar que o comportamento do *FLC/WFLC* apresentou um erro menor durante o processo de sincronização com o sinal original. Isso também é verificado observando-se o destaque do momento de sincronização realizado na Figura 9(a).

3) *Perda de ciclo*: Neste teste foi realizado a perda de 33,6% do ciclo de um sinal de tensão de $127 V_{rms}$, 60 Hz e fase inicial 0° , no instante em que o sinal atingia o pico superior. Foram observadas as dinâmicas dos *PLLs* durante todo o processo de resincronização com o sinal original. Este resultado está apresentado na Figura 10. Pode-se observar que o *FLC/WFLC* realizou a sincronização com o sinal original instantaneamente, enquanto o *MSOGI-PLL* sincronizou-se 4.7 ms após a nova entrada do sinal original.

4) *Varição súbita de frequência*: Estabelecido novamente o sinal original em $127 V_{rms}$, 60 Hz e fase 0° , foi aplicada uma variação súbita de frequência, reduzindo o valor para 50 Hz. Os valores de amplitude e fase permaneceram constantes. Os resultados deste teste foram apresentados na Figura 11. É possível observar que a sincronização da frequência do *MSOGI-PLL* e do *FLC/WFLC* foi realizada em 6 ms, porém o

FLC/WFLC apresentou um sobressinal menor durante a sincronização.

5) *Varição súbita de fase*: Estabelecido novamente o sinal original em $127 V_{rms}$, 60 Hz e fase 0° , foi aplicada uma variação súbita de fase, de -180° para 180° . Os valores de amplitude e frequência permaneceram constantes. Os resultados deste teste foram apresentados na Figura 12. Observa-se que o *FLC/WFLC* se sincronizou novamente com o sinal original ao final de um ciclo, ou 16,67 ms, enquanto o *MSOGI-PLL* sincronizou-se apenas no segundo ciclo, ou 33,34 ms. Destaca-se também que o *MSOGI-PLL* apresentou uma dinâmica mais suave quando comparada à dinâmica do *FLC/WFLC*.

6) *Detecção de harmônicos*: Para este teste, os algoritmos de *PLL* foram submetidos aos harmônicos estabelecido na Tabela V, mantendo-se a fundamental conforme os testes anteriores. Neste teste foi avaliada a capacidade de detecção dos harmônicos e os valores das magnitudes dos harmônicos detectados em comparação às magnitudes programadas para o sinal original. A Figura 13 ilustra a detecção do sinal original e a Tabela V indica as magnitudes detectadas para composição do sinal. É possível observar que ambos realizam a detecção com precisão inferior a 0,1% para todos os harmônicos. Percebe-se também que o *MSOGI-PLL* atua melhor na detecção dos harmônicos de ordem inferior, enquanto o *FLC/WFLC* atua melhor na detecção dos harmônicos de ordem superior. Quanto à Distorção Harmônica Total (DHT), os dois algoritmos apresentaram resultados semelhantes. Quando observado os módulos dos erros acumulado, verifica-se que enquanto o *FLC/WFLC* apresenta um erro acumulado de 0,53%, enquanto o *MSOGI-PLL* apresenta um erro de 1,13%.

7) *Rejeição a harmônicos*: Para estes testes foram mantidos os valores de harmônicos e fundamental estabelecidos no teste de detecção de harmônicos. Foi avaliada a capacidade de um *PLL* detectar e sincronizar-se com a fundamental rejeitando os harmônicos presentes no sinal. Este teste é importante para indicar a robustez do algoritmo frente a presença de ruídos harmônicos de alta frequência que dificultem a sincronização com o sinal fundamental. O resultado deste teste é apresentado na Figura 14. Pode-se verificar que tanto o *MSOGI-PLL* quanto o *FLC/WFLC* apresentaram capacidade de sincronização com o sinal fundamental com a presença de harmônicos até a 25ª ordem.

TABELA IV
Condição do Sinal Antes e Após Distúrbio

TESTE REALIZADO	ANTES DO DISTÚRBBIO	APÓS O DISTÚRBBIO
1	$127\text{sen}(2\pi 60t+0^\circ)$	$165,1\text{sen}(2\pi 60t+0^\circ)$
2	$127\text{sen}(2\pi 60t+0^\circ)$	$6,35\text{sen}(2\pi 60t+0^\circ)$
3	$127\text{sen}(2\pi 60t+0^\circ)$	-
4	$127\text{sen}(2\pi 60t+0^\circ)$	$127\text{sen}(2\pi 50t+0^\circ)$
5	$127\text{sen}(2\pi 60t+0^\circ)$	$127\text{sen}(2\pi 60t-180^\circ)$

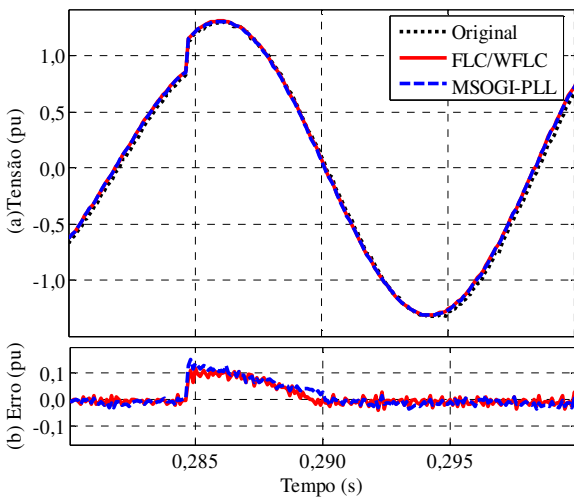


Fig. 8. (a) Comportamento do *FLC/WFLC* e *MSOGI-PLL* em uma elevação súbita de tensão de 30%. (b) Comportamento do erro durante a elevação súbita de tensão de 30%.

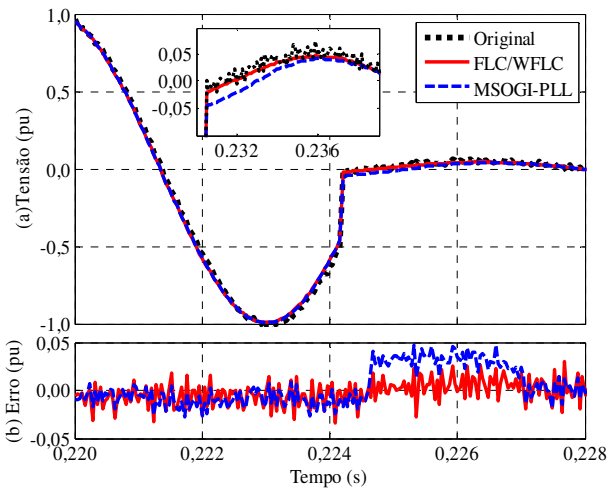


Fig. 9. (a) Comportamento do *FLC/WFLC* e *MSOGI-PLL* em um afundamento súbito de tensão de 95%. (b) Comportamento do erro durante o afundamento súbito de tensão de 95%.

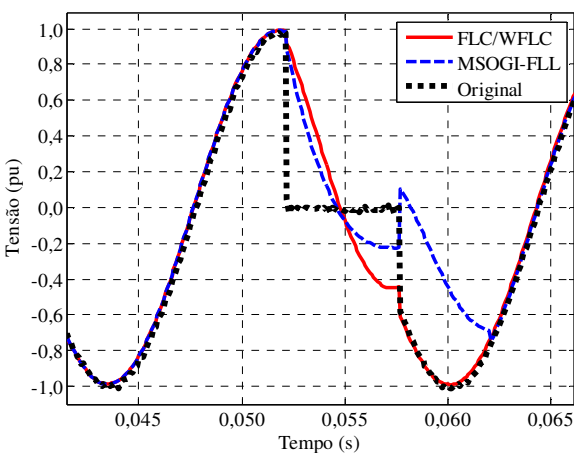


Fig. 10. Comportamento do *FLC/WFLC* e *MSOGI-PLL* durante perda de 33,6% de ciclo no momento em que atinge o valor máximo da onda.

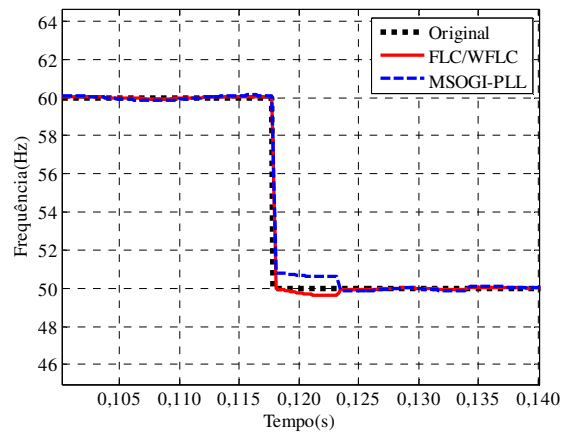


Fig. 11. Comportamento do *FLC/WFLC* e *MSOGI-PLL* durante variação de frequência de 60Hz para 50Hz.

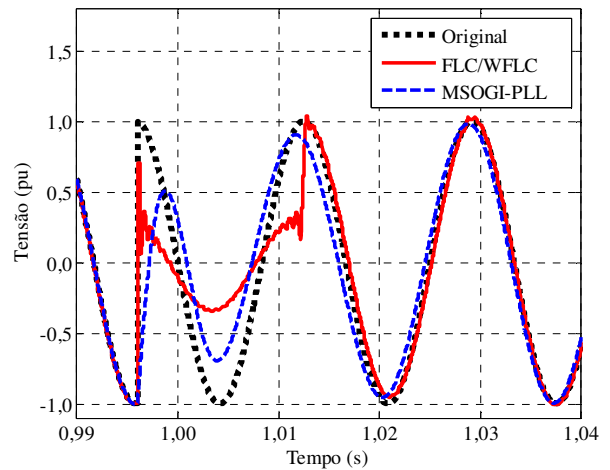


Fig. 12. Comportamento do *FLC/WFLC* e *MSOGI-PLL* durante variação de fase de 180°.

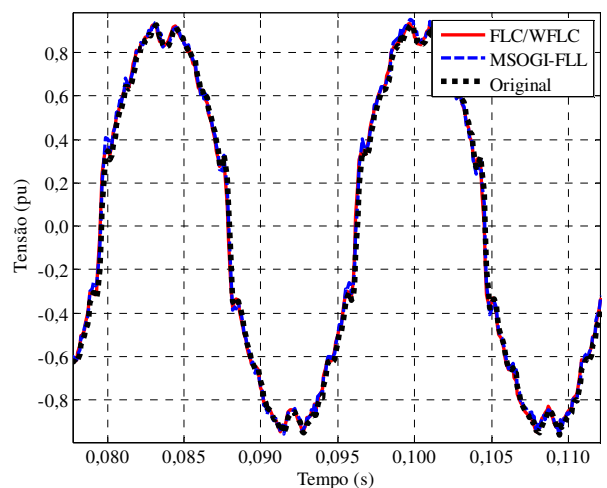


Fig. 13. Comportamento do *FLC/WFLC* e *MSOGI-PLL* para detecção de harmônicos.

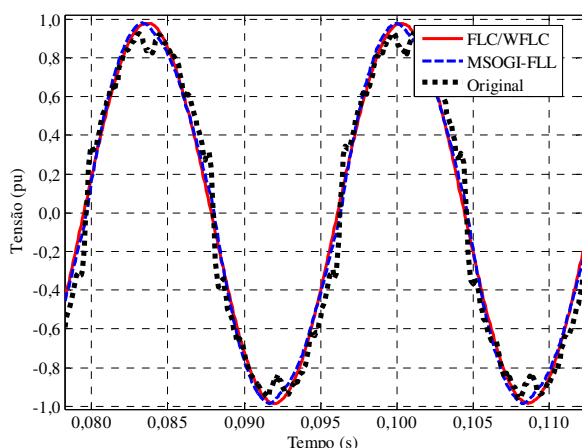


Fig. 14. Comportamento do *FLC/WFLC* e *MSOGI-PLL* para rejeição de harmônicos.

TABELA V
Distorção Harmônica Detectada

PARÂMETRO	SINAL ORIGINAL	FLC/WFLC	MSOGI-PLL
3° harmônico	12,46 %	12,38 %	12,43%
5° harmônico	4,55 %	4,52 %	4,41%
7° harmônico	7,50 %	7,57 %	7,35%
9° harmônico	1,39 %	1,45 %	1,33%
11° harmônico	2,98 %	3,00 %	2,99%
13° harmônico	1,38 %	1,31 %	1,37%
15° harmônico	4,55 %	4,55 %	4,69%
17° harmônico	2,90 %	2,93 %	2,99%
19° harmônico	1,79 %	1,85 %	1,90%
21° harmônico	1,76 %	1,79 %	1,89%
23° harmônico	1,95 %	1,95 %	2,11%
25° harmônico	1,41%	1,33%	1,51%
DHT	16,92%	16,90%	16,90%

V. CONCLUSÕES

Analisando os resultados apresentados na Seção IV, é possível concluir sobre a atuação do *FLC/WFLC* como um *PLL* monofásico para Sistemas Elétricos de Potência.

Dentre os sete testes realizados, o *FLC/WFLC* apresentou eficiência equivalente ao *MSOGI-PLL* para resincronização durante uma elevação súbita de tensão, variação súbita de frequência e rejeição a harmônicos e eficiência superior na resincronização durante um afundamento súbito de tensão, perda de ciclo e variação súbita de fase. Para a detecção de harmônicos, verificou-se que o *MSOGI-PLL* detectou de forma mais eficiente os harmônicos de ordem inferior, enquanto o *FLC/WFLC* mostrou-se mais eficiente na detecção de harmônicos de ordem superior e os dois obtiveram o mesmo resultado quanto à detecção de DHT.

Desta forma, é possível concluir que o *FLC/WFLC* se apresenta como uma possível estratégia para *PLL*, possuindo características robustas para a detecção e sincronização de um

sinal fundamental diante de distúrbios de uma rede elétrica monofásica.

O cenário brasileiro de sistemas de energia tem apresentado diversos avanços científicos nos últimos anos principalmente com a busca de técnicas mais robustas que poderiam se denominar processamento de energia. Desta forma, se torna interessante um algoritmo de sincronização que já incorpore em sua estrutura a detecção de sinais harmônicos. O *FLC/WFLC*, desta forma, apresenta uma estrutura robusta para executar essa função.

Dentre os trabalhos futuros destaca-se a adaptação do código do *FLC/WFLC* para sistemas trifásicos, identificando sequências positivas, negativas e de neutro. Outro possível trabalho futuro é o estudo de outras técnicas heurísticas para melhor adaptação do algoritmo para diferentes cenários.

Por fim, considerando a crescente necessidade de estudos de técnicas de processamento para aperfeiçoamento da gerência e controle da energia em sistemas elétricos de potência, o *FLC/WFLC* pode ser uma importante ferramenta para auxílio ao processamento de energia.

AGRADECIMENTOS

Os autores agradecem a CAPES, pelo financiamento durante a pesquisa, ao CNPq (processo 470363/2013-4– Edital Universal MCTI/CNPq 14/2013), à FAPES (processo 510/2015 - Edital Universal - Projeto Individual de Pesquisa) e à Universidade Federal do Espírito Santo pela disponibilização do Laboratório de Eletrônica de Potência e Acionamentos Elétricos para os devidos testes.

REFERÊNCIAS

- [1] M.A.G. de Brito, L.P Sampaio, J.C.U Peña, C.A. Canesin, “Família de Inversores Integrados Monofásicos e Trifásicos”, *Eletrônica de Potência – SOBRAEP*, vol. 19, nº 4, pp. 368-376, Setembro/Novembro 2014.
- [2] F.P. Marafão, S.M. Deckmann, J. A. Pomilio, R.Q. Machado, “Metodologia de Projeto e Análise de Algoritmos de Sincronismo PLL”, *Eletrônica de Potência – SOBRAEP*, vol. 10, nº 1, pp. 7-13, Junho 2005.
- [3] A.B. Grebene, “The monolithic phase-locked loop - a versatile building block”, *IEEE Spectrum*, vol. 8, nº 3, pp. 38-49, Mar. 1971.
- [4] S.C. Gupta, “Phase-Locked Loops”, *IEEE Transactions on Industrial Electronics*, vol. 63, nº 2, pp. 291-301, Feb. 1975.
- [5] L.G.B Rolim, D.R. da Costa. Jr., M. Aredes, “Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory”, *IEEE Transactions on Industrial Electronics*, vol. 53, no. 6, pp. 1919-1926, Dec. 2006.
- [6] P. Rodriguez, A. Luna, I. Candela, R. Teodorescu, F. Blaabjerg, “Grid synchronization of power converters using multiple second order generalized integrators”, in *34th Annual Conference of the Industrial Electronics Society (IECON)*, pp. 755-760, 2008.

- [7] F. Xiao, L. Dong, L. Li, X. Liao, "A Frequency-Fixed SOGI Based PLL for Single-Phase Grid-Connected Converters," *IEEE Transactions on Power Electronics*, vol. 32, n. 3, pp. 1713-1719, Mar. 2017.
- [8] P. Tan, H. He, X. Gao, "Phase compensation, ZVS operation of wireless power transfer system based on SOGI-PLL," in *IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 3185-3188, 2016.
- [9] P. Rodriguez, A. Luna, M. Ciobotaru, R. Teodorescu, F. Blaabjerg, "Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions," in *32nd Annual Conference of the Industrial Electronics Society (IECON)*, pp. 5173-5178, 2006.
- [10] J. Yu, Y. Xu, Y. Cao, J. Yu, "An improved dual second-order generalized integrator PLL under non-ideal grid conditions," in *35th Chinese Control Conference (CCC)*, pp. 8644-8648, 2016.
- [11] B. Han, B. Bae, "Novel phase-locked loop using adaptive linear combiner," *IEEE Transactions on Power Delivery*, vol. 21, no. 1, pp. 513-514, Jan. 2006.
- [12] S. Golestan, J. M. Guerrero, A. Vidal, A. G. Yepes, J. Doval-Gandoy, "PLL With MAF-Based Prefiltering Stage: Small-Signal Modeling and Performance Enhancement," *IEEE Transactions on Power Electronics*, vol. 31, no. 6, pp. 4013-4019, Jun. 2016.
- [13] S. Golestan, M. Ramezani, J. M. Guerrero, F. D. Freijedo, M. Monfared, "Moving average filter based phase-locked loops: Performance analysis and design guidelines," *IEEE Transactions Power Electronics*, vol. 29, no. 6, pp. 2750-2763, Jun. 2014.
- [14] W. Komatsu, N. R. N. Ama, L. Matakas Jr., "Digital Control For PLLs Based On Moving Average Filter: Analysis And Design In Discrete Domain" *Eletrônica de Potência – SOBRAEP*, vol. 20, nº 3, pp. 293-299, Agosto 2015.
- [15] P. Rodriguez, A. Luna, I. Candela, R. Teodorescu, F. Blaabjerg, "Grid synchronization of power converters using multiple second order generalized integrators," in *34th Annual Conference of the Industrial Electronics Society (IECON)*, pp. 755-760, 2008.
- [16] D. K. W. Li, S. Poshtkouhi, O. Trescases, R. Orr, B. Bacque, "Intelligent AC Distribution Panel for real-time load analysis and control in small-scale power grids with distributed generation," in *IEEE International Humanitarian Technology Conference (IHTC)*, pp. 1-4, 2015.
- [17] *IEEE Standard for Digitizing Waveform Recorders*, IEEE Std. 1057-1994, 1994.
- [18] C. Vaz, N. Thakor. "Adaptive fourier estimation of time-varying evoked potentials." *IEEE Transactions on Biomedical Engineering*, vol. 36, n. 4, pp. 448-455, Apr. 1989.
- [19] C. Vaz, X. Kong, N. Thakor, "An adaptive estimation of periodic signals using a Fourier linear combiner", *IEEE Transactions on Signal Processing*, vol. 42, no. 1, pp. 1-10, Jan. 1994.
- [20] C. N. Riviere, N. V. Thakor, "Adaptive human-machine interface for persons with tremor", in *Proc. of Annual Conference on Engineering in Medicine and Biology Society*, vol. 02, pp. 1193-1194, 1995.
- [21] V. Bonnet, C. Mazza, J. McCamley, A. Cappozzo, "Use of weighted Fourier linear combiner filters to estimate lower trunk 3D orientation from gyroscope sensors data" *Journal of Neuro Engineering and Rehabilitation*, vol. 10, no. 29, pp. 29-35. Mar. 2013.
- [22] K. Adhikari, S. Tatinati, K. C. Veluvolu, K. Nazarpour, "Modeling 3D tremor signals with a quaternion weighted Fourier Linear Combiner," in *7th International IEEE/EMBS Conference on Neural Engineering (NER)*, pp. 799-802, 2015.
- [23] Y. Gao, S. Wang, J. Zhao, H. Cai, "Estimation of pathological tremor by using adaptive shifting BMFLC base d on RLS algorithm," in *IEEE International Conference on Mechatronics and Automation*, pp. 569-574, 2013
- [24] A. N. Frizera, *Interfaz Multimodal para Modelado, Estudio Y Asistencia A La Marcha Humana Mediante Andadores Robóticos*. Tese de Doutorado em Eletrônica, Universidad de Alcalá, 2010.
- [25] O. de Barros Jr., A. Frizera Neto, L. F. Encarnação, "Desenvolvimento de um Combinador Linear de Fourier para Detecção de Sinais de Tensão", in *Anais do XX Congresso Brasileiro de Automática (CBA)*, pp. 3021-3028, 2014.

DADOS BIOGRÁFICOS

Odair de Barros Junior, natural de Duque de Caxias é engenheiro eletricista (2013), mestre (2015) e doutorando em Engenharia Elétrica pela Universidade Federal do Espírito Santo. Desde 2013 atua como aluno do Laboratório de Eletrônica de Potência e Acionamentos Elétricos da UFES.

Anselmo Frizera Neto, é graduado (2006) em Engenharia Elétrica pela Universidade Federal do Espírito Santo e doutor (2010) em Eletrônica pela Universidad de Alcalá, Espanha. Foi pesquisador do Grupo de Bioengenharia do Consejo Superior de Investigaciones Científicas (Espanha) entre 2006 e 2010. Atualmente, é Professor Adjunto do Departamento de Engenharia Elétrica da Universidade Federal do Espírito Santo - Brasil. Possui experiência em Eletrônica e em Engenharia Biomédica e suas áreas de interesse são: robótica de reabilitação, sensores e interfaces homem-máquina, e processamento de sinais.

Lucas Frizera Encarnação, nascido em 1979 em Vitória/ES é engenheiro eletricista pela Universidade Federal do Espírito Santo - UFES desde 2003, e doutor em Engenharia Elétrica pela Universidade Federal do Rio de Janeiro – UFRJ desde 2009. Atualmente é Professor adjunto da Universidade Federal do Espírito Santo. Suas áreas de interesse são: eletrônica de potência, qualidade de energia, filtros ativos, compensadores estáticos e conversores multiníveis.