

# INVERSOR *BOOST* A CAPACITOR CHAVEADO CONECTADO À REDE ELÉTRICA

Jéssika M. de Andrade<sup>1</sup>, Gilberto V. Silva<sup>2</sup>, Roberto F. Coelho<sup>1</sup> e Telles B. Lazzarin<sup>1</sup>

<sup>1</sup> Universidade Federal de Santa Catarina – UFSC, Florianópolis – SC, BRASIL

<sup>2</sup> Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina – IFSC, Florianópolis – SC, BRASIL

e-mail: jessika.melo@inep.ufsc.br, valentim@ifsc.edu.br, roberto@inep.ufsc.br, telles@inep.ufsc.br

**Resumo** – Neste artigo propõe-se o emprego do inversor *boost* diferencial a capacitor chaveado (*SCDBI*) em aplicações que requerem conexão com a rede elétrica. O *SCDBI* é um inversor elevador, cujo ganho pode ser aumentado a partir da adição de células a capacitor chaveado, e possui saída em tensão, o que permite injetar correntes na rede com baixa ondulação usando apenas um filtro L. Esses atributos favorecem o emprego da topologia em sistemas de estágio único, onde a tensão de entrada é menor que o valor de pico da tensão de saída. Alguns dos desafios atrelados ao uso do *SCDBI* estão relacionados à característica de ganho não linear e aos modelos dinâmicos de ordem elevada. Neste artigo, é proposta uma modelagem simplificada e uma técnica de linearização estática, que possibilitam a utilização de um controlador proporcional-integral e uma malha de *feedforward* para controlar a corrente injetada na rede elétrica. O trabalho também aborda a análise estática do conversor com modulação unipolar e apresenta os procedimentos de dimensionamento. A validação do estudo é feita através dos resultados obtidos a partir de um protótipo de 250 W, conectado à rede de 220 V eficaz, com tensão de entrada de 60 V, frequência de comutação de 50 kHz, rendimento de 90% e corrente de saída com *THD* menor que 5%.

**Palavras-Chave** – Capacitor Chaveado, Conexão Com a Rede Elétrica, Controle, Inversor *Boost*, Linearização, Modelagem.

## SWITCHED CAPACITOR BOOST INVERTER CONNECTED TO THE GRID

**Abstract** – This paper proposes the employment of the switched-capacitor differential boost inverter (*SCDBI*) for applications that require grid-connection. The *SCDBI* is a step-up converter, which allows the increasing of the gain adding more switched capacitor cells. Furthermore, its output voltage characteristic enables injecting currents with low ripple even using just an L filter. Those attributes support the employment of the topology in single-stage systems connected to the grid, in which the input voltage is lower than the output voltage. Some of the challenges of using *SCDBI* connected to the grid are related to the nonlinear static gain characteristic and

high order dynamic models. In this paper, a simplified modelling and a static linearization technique are proposed, which allow the use of a proportional integral controller with a feedforward loop for regulating the current injected into the grid. Furthermore, the static analysis of the converter with unipolar modulation and design methodology are also presented. The validation of the theoretical analysis is achieved through a 250 W prototype connected to 220 V RMS voltage grid, with input voltage of 60 V, switching frequency of 50 kHz, efficiency of 90%, and grid current THD less than 5%.

**Keywords** – Boost Inverter, Connecting to the Electrical Grid, Control, Switched-capacitor, Linearization, Modelling.

## I. INTRODUÇÃO

A crescente demanda por energia elétrica, a redução das reservas de combustíveis fósseis e as políticas de contenção da poluição mundial têm incentivado o aumento do uso das fontes renováveis de energias, bem como o estudo dos sistemas para conectá-las à rede elétrica [1]-[3].

As fontes renováveis podem ser conectadas à rede elétrica por meio de um sistema de único ou de múltiplos estágios. Em sistemas fotovoltaicos de potência acima de 200 W, usualmente, o processamento de energia é realizado a partir de dois estágios. Tipicamente, estes sistemas são compostos por um conversor cc-cc elevador do tipo *boost* conectado a um inversor tipo abaixador (tipo *buck*) [4]-[5]. Tal abordagem, porém, pode resultar em elevação de volume e peso, além da redução da eficiência e da confiabilidade [6].

Em outra direção, visando melhorias em relação às topologias com duplo estágio, há os inversores de estágio único. Em sistemas de baixa potência (menores de 200 W), a topologia *flyback* no modo de condução descontínua (MCD) é bastante utilizada [7]-[8]. Nessa solução, todavia, a indutância de dispersão do transformador pode produzir sobretensões nos interruptores, requerendo o uso de grampeadores, fato que aumenta o custo e a complexidade e reduz a eficiência da topologia [9].

A literatura também apresenta algumas soluções de inversores de único estágio não isolados (*transformerless*) [10], como os inversores *boost*, *buck-boost*, *zeta*, *SEPIC*, dentre outros. Tais inversores são derivados da conexão diferencial de dois conversores cc-cc adequadamente modulados [11]-[12]. Usualmente, essas topologias operam no modo de condução contínua (MCC), sem exigir componentes extras, sendo o ganho total limitado pelos ganhos dos conversores originais. Via de regra, inversores

diferenciais podem processar potências maiores em relação ao inversor *flyback* no MCD e, apesar de serem topologias não lineares de difícil modelagem e controle, existem estudos na literatura que propõem o emprego de técnicas de linearização para tal finalidade [13]-[15].

Com o objetivo de aumentar o ganho estático dos inversores elevadores não isolados, em [16]-[17] é proposta a integração de células de capacitores chaveados (CaCh) ao convencional inversor *boost* apresentado em [6]. A topologia resultante é um inversor do tipo *boost* diferencial a capacitor chaveado, denominado na literatura de *switched capacitor differential boost inverter (SCDBI)*.

Até o momento a literatura adotou o *SCDBI* apenas como inversor autônomo [16]-[17], mas suas características de ganho também o tornam atraente para aplicação em sistemas conectados à rede, pois o emprego de células a capacitor chaveado permite aumentar o ganho da topologia, mantendo a célula *boost* no mesmo ponto de operação. Nesse contexto, o presente artigo propõe a utilização do *SCDBI* em aplicações que envolvam a conexão com rede elétrica.

Além desta seção introdutória, a seção II apresenta a análise estática do inversor em estudo, na qual uma técnica de linearização estática é apresentada. A seção III desenvolve a modelagem do conversor e a estratégia de controle baseada no uso de técnicas lineares e a seção IV discute os resultados experimentalmente obtidos.

## II. INVERSOR PROPOSTO

A Figura 1 apresenta o *SCDBI* conectado à rede elétrica, identificando-se a célula CaCh (traço sombreado) e o convencional inversor *boost* (formado por  $L_{a,b}$ ,  $C_{1a,1b}$ ,  $S_{1a,1b}$  e  $S_{2a,2b}$ ). Por ser composto por dois módulos *boost* cc-cc bidirecionais híbridos (módulos A e B), os interruptores são bidirecionais em corrente com diodo antiparalelo.

As tensões de saída dos módulos são sempre positivas e compostas por duas parcelas: uma contínua e outra alternada senoidal. A parcela contínua é igual em ambos os módulos, sendo as componentes alternadas defasadas de  $180^\circ$  entre si. Nessa configuração, após a conexão diferencial, as parcelas cc se cancelam e as parcelas alternadas somam-se.

O conversor é conectado à rede elétrica por meio de um simples filtro indutivo, representado na figura por  $L_o$ . Reduzidos valores de indutância são suficientes para impor uma baixa ondulação de corrente, pois a estrutura tem saída em tensão, em oposição aos inversores tipo *buck*, que requerem o uso de filtros indutivos de elevado valor ou de estruturas com mais alta ordem, como o filtro LCL. Outro ponto interessante é o ganho estático da estrutura, que pode ser aumentado com a adição de células a CaCh.

A alteração do número de células confere ao inversor a flexibilidade de conectar-se à diferentes patamares de tensão (127 V ou de 220 V, por exemplo), mantendo o mesmo ponto de operação no estágio *boost*.

Essa característica é interessante para aplicações no Brasil, que possui dois níveis de tensão na rede de distribuição. A capacidade de alterar o ganho com as células de CaCh também beneficia aplicações em sistemas fotovoltaicos, pois permite alterar o número de módulos (e assim a tensão de entrada) e ajustar o ganho do conversor

apenas modificando-se o número de células a capacitor chaveado presentes na topologia.

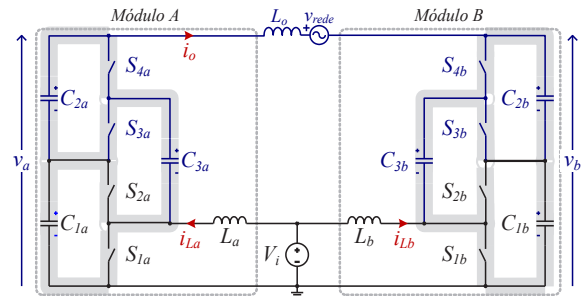


Fig. 1. Inversor *boost* com CaCh conectado à rede elétrica.

### A. Estados Topológicos

Os estados topológicos da estrutura são analisados utilizando-se a modulação por largura de pulso três níveis (3N-*PWM*) descrita na Figura 2. A modulação adotada possibilita que os pulsos de comando de cada módulo sejam independentes, diferentemente da modulação por largura de pulso dois níveis (2N-*PWM*), originalmente empregada quando a topologia foi concebida por [16]-[17]. A utilização de pulsos de comando independentes é essencial para que a técnica de linearização abordada no item D desta seção possa ser implementada. Vale destacar que as modulações 2N-*PWM* e 3N-*PWM* sem linearização apresentam resultados similares quando comparados aspectos como esforços de tensão nos semicondutores, rendimento e distorção harmônica total (*THD*). Tal conclusão é resultado de análises experimentais conduzidas em laboratório, e se tornarão mais evidentes na seção IV.

É importante perceber que, isolados, cada módulo da estrutura apresentaria as duas etapas de operação do conversor *boost* em MCC. Entretanto, quando integrados, os dois módulos passam a apresentar os quatro estados topológicos descritos na Figura 3, os quais são originados das combinações dos estados de cada módulo.

A estrutura inversora altera quatro vezes seu estado topológico em um período de comutação, sendo utilizada a sequência de estados na Figura 3.a e 3.b, 3.a e 3.c durante o semiciclo positivo da tensão da rede elétrica, e a sequência de estados na Figura 3.d e 3.b, 3.d e 3.c durante o semiciclo negativo da referida tensão.

Os estados topológicos do inversor são descritos a partir dos estados de um único módulo e é considerado que os elementos de cada conversor são iguais, sem os sub índices *a* e *b*.

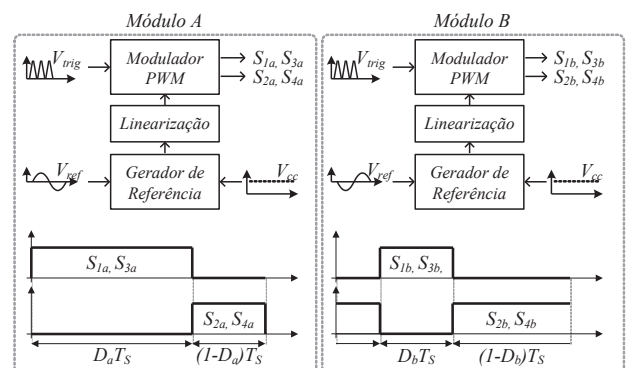


Fig. 2. Modulador 3N-*PWM* e bloco de linearização.

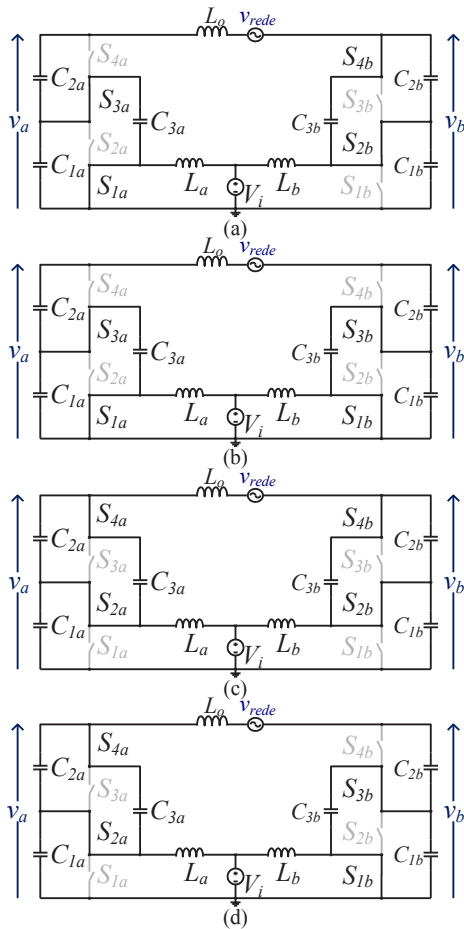


Fig. 3. Estados topológicos considerando-se o uso da modulação 3N-PWM.

- Quando os interruptores  $S_1$  e  $S_3$  estão conduzindo e  $S_2$  e  $S_4$  estão bloqueados, ocorre a acumulação indutiva do indutor *boost*, enquanto o capacitor chaveado  $C_3$  permanece conectado em paralelo com capacitor  $C_1$ .
- Quando os interruptores  $S_1$  e  $S_3$  são comandados a bloquear e  $S_2$  e  $S_4$  entram em condução, ocorre a etapa de transferência de energia do indutor *boost*, enquanto o capacitor chaveado  $C_3$  permanece conectado em paralelo com capacitor  $C_2$ .
- A célula de capacitor chaveado garante o equilíbrio das tensões entre os capacitores  $C_2$  e  $C_1$ , o que resulta na característica multiplicadora da célula. O inversor *boost* é bidirecional, podendo ter seu fluxo de energia revertido de acordo com o ponto de operação.

### B. Ganho Estático

O ganho estático teórico do módulo  $A$  em MCC é expresso em função do ganho fornecido pela célula multiplicadora ( $k$ ), ou em função do número de células a CaCh ( $N$ ), e da razão cíclica do módulo ( $d_a$ ):

$$\frac{v_a}{V_i} = \frac{k}{1-d_a} = \frac{N+1}{1-d_a}. \quad (1)$$

Por sua vez, o ganho do módulo  $B$  é definido de maneira similar:

$$\frac{v_b}{V_i} = \frac{k}{1-d_b} = \frac{N+1}{1-d_b}. \quad (2)$$

Adotando-se o módulo  $A$  como referência ( $d_a = d$ ), sabendo-se que a modulação empregada garante que  $d_b = 1-d_a$ , e que tensão de saída diferencial  $v_o$  é dada pela diferença entre  $v_a$  e  $v_b$ , obtém-se o ganho diferencial do inversor proposto:

$$\frac{v_o}{V_i} = \frac{k(2d-1)}{d(1-d)}. \quad (3)$$

Manipulando (3), tem-se a definição da razão cíclica em função da tensão de saída desejada.

$$d = \frac{1}{2} + \frac{\sqrt{(2kV_i)^2 + v_o^2} - 2kV_i}{2v_o}. \quad (4)$$

### C. Projeto dos Elementos Passivos

Os indutores de entrada são definidos a partir da especificação de ondulação percentual de corrente ( $\Delta i_L$ ), sendo expressos por:

$$L_a = L_b = \frac{V_i D}{f_s I_{Lpk} \Delta i_L}, \quad (5)$$

onde,  $V_i$  é a tensão de entrada,  $D$  é a razão cíclica máxima,  $f_s$  é a frequência de comutação e  $I_{Lpk}$  é o valor de pico da corrente nos indutores.

A indutância do filtro de saída é determinada a partir da frequência de ressonância ( $f_{LC}$ ) entre o indutor ( $L_o$ ) e a capacitância equivalente da célula multiplicadora ( $C_{eq}$ ), sendo definida por:

$$L_o = \frac{2k^2}{(2\pi f_{LC})^2 C_{eq}}. \quad (6)$$

A ressonância pode ser vista na resposta em frequência do inversor, que será abordada na seção III. A possibilidade de escolher a frequência em que a ressonância ocorrerá garante um grau de liberdade no projeto do controlador.

As capacitâncias da CaCh são especificadas a partir do modo de operação da célula multiplicadora. De acordo com [18], existe três modos diferentes de operação: carga completa, carga parcial e carga nula, como exposto na Figura 4. No modo carga completa a corrente do capacitor atinge elevados valores de pico, o que, conseqüentemente, provoca maiores perdas. No modo carga nula não existe picos de corrente, porém, são requeridos elevados valores de capacitância, o que aumenta o volume do conversor. Assim, o modo que fornece o melhor custo/benefício entre eficiência e volume é o modo de carga parcial [19].

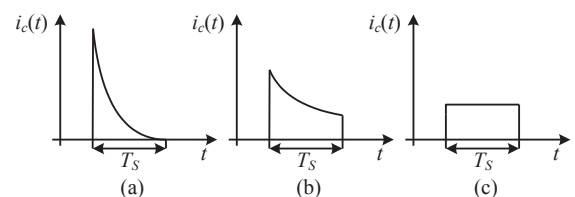


Fig. 4. Modos de operação da célula de capacitor chaveado: a) carga completa; b) carga parcial; c) carga nula.

A operação do conversor no modo de carga parcial é garantida quando o produto da constante de tempo ( $\tau$ ) pela frequência de comutação é maior que 0,1 [19], sendo  $\tau$  definido por:

$$\tau = (R_{SE} + R_{ds(on)})C, \quad (7)$$

onde,  $R_{SE}$  é a resistência série equivalente do capacitor e  $R_{ds(on)}$  a resistência do interruptor em condução. As capacitâncias das CaCh são calculadas por [19]:

$$C_1 = C_2 = C_3 \geq \frac{0,1}{f_s (R_{SE} + R_{ds(on)})}. \quad (8)$$

A integração da célula de CaCh com o capacitor *boost* gera uma capacitância equivalente, dada por:

$$C_{eq} = \frac{2C[D(1-D)+2]}{k[2+D(1-D)]-2D(1-D)+2}, \quad (9)$$

desde que  $C_1=C_2=C_3=C$ .

#### D. Técnica de Linearização

Inversores do tipo *boost* apresentam distorções na tensão e/ou na corrente de saída devido à característica de ganho não linear, o que exige esforços de controle adicionais [20]-[21]. Para melhorar essa desvantagem, alguns trabalhos sugerem o uso de modulação com linearização dinâmica [22] ou técnicas de linearização aplicadas à tensão de saída total  $v_o$  [23].

Como alternativa, neste artigo propõe-se uma estratégia de linearização aplicada ao ganho individual de cada módulo, o que, conseqüentemente, lineariza as tensões parciais  $v_a$  e  $v_b$ . Cabe ressaltar que o ganho estático de cada módulo permanece não linear, mas o sistema completo (conversor + linearização) passa a apresentar uma relação de entrada/saída linear.

Após a aplicação da técnica de linearização, o ganho linearizado  $G_L$  passa a ser descrito por:

$$G_L = \alpha d + \beta, \quad (10)$$

em que o coeficiente angular ( $\alpha$ ) e linear ( $\beta$ ) da reta de linearização são determinados em função do ganho máximo desejado na topologia (atrelado à tensão de entrada e ao valor de pico da tensão de saída). A variável  $d$  representa a razão cíclica, proveniente da malha de controle e aplicada ao bloco linearizador.

A equação que descreve o comportamento da razão cíclica do conversor *boost* em MCC pode ser obtida a partir do seu ganho estático:

$$d_{boost} = 1 - \frac{1}{G_{boost}}. \quad (11)$$

Ao definir  $G_{boost} = G_L$ , faz-se com que o sistema apresente uma resposta linear e, ao substituir (10) em (11), torna-se simples encontrar a relação entre  $d$  e  $d_{boost}$  para que esta condição seja satisfeita.

$$d_{boost} = \frac{\alpha d + \beta - 1}{\alpha d + \beta}. \quad (12)$$

### III. MODELAGEM E CONTROLE

#### A. Modelagem orientada ao controle

O comportamento de conversores a CaCh, devido à grande quantidade de elementos passivos, é descrito por equações dinâmicas de ordem elevada. Entretanto, conversores *boost* híbridos de ordem  $n$ , de acordo com [24], podem ser modelados considerando-se apenas a dinâmica dominante, representada pelo conversor simplificado de segunda ordem exposto na Figura 5.

O circuito equivalente, ilustrado na Figura 5, é obtido a partir da representação da célula CaCh por um transformador hipotético CC, com razão de transformação 1:k [24]. As resistências parasitas dos capacitores chaveados ( $R_{SE}$ ) e dos interruptores de potência ( $R_{ds(on)}$ ) são representadas pela resistência  $r_{eq}$  presente no modelo. Essa resistência é responsável por manter a equivalência de amortecimento entre o conversor *boost* a CaCh e a versão simplificada [24]. A capacitância equivalente da célula multiplicadora é representada por  $C_{eq}$ ; o resistor  $R_o$  é a resistência de carga e  $L$  é a indutância *boost*.

O modelo comutado de ordem reduzida, ilustrado na Figura 6, que representa o *SCDBI*, pode ser obtido a partir da conexão diferencial de dois desses conversores equivalentes referenciados ao lado de baixa tensão.

As tensões e as correntes a que os interruptores estão submetidos podem ser descritas em função de seus valores médios quase instantâneos [25]. Com a substituição dos interruptores por fontes descritas por tais valores, é possível obter o modelo médio de grandes sinais que representa a topologia. Além disso, aplicando-se pequenas perturbações às variáveis desse modelo, é possível extrair um modelo CC, que descreve o conversor no ponto de operação, e um modelo CA de pequenos sinais, que caracteriza sua dinâmica e permite encontrar a função de transferência que relaciona a variável a ser controlada ( $i_o$ ) com a variável de controle ( $d$ ).

As equações resultantes da análise do modelo CC, exposto na Figura 7, são:

$$I_{La} = \frac{I_o}{(1-D)}, \quad (13)$$

$$I_{Lb} = \frac{-I_o}{D}, \quad (14)$$

$$V_a' = \frac{V_i - r_{eq}' I_{La} (1-D)}{(1-D)}, \quad (15)$$

$$V_b' = \frac{V_i - r_{eq}' I_{Lb} D}{D}. \quad (16)$$



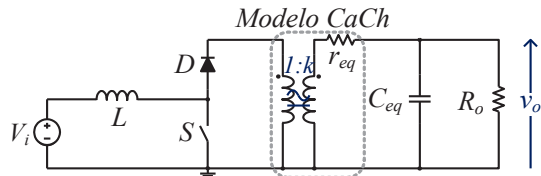


Fig. 5. Circuito equivalente do conversor boost híbrido.

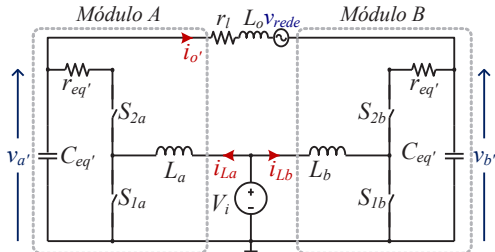


Fig. 6. Modelo comutado equivalente para o SCDBI.

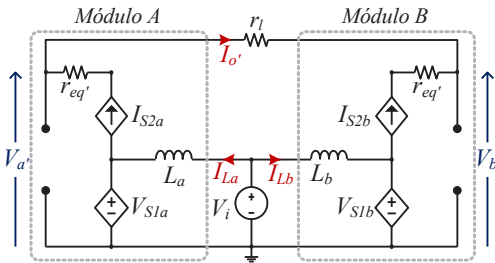


Fig. 7. Modelo CC equivalente para o SCDBI.

Adicionalmente, os coeficientes da função de transferência obtida a partir do modelo de pequenos sinais, ilustrado na Figura 8, expressa em (17), são resumidos na Tabela I.

$$G_{id}(s) = \frac{\hat{i}_o}{\hat{d}} = \frac{b_3 s^3 + b_2 s^2 + b_1 s + b_0}{a_5 s^5 + a_4 s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0}. \quad (17)$$

A modelagem proposta foi validada por simulação utilizando-se o software PSIM®. Foi aplicada uma pequena perturbação de razão cíclica (1%) para verificação do comportamento dinâmico do inversor, cujos parâmetros estão listados nas Tabelas II e III.

**TABELA I**  
**Coefficientes da Função de Transferência**

Coeficientes	
$b_3$	$-C_{eq} L_a^2 k (I_{La} + I_{Lb})$
$b_2$	$C_{eq} L_a V_a' k (1-D) - C_{eq}' I_{Lb} L_a k r_{eq}' (1-D) + C_{eq}' D L_a k (V_b' - I_{La} r_{eq}')$
$b_1$	$-D^2 L_a k (I_{La} + I_{Lb}) + I_{Lb} L_a k (2D-1) + C_{eq} D k r_{eq}' (V_a' + V_b') - \dots$ $C_{eq}' D^2 k r_{eq}' (V_a' + V_b')$
$b_0$	$D V_b' k + D^2 k (V_a' - 2V_b') + D^3 k (V_b' - V_a')$
$a_5$	$C_{eq}^2 L_a^2 L_o$
$a_4$	$C_{eq}^2 L_a L_o r_{eq}' + C_{eq}^2 L_a^2 r_l'$

$a_3$	$L_o C_{eq}^2 r_{eq}'^2 D(1-D) - 2L_o C_{eq}' L_a D(1-D) + 2k^2 C_{eq}' L_a^2 + \dots$ $L_o C_{eq}' L_a + C_{eq}'^2 L_a r_l' r_{eq}'$
$a_2$	$L_o C_{eq}' D r_{eq}' (1-D) + 2L_a k^2 C_{eq}' r_{eq}' + C_{eq}'^2 D r_{eq}' r_l' (1-D) - \dots$ $2C_{eq}' L_a D r_l' (1-D) + C_{eq}' L_a r_l'$
$a_1$	$L_a k^2 + D^2 L_o (1-D)^2 - 2D L_a k^2 (1-D) + 2C_{eq} D k^2 r_{eq}'^2 (1-D) + \dots$ $C_{eq}' D r_{eq}' r_l' (1-D)$
$a_0$	$k^2 r_{eq}' D(1-D) + r_l' D^3 - 2r_l' D^3 + r_l' D^2$

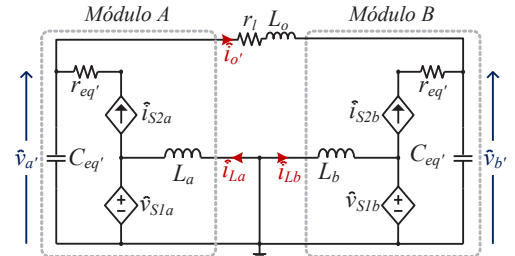


Fig. 8. Modelo equivalente de pequenos sinais para o SCDBI.

A Figura 9 apresenta a comparação das respostas dinâmicas no domínio do tempo e no domínio da frequência, obtidas a partir do modelo comutado ( $I_o$  comutado) e do modelo médio de pequenos sinais ( $I_o$  médio). Observa-se que o modelo médio obtido representa de maneira satisfatória o comportamento do modelo comutado.

Pode-se ainda destacar que a frequência de ressonância entre filtro de saída e capacitância equivalente mostra-se bem acentuada na resposta em frequência do inversor. A frequência escolhida para alocação da ressonância foi de 5 kHz, com o intuito de afastá-la da frequência da componente fundamental da rede (60 Hz) e da frequência de comutação (50 kHz) e, assim, facilitar o projeto do controlador.

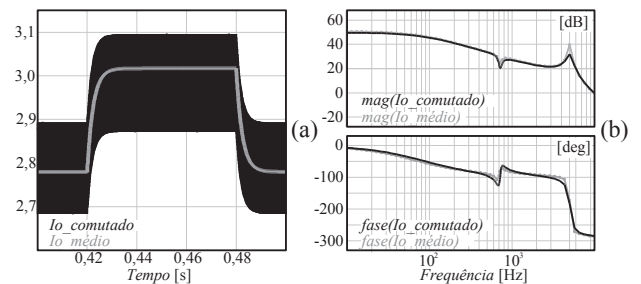


Fig. 9. Validação da função de transferência: (a) domínio do tempo e (b) domínio da frequência.

### B. Controle

Uma malha de controle foi empregada para regular a corrente injetada na rede elétrica, tal como é ilustrado na Figura 10. O controlador utilizado é um proporcional-integral (PI), com a adição de um polo extra, cujo intuito é de atenuar a ressonância gerada entre o filtro de saída e a capacitância equivalente:

$$H(s) = \frac{K_c (s + \omega_z)}{s(s + \omega_p)}. \quad (18)$$

Para determinação dos parâmetros do controlador, as seguintes especificações foram consideradas: frequência de

cruzamento de 800 Hz, margem de fase de 60°, frequência do polo extra ( $\omega_p$ ) de 9425 rad/s e ganho do sensor de corrente  $K_i$  de 1. A partir destas especificações, obtiveram-se  $K_c=817$  e  $\omega_z=2524$  rad/s. A função de transferência discretizada foi obtida aplicando-se a transformada de Tustin em (18). Uma malha *Feedforward* também foi utilizada para realimentar a tensão da rede, vista como perturbação pela malha de controle principal. O ganho utilizado na malha *Feedforward* é equivalente ao índice de modulação do conversor.

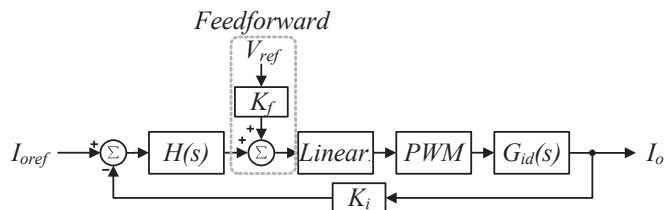


Fig. 10 Diagrama de blocos da estratégia empregada para o controle do SCDBI conectado à rede elétrica.

#### IV. RESULTADOS EXPERIMENTAIS

A Figura 11 apresenta uma fotografia do protótipo de 250 W utilizado, cujas especificações e os principais componentes estão descritos nas Tabelas II e III.

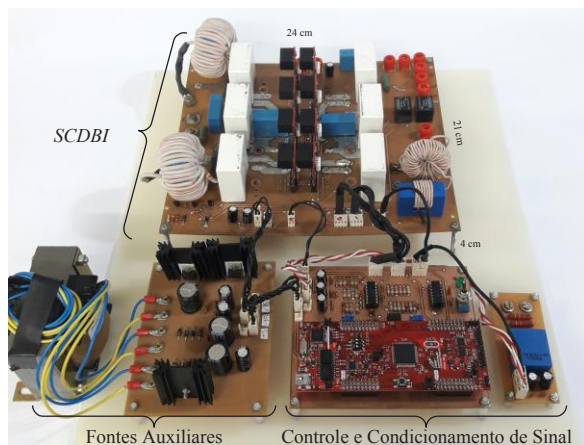


Fig. 11. Protótipo: inversor *boost* (250 W), fontes auxiliares, controle e condicionamento de sinal.

**TABELA II**  
**Especificações de Projeto do Protótipo**

<i>Especificações de projeto</i>	
Tensão de entrada ( $V_i$ )	60 V
Valor eficaz da tensão de saída ( $V_{orms}$ )	220 V
Potência de saída ( $P_o$ )	250 W
Ondulação percentual de corrente ( $\Delta_{it}$ )	30%
Frequência de comutação ( $f_s$ )	50 kHz
Frequência de ressonância ( $f_{i,c}$ )	5 kHz
Ganho da célula multiplicadora ( $k$ )	2
Razão cíclica CC ( $D_{dc}$ )	0,376
Razão cíclica CA ( $D_{ac}$ )	0,345
Razão cíclica máxima ( $D$ )	0,75
Coefficiente angular da reta de linearização ( $\alpha$ )	4
Coefficiente linear da reta linearização ( $\beta$ )	1

**TABELA III**  
**Componentes Utilizados no Protótipo**

<i>Componentes utilizados</i>	
Indutores de entrada ( $L_i$ )	230 $\mu$ H, Núcleo: APH46P60
Indutor de saída ( $L_o$ )	Nº de espiras: 43, Fio: Litz 982x41 AWG
Capacitores	140 $\mu$ H, Núcleo: APH33P60
Interruptores ( $S_{1a}$ e $S_{1b}$ )	Nº de espiras: 56, Fio: Litz 150x38 AWG
Interruptores ( $S_{2a}$ , $S_{2b}$ , $S_{3a}$ , $S_{3b}$ , $S_{4a}$ e $S_{4b}$ )	20 $\mu$ F, C4AEHBW5200A3FJ
Resistência ( $r_{eq}$ )	IRFP4332Pbf, 300 V/40 A
Resistência ( $r_l$ )	$R_{ds(on)}$ : 29 m $\Omega$
Sensor	SCT2120AF, 650 V/29 A
Processador	$R_{ds(on)}$ : 120 m $\Omega$
	0,3 $\Omega$
	0,2 $\Omega$
	LA25P
	TMS320F28069

#### A. Análise das Modulações

Inicialmente, o conversor foi testado como inversor isolado, em malha aberta, e carga resistiva de 195  $\Omega$ , para analisar o impacto das modulações 2N-*PWM*, 3N-*PWM* e 3N-*PWM* com linearização sobre os esforços de tensão dos semicondutores, o rendimento e a *THD*. A Tabela IV apresenta a comparação entre as modulações em análise. Os valores de *THD* foram adquiridos com o uso do analisador de energia Yokogawa WT1800.

Nota-se que as modulações 2N-*PWM* e 3N-*PWM* apresentam desempenhos semelhantes, enquanto a modulação 3N-*PWM* com linearização elevou o rendimento e reduziu os esforços de tensão nos semicondutores, bem como a *THD* de corrente e de tensão de saída. Esses resultados comprovam que a técnica de linearização proposta tem impacto direto na diminuição da *THD* e na elevação do rendimento da estrutura, neste caso em 2%.

**TABELA IV**  
**Comparação entre as Modulações**

Parâmetros	2N- <i>PWM</i>	3N- <i>PWM</i>	3N- <i>PWM</i> + linearização
$THD_{v_o}$	8,7%	8,7%	2,0%
$THD_{i_o}$	8,7%	8,7%	2,0%
Tensão máxima nos semicondutores	262,1 V	263,2 V	234,4 V
Rendimento	88,1%	88,1%	90,0%

#### B. Análise da Linearização Estática

A operação do conversor foi analisada em dois testes, um sem e o outro com o bloco de linearização proposto, em ambos os casos utilizando modulação 3N-*PWM*, tensão de entrada de 60 V e com o inversor operando em potência nominal (250 W). Os dois casos foram realizados em malha aberta para não haver influência da malha de controle nos resultados. O primeiro caso utilizou a razão cíclica senoidal (idealizada), vista na Figura 12.a, e o segundo empregou a razão cíclica gerada pelo bloco de linearização, exposta na Figura 12.b.

Em operação com razão cíclica idealizada, o SCDBI forneceu as tensões parciais  $v_a$  e  $v_b$  e de saída  $v_o$  mostradas na Figura 12.c. A *THD* dessas formas de onda foi de 28,8% ( $v_a$  e  $v_b$ ) e 8,7% ( $v_o$ ).

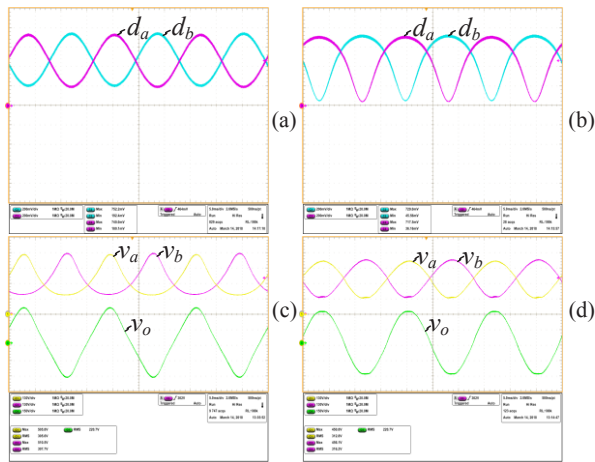


Fig. 12. Resultados Experimentais: (a) razões cíclicas  $d_a$  e  $d_b$  sem linearização (200 mV/div); (b) razões cíclicas  $d_a$  e  $d_b$  com linearização (200 mV/div); (c) tensões parciais  $v_a$  e  $v_b$  (130 V/div) e tensão de saída  $v_o$  (150 V/div), sem linearização; (d) tensões parciais  $v_a$  e  $v_b$  (130 V/div) e tensão de saída  $v_o$  (150 V/div), com linearização. Base de tempo (5 ms/div).

No teste com o bloco de linearização habilitado, o inversor forneceu as formas de onda da Figura 12.d, as quais apresentaram  $THD$  de 5% nas tensões parciais e 2,0%, na tensão de saída diferencial.

O espectro harmônico da tensão parcial  $v_a$ , com e sem linearização, é ilustrado na Figura 13.a. As maiores reduções aconteceram na segunda e terceira harmônicas. O espectro harmônico da tensão de saída diferencial  $v_o$ , com e sem linearização é exposto na Figura 13.b. Nota-se que terceira harmônica foi consideravelmente reduzida após a habilitação do bloco de linearização, o que ocasionou a melhora da  $THD$ .

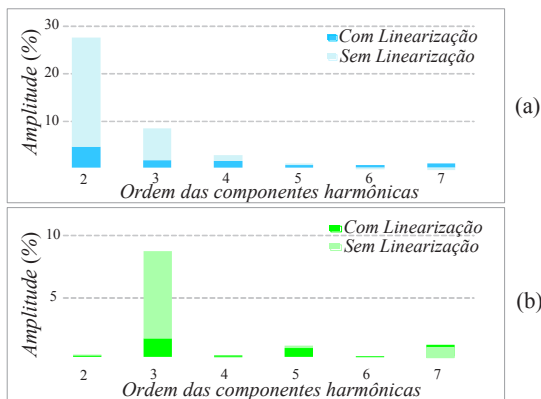


Fig. 13. Análise harmônica com e sem linearização: a) tensão parcial  $v_a$  e b) tensão de saída  $v_o$ .

### C. Inversor Conectado à Rede Elétrica

O SCDBI foi testado conectado à rede elétrica em malha fechada, sob modulação 3N-PWM com bloco de linearização habilitado, com tensão de entrada de 60 V e em potência nominal (250 W). Este cenário foi mantido em todos os resultados apresentados nesta seção. A referência senoidal de corrente foi gerada por meio do laço de travamento de fase (*phase locked loop - PLL*) monofásico, proposto em [26].

A tensão da rede ( $v_{rede}$ ), a corrente injetada ( $i_o$ ) e a tensão de entrada  $V_i$ , em potência nominal (250 W), são mostrados na Figura 14. O teste foi realizado para uma tensão de

entrada de 60 V. A  $THD$  da corrente injetada foi de 3,51%, sendo que tensão da rede elétrica já apresentava  $THD$  de 2,67%. A distorção harmônica da tensão da rede aparece nas tensões parciais  $v_a$  e  $v_b$ , conforme pode ser visto na Figura 15.

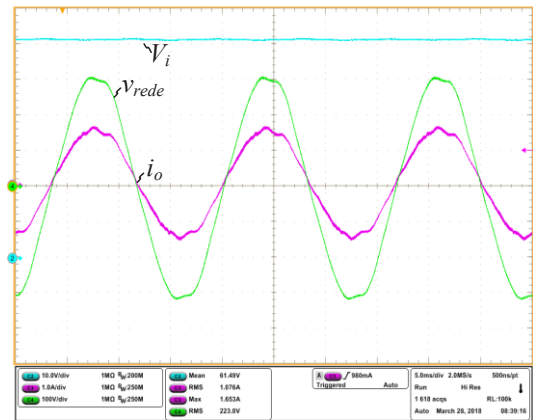


Fig. 14. Resultados Experimentais: tensão da rede  $v_{rede}$  (100 V/div), corrente injetada na rede  $i_o$  (1 A/div) e tensão de entrada  $V_i$  (10 V/div). Base de tempo (5 ms/div).

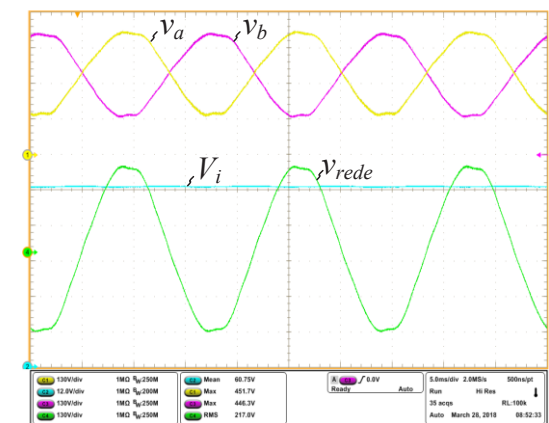


Fig. 15. Resultados Experimentais: tensão da rede  $v_{rede}$  (130 V/div), tensões parciais  $v_a$  e  $v_b$  (130 V/div) e tensão de entrada  $V_i$  (12 V/div). Base de tempo (5 ms/div).

A corrente de entrada ( $i_{in}$ ) e a corrente nos indutores ( $i_{La}$  e  $i_{Lb}$ ) são expostas na Figura 16. Mediante inspeção destes resultados é possível notar que a corrente  $i_{in}$  é a soma da corrente  $i_{La}$  e  $i_{Lb}$  e apresenta uma ondulação em 120 Hz, típica de inversores de estágio único. Cabe destacar, que essa ondulação em 120 Hz é um problema a ser resolvido quando deseja-se aplicar esse inversor em sistemas fotovoltaicos, devido ao deslocamento que a mesma causa no rastreamento do ponto de máxima potência. Esse problema não é exclusivo do SCDBI e pode ser resolvido com adição de um barramento capacitivo ou técnicas ativas de filtragem [9].

A tensão aplicada aos interruptores na frequência da rede elétrica e também na frequência de comutação é apresentada na Figura 17, a partir de onde se verifica que seu valor máximo é igual a, aproximadamente, metade do valor da tensão de saída de cada módulo (225 V) devido à célula multiplicadora.

A corrente  $i_{C3a}$  que flui pelo capacitor chaveado  $C_{3a}$  também foi avaliada, sendo apresentada na Figura 18.a sob o

ponto de vista do período da rede elétrica, e nas Figuras 18. b e 18.c, quando vista no período de comutação. Nelas, verifica-se que o decaimento exponencial da corrente não atinge o regime permanente, indicando a operação da célula capacitor chaveado no modo de carga parcial.

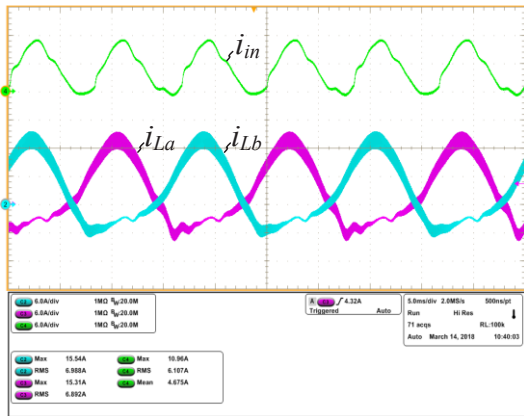


Fig. 16. Resultados experimentais: corrente de entrada  $i_{in}$  (6 A/div) e corrente nos indutores  $i_{La}$  e  $i_{Lb}$  (6 A/div). Base de tempo (5 ms/div).

O inversor foi ainda submetido a um degrau de referência de corrente de  $\pm 50\%$ , conforme visto na Figura 19.a. A Figura 19.b detalha a tensão da rede e a corrente injetada durante a redução de referência, enquanto a Figura 19.c ilustra o comportamento do inversor durante o aumento da referência.

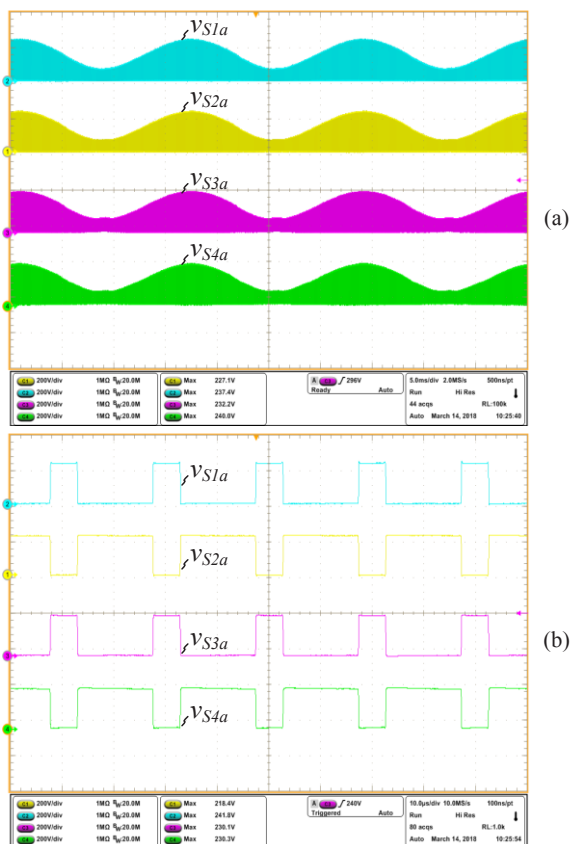


Fig. 17. Resultados experimentais: (a) tensão sobre os interruptores  $v_{S1a}$ ,  $v_{S2a}$ ,  $v_{S3a}$ ,  $v_{S4a}$  na frequência da rede (200 V/div) e base de tempo (5 ms/div) e (b) detalhe da tensão sobre os interruptores  $v_{S1a}$ ,

$v_{S2a}$ ,  $v_{S3a}$ ,  $v_{S4a}$  na frequência de comutação (200 V/div) e base de tempo (10  $\mu$ s/div).

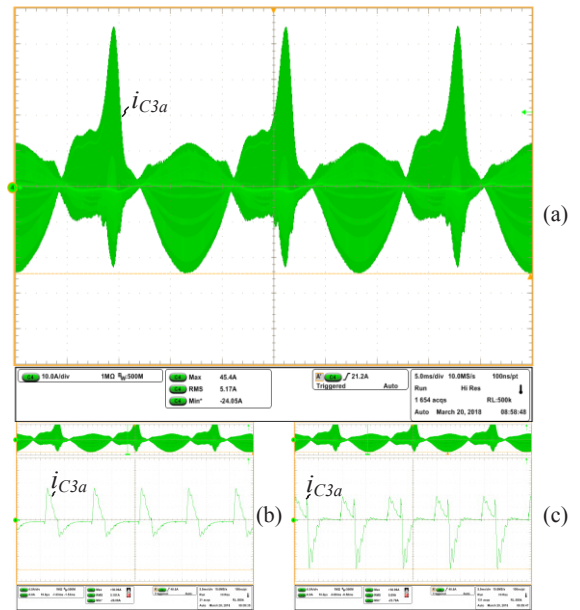


Fig. 18. Resultados Experimentais: (a) corrente no capacitor chaveado  $C_{3a}$  (10 A/div) e base de tempo (5 ms/div); (b) e (c) detalhes da corrente no capacitor chaveado  $C_{3a}$  (6 A/div) e base de tempo (10  $\mu$ s/div).

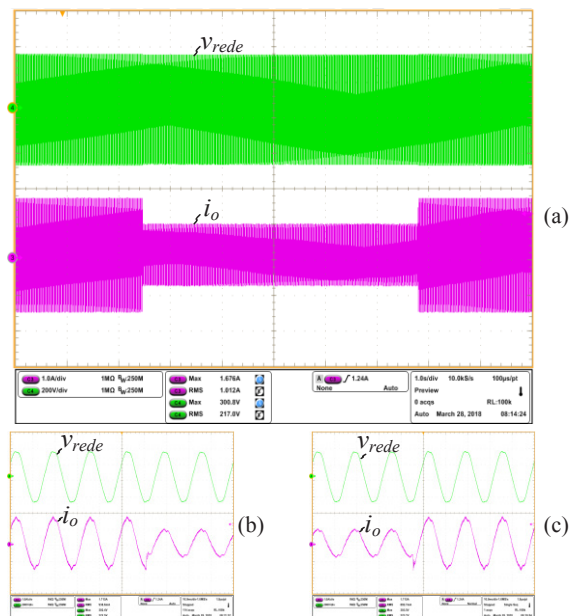


Fig. 19. Resultados Experimentais: degraus de referência da corrente injetada na rede de  $\pm 50\%$ : (a) tensão da rede  $v_{rede}$  (200 V/div), corrente  $i_o$  (1 A/div) e base de tempo (1 s/div); (b) detalhes da tensão da rede  $v_{rede}$  (200 V/div), corrente  $i_o$  (1 A/div) e base de tempo (10 ms/div) durante a redução do degrau; (c) detalhes da tensão da rede  $v_{rede}$  (200 V/div), corrente  $i_o$  (1 A/div) e base de tempo (10 ms/div) durante o aumento de carga.

#### D. Análise Harmônica

Este estudo analisou o espectro harmônico da corrente injetada na rede elétrica tanto com o conversor operando em potência nominal, Figura 20.a, quanto com 50% de carga, Figura 20.b. Em ambos os casos, a corrente injetada na rede



elétrica atendeu os limites estabelecidos pelas normas internacionais IEC61727 e IEEE1547 [27], que ditam os limites máximos de distorção por componente harmônica, tal como é resumido na Tabela IV.

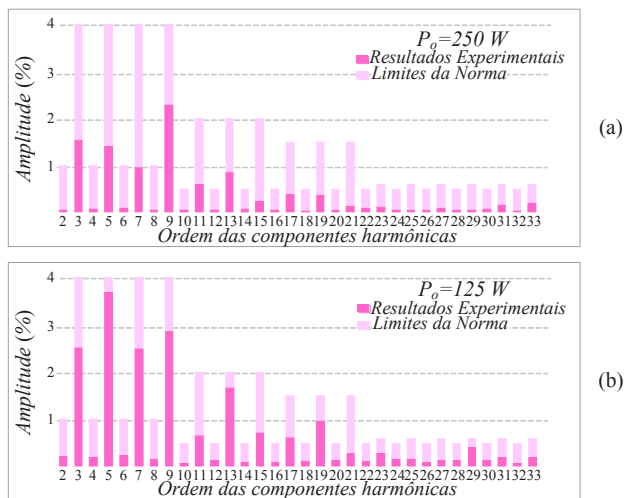


Fig. 20. Análise harmônica: a) corrente injetada na rede em potência nominal (250 W) e b) corrente injetada na rede com 50% de carga (125 W).

**TABELA IV**  
**Limites Máximos de Distorção Harmônica**

<i>Harmônicas ímpares</i>	<i>Limites</i>
3 <sup>a</sup> a 9 <sup>a</sup>	< 4,0%
11 <sup>a</sup> a 15 <sup>a</sup>	< 2,0%
17 <sup>a</sup> a 21 <sup>a</sup>	< 1,5%
23 <sup>a</sup> a 33 <sup>a</sup>	< 0,6%
<i>Harmônicas pares</i>	<i>Limites</i>
2 <sup>a</sup> a 8 <sup>a</sup>	< 1,0%
10 <sup>a</sup> a 32 <sup>a</sup>	< 0,5%

### E. Curvas de Rendimento

A curva de rendimento da topologia é exposta na Figura 21. O rendimento máximo foi de 90%, ocorrendo em potência nominal. O rendimento encontrado é equivalente ao de um sistema de duplo estágio, com rendimento de 95% por estágio.

Para justificar o emprego do conversor SCDBI em substituição ao DBI, o rendimento de ambas as topologias foi avaliado em laboratório, sob as mesmas condições de corrente de entrada, tensão aplicada aos interruptores e potência de saída do SCDBI. O valor da tensão eficaz de saída do DBI durante os testes foi mantido em 110 V, pois a supressão da CaCh reduz o ganho do conversor à metade.

A Figura 22 apresenta as curvas de rendimento do SCDBI, do DBI e da célula CaCh separadamente. Os resultados obtidos indicam que o rendimento máximo do DBI foi de 93%, enquanto do SCDBI foi de 90% e o da célula do CaCh foi de 96,9%. Para essas condições, o rendimento do DBI foi superior ao SCDBI, porém, foi percebido que à medida que a razão cíclica se aproxima da unidade, seu rendimento diminui.

A Figura 23 apresenta a curva do rendimento do DBI em função do ganho estático. Devido ao fato de a tensão nos interruptores do DBI elevar-se com o aumento do ganho, na

prática não foi possível traçar a curva para uma ampla excursão de ganho sem danificar o protótipo. Assim, a curva foi iniciada experimentalmente e concluída por simulação. Mediante tais resultados, nota-se que se o DBI alcançasse 220 V na saída, seu rendimento seria de aproximadamente 86%, ou seja, inferior ao obtido pelo SCDBI, 90%, na mesma condição. Sendo assim, conclui-se que SCDBI tem vantagens sobre o DBI quando se deseja ganhos elevados, superiores a quatro vezes.

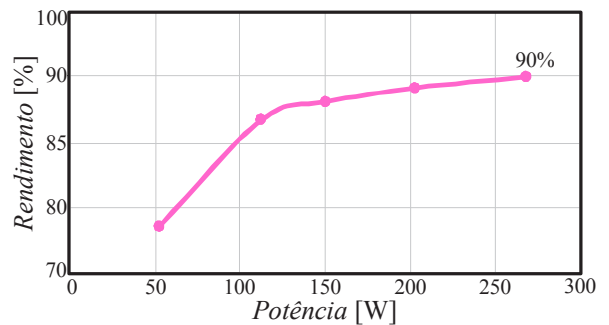


Fig. 21. Curva de rendimento do protótipo conectado à rede elétrica.

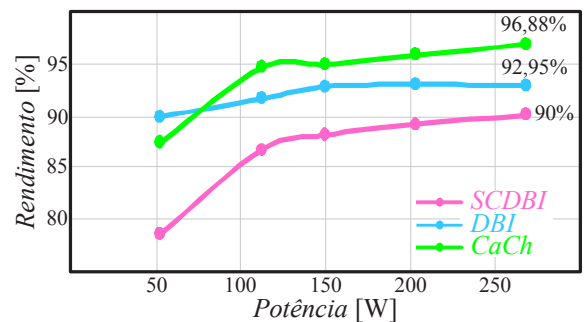


Fig. 22. Curvas de rendimento do SCDBI, do DBI e da célula CaCh.

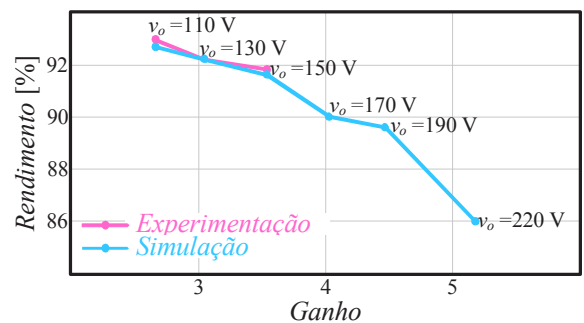


Fig. 23. Curva de rendimento do DBI em função do ganho.

A Figura 24 apresenta a análise da distribuição das perdas teóricas entre condução, comutação e magnéticas em potência nominal (250 W) do DBI e do SCDBI. Verifica-se que as maiores perdas do circuito são de condução e a maior parcela dessas perdas ocorre nos interruptores  $S_{1a}$  e  $S_{1b}$ , devido às correntes elevadas a que estão submetidos. Por isso, em laboratório, selecionaram-se, para tais componentes, interruptores com menores resistências de condução (IRFP4332Pbf), conforme Tabela III.

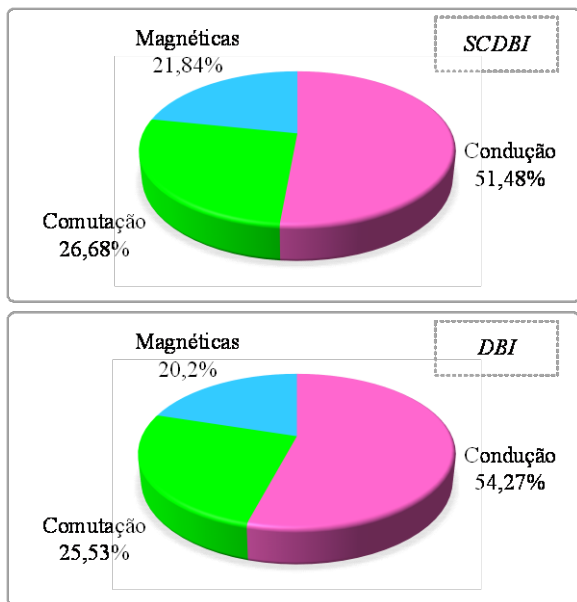


Fig. 24. Distribuição teórica das perdas: a) SCDBI e b) DBI.

Na posição dos demais interruptores foram utilizados componentes com maior resistência (*SCT2120AF*), haja vista a necessidade de limitar o pico de corrente da célula de capacitores chaveados do SCDBI.

Os interruptores utilizados no teste do DBI foram os mesmos do SCDBI para fins de análise. Essa configuração de interruptores possibilitou que o rendimento máximo no SCDBI fosse de 90%. Ressalta-se que o SCDBI também foi testado utilizando em todos os interruptores o *IRFP4332Pbf* ou o *SCT2120AF*, mas os resultados não foram satisfatórios, tendo rendimento máximo de 80% e 88%, respectivamente. Geralmente, busca-se utilizar interruptores com resistências menores para aumentar o rendimento da estrutura, porém em circuitos a capacitores chaveados tal relação não é de direta proporção, pois são estas resistências parasitas que limitam os picos de corrente da célula do CaCh.

## V. CONCLUSÕES

Este artigo propôs a aplicação do inversor SCDBI conectado à conexão com a rede elétrica, utilizando filtro L, modulação unipolar (3 níveis), técnica de linearização estática e controlador linear com adição de uma malha de *feedforward*.

Os resultados experimentais comprovam o funcionamento da célula de capacitor chaveado integrada ao inversor *boost*. A topologia foi verificada com carga resistiva e conectada à rede elétrica. A corrente injetada na rede foi de ótima qualidade, tendo valores de *THD* inferiores a 5% e baixo conteúdo harmônico, tanto em baixa quanto em alta frequência. O rendimento da estrutura foi satisfatório, tendo pico de 90%.

Por fim, constatou-se que o inversor SCDBI é um candidato natural a inversores de estágio único, quando ganhos elevados são requeridos.

## AGRADECIMENTOS

Os autores agradecem a CAPES (processo: 88881.119841/2016-01) e ao CNPq (processo: 141513/2018-7) pelo apoio financeiro.

## REFERÊNCIAS

- [1] S. Z. Mohammad Noor, A. M. Omar, N. N. Mahzan, I. R. Ibrahim, "A review of single-phase single stage inverter topologies for photovoltaic system", in *Proc. of IEEE 4th Control and System Graduate Research Colloquium*, Shah Alam, pp. 69-74, Agosto 2013.
- [2] S. Kouro, J. I. Leon, D. Vinnikov, L. G. Franquelo, "Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology", in *IEEE Industrial Electronics Magazine*, vol. 9, pp. 47-61, March 2015.
- [3] R. F. Coelho, L. Schmitz, D. C. Martins, "Proposal of a power flow control strategy applied to a hybrid microgrid", in *Proc. of IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference*, Fortaleza, pp. 1-6, 2015.
- [4] L. Schmitz, R. F. Coelho, D. C. Martins, "High step-up high efficiency dc-dc converter for module-integrated photovoltaic applications", in *Proc. of IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference*, Fortaleza, pp. 1-6, 2015.
- [5] J. Zeng, M. Zhuo, H. Cheng, T. Kim, V. Winstead, L. Wu, "Power pulsation decoupling for a two-stage single-phase photovoltaic inverter with film capacitor", in *Proc. of IEEE Energy Conversion Congress and Exposition*, Cincinnati, OH, pp. 468-474, October 2017.
- [6] R. Caceres, I. Barbi, "A boost DC-AC converter: operation, analysis, control and experimentation", in *Industrial Electronics, Control, and Instrumentation*, in *Proc. of IEEE IECON*, vol.1, n. 1, pp. 546-551, 1995.
- [7] J. Garcia, M. A. Dalla-Costa, A. Kirsten, D. Gacio, P. Quintana, "Study of a flyback-based stage as grid interface topology for micro-generation applications", in *Proc. International Power Electronics and Motion Control Conference*, Novi Sad, pp. LS7a.2-1-LS7a.2-6, 2012.
- [8] S. B. Kjaer, J. K. Pedersen, F. Blaabjerg, "A review of single-phase grid-connected inverters for photovoltaic modules", in *IEEE Transactions on Industry Applications*, vol. 41, no. 5, pp. 1292-1306, Sept-Oct. 2005.
- [9] G. B. N. de Macedo. *Microinversor flyback de estágio único para conexão de módulo fotovoltaico a rede elétrica*. 181 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina. Florianópolis, 2017.
- [10] B. N. Alajmi, K. H. Ahmed, G. P. Adam, B. W. Williams, "Single-Phase Single-Stage Transformer less Grid-Connected PV System", in *IEEE Transactions on Power Electronics*, vol. 28, no. 6, pp. 2664-2676, June 2013.
- [11] K. K. H. Dia, M. A. Choudhury, Ahammad, "A single phase differential Zeta rectifier-inverter", in *Proc. of IEEE International WIE Conference on Electrical and Computer Engineering*, Dhaka, pp. 284-288, 2015.

- [12] W. Yao, X. Zhang, X. Wang, Y. Tang, P. C. Loh, F. Blaabjerg, "Power decoupling with autonomous reference generation for single-phase differential inverters," in *Proc. European Conference on Power Electronics and Applications*, Geneva, pp. 1-10, 2015.
- [13] M. K. Nguyen, T. T. Tran, "A Single-Phase Single-Stage Switched-Boost Inverter with Four Switches", in *IEEE Transactions on Power Electronics*, vol. 33, pp. 6769-6781, Agosto 2018.
- [14] D. Chen, Y. Qiu, Y. Chen, Y. He, "Nonlinear PWM-Controlled Single-Phase Boost Mode Grid-Connected Photovoltaic Inverter With Limited Storage Inductance Current", in *IEEE Transactions on Power Electronics*, vol. 32, no. 4, pp. 2717-2727, April 2017.
- [15] A. Kumar, P. Sensarma, "A Four-Switch Single-Stage Single-Phase Buck-Boost Inverter", in *IEEE Transactions on Power Electronics*, vol. 32, no. 7, pp. 5282-5292, July 2017.
- [16] G. V. Silva, R. F. Coelho, T. B. Lazzarin, "Switched capacitor boost inverter", in *Proc. of IEEE International Symposium on Industrial Electronics*, pp. 528-533, 2016.
- [17] G. V. Silva, R. F. Coelho, T. B. Lazzarin, "Switched-capacitor differential boost inverter: Static gain and generalized structure", in *Proc. IEEE International Conference on Industry Applications*, pp. 1-8, 2016.
- [18] S. Ben-Yaakov, "Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitors Converters", in *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 632-636, Feb. 2012.
- [19] N. C. Dal Pont, M. Dalla Vecchia, G. Waltrich, T. B. Lazzarin, "Step-up inverter conceived by the integration between a Full-Bridge inverter and a Switched Capacitor Converter", in *Proc. of IEEE Brazilian Power Electronics Conference and Southern Power Electronics Conference*, Fortaleza, pp. 1-6, 2015.
- [20] D. Cortes, N. Vazquez, J. Alvarez-Gallegos, "Dynamical Sliding-Mode Control of the Boost Inverter", in *IEEE Transactions on Industrial Electronics*, vol. 56, pp. 3467-3476, Setembro 2009.
- [21] P. Sanchis, A. Ursaea, E. Gubia, L. Marroyo, "Boost DC-AC inverter: a new control strategy", in *IEEE Transactions on Power Electronics*, vol. 20, pp. 343-353, March 2005.
- [22] K. Jha, S. Mishra, A. Joshi, "High-Quality Sine Wave Generation Using a Differential Boost Inverter at Higher Operating Frequency", in *IEEE Transactions on Industry Applications*, vol. 51, pp. 373-384, Jan-Feb 2015.
- [23] G. L. Piazza, I. Barbi, "New Step-Up/Step-Down DC-AC Converter", in *IEEE Transactions on Power Electronics*, vol. 29, pp. 4512-4520, Setembro 2014.
- [24] G. V. Silva, R. F. Coelho, T. B. Lazzarin, "Modelagem do Conversor Boost com Células a Capacitor Chaveado por Meio de um Conversor Equivalente de Ordem Reduzida", in *SOBRAEP; Eletrôn. Potên., Campo Grande*, v. 22, n. 3, p. 288-297, jul-set 2017.
- [25] R. Middlebrook, S. Cuk, "A general unified approach to modelling switching-converter power stages", in *Proc. of Power Electronics Specialists Conference*, pp. 18-34, 1976.
- [26] A. F. C. Aquino, G. Santos, U. Miranda, M. Aredes, A. C. M. Araujo, "Synchronizing circuits applied to nonlinear loads models", in *Proc. of IEEE/PES Transmission and Distribution Conference and Exposition: Latin America*, pp. 700-705, 2004.
- [27] H. H. Figueira, H. L. Hey, L. Schuch, C. Rech, L. Michels, "Brazilian grid-connected photovoltaic inverters standards: A comparison with IEC and IEEE", in *Proc. of IEEE International Symposium on Industrial Electronics*, Búzios, pp. 1104-1109, 2015.

#### DADOS BIOGRÁFICOS

**Jéssika Melo de Andrade** nasceu em Florianópolis, Brasil, em julho de 1994, se formou em Sistemas Eletrônicos no Instituto Federal de Santa Catarina (IFSC) em Florianópolis, no ano de 2015. Recebeu o título de Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC) em Florianópolis, no ano de 2018. Atualmente é aluna de doutorado em engenharia elétrica no Instituto de Eletrônica de Potência na Universidade Federal de Santa Catarina (UFSC). Seus interesses incluem modelagem e controle aplicados a eletrônica de potência, conversores/inversores com células de ganho, energia renovável e áreas afins.

**Gilberto Valentim Silva** nasceu em Florianópolis-SC (1968) é engenheiro eletricista (1992), possui mestrado (1994) em engenharia pela Universidade Federal de Santa Catarina - UFSC. Gilberto é professor do Departamento de Eletrotécnica no Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina - IFSC (1995). Atualmente é aluno de doutorado no Instituto Eletrônica de Potência da Universidade Federal de Santa Catarina, sob a supervisão do Dr. Telles B. Lazzarin e seus interesses incluem conversores a capacitor chaveado, inversores, modelagem e simulação de conversores chaveados.

**Roberto Francisco Coelho** nasceu em Florianópolis, em agosto de 1982. Recebeu o título de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina, Florianópolis, SC, Brasil, em 2006, 2008 e 2013, respectivamente. Atualmente é professor do Departamento de Engenharia Elétrica e Eletrônica da mesma instituição, onde desenvolve trabalhos relacionados ao processamento de energia proveniente de fontes renováveis e ao controle e estabilidade de microrredes. Prof. Roberto é membro da SOBRAEP e do *IEEE*.

**Telles Brunelli Lazzarin** nasceu em Criciúma, Santa Catarina, Brasil, em 1979. Recebeu o grau de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC), Florianópolis, Brasil, em 2004, 2006 e 2010, respectivamente. Atualmente é professor no Departamento de Engenharia Elétrica e Eletrônica da UFSC. A área de concentração do Prof. Telles é em eletrônica de potência, com ênfase em energias renováveis (principalmente eólica de pequeno porte), inversores de tensão e conversores estáticos a capacitor chaveado. Prof. Telles é membro da SOBRAEP e do *IEEE*.