

CONVERSOR FORWARD COM CÉLULAS DE CAPACITOR CHAVEADO ALIMENTADO EM MÉDIA TENSÃO PARA APLICAÇÕES EM FONTES AUXILIARES

Rogério Luiz da Silva Júnior, Mauricio Dalla Vecchia, André Luís Kirsten, Telles Brunelli Lazzarin
Instituto de Eletrônica de Potência - INEP - UFSC, Florianópolis – SC, Brasil
e-mail: jr.eletricafln@gmail.com, telles@inep.ufsc.br

Resumo – Este artigo propõe um conversor CC-CC abaixador para operar com alta tensão de entrada (na ordem de kV) e fornecer tensões de saída na ordem de V, com o intuito de aplicar a estrutura em fontes auxiliares conectadas em média e alta tensão. O conversor proposto baseia-se na integração de células de capacitor chaveado com o conversor *Forward*, o que permite utilizar interruptores de menor tensão de bloqueio devido à divisão da tensão de entrada. O estudo teórico dessa integração é abordado, no qual aborda-se as características estáticas e o estudo da comutação. Um protótipo com quatro células a capacitor chaveado e 200 W / 2 kV para 24 V de característica foi construído para validação do estudo teórico apresentado. Para esses níveis de tensão e potência, obteve-se um rendimento de 90,66%.

Palavras-chave – Capacitor Chaveado, Comutação, Conversor Forward, Fonte Auxiliar.

MEDIUM VOLTAGE FED FORWARD CONVERTER WITH SWITCHED CAPACITOR CELLS FOR AUXILIARY POWER SUPPLY APPLICATIONS

Abstract – This paper proposes a step-down dc-dc converter for application in auxiliary power supplies (APS) fed at medium and high voltage. The proposed converter is based on the integration of switched-capacitor cells and the Forward converter, which make it possible to apply semiconductors with lower blocking voltage due to the input voltage division performed. The theoretical study of the hybrid structure is approached, in which the static and the switching behavior are detailed. A small-scale laboratory prototype with four switched-capacitor cells rated at 200 W / 2 kV to 24 V was built to corroborate the theoretical study. For this voltage and power levels, an efficiency of 90.66% was obtained.

Keywords – Auxiliary Power Supply, Forward Converter, Switched Capacitor, Switching Analysis.

I. INTRODUÇÃO

Conversores estáticos vêm sendo amplamente utilizados em sistemas de alta e média tensão, como o conversor modular

multinível (MMC – *Modular Multilevel Converter*) aplicado em linhas de transmissão em corrente contínua (HVDC – *High Voltage Direct Current*) [1], em acionamentos elétricos [2], em compensadores síncronos estáticos (STATCOM – *Static Synchronous Compensator*) [3], transformadores de estado sólido (SST – *Solid State Transformer*) [4], [5], entre outros. Todas essas aplicações utilizam fontes auxiliares (APS – *Auxiliary Power Supply*), em faixas usuais de tensão de 24 V, 15 V, 12 V, 5 V e 3,3 V, são necessárias para alimentar circuitos de *gate drivers*, sensores, DSP (*Digital Signal Processor*), FPGA (*Field Programmable Gate Array*), sistemas de refrigeração e proteção, entre outros.

As aplicações citadas acima esbarram em problemas de isolamento elétrica com suas fontes auxiliares, visto que, em muitas das vezes, módulos são associados em série para distribuir os esforços de tensão nos componentes, de modo que eles operam com potenciais elétricos diferentes uns dos outros em relação a uma referência comum do sistema elétrico ao qual uma fonte auxiliar estaria conectada.

Em versões de APS isoladas de único estágio, o conversor *Flyback* é o mais utilizado. Em [6], 3 deles são associados em série na entrada e em paralelo na saída (ISOP – *Input Series Output Parallel*), enquanto que em [7] uma estrutura multinível é obtida a partir do conversor *Flyback* a dois interruptores. Em ambas soluções são necessários esforços de controle e modulação para equalizar as tensões nos capacitores de barramento que dividem a alta tensão de entrada, o que aumenta o grau de complexidade do sistema. Adicionalmente, soluções de estágio único apresentam esforços de tensão elevados nos interruptores do estágio de potência, o que é um grande limitador de rendimento dessas estruturas pois componentes de elevada tensão de bloqueio apresentam maiores resistências quando em condução (R_{ds}).

O conversor *Flyback*, como apresentado anteriormente, é o conversor mais utilizado em fontes auxiliares até 100 W [8]–[10]. Acima desse nível de potência, o rendimento da estrutura *Flyback* decai consideravelmente, o que limita a sua aplicabilidade em potências mais elevadas. Na faixa de potência entre 100 W e 300 W, um conversor interessante para as fontes auxiliares é o conversor *Forward*. Esse conversor apresenta estágio isolador em alta frequência, possui característica abaixadora de tensão e apresenta uma modelagem orientada ao controle relativamente simples. Muitos dos CIs comerciais de controle para fontes auxiliares são adaptados para operar tanto com o conversor *Flyback* quanto com o conversor *Forward* [11].

Um dos principais desafios enfrentados no estudo e desenvolvimento de fontes auxiliares de média tensão é a

Manuscript received 10/26/2020; first revision 02/18/2021; accepted for publication 03/29/2021, by recommendation of Editor Demercil de Souza Oliveira Jr. <http://dx.doi.org/10.18618/REP.2021.2.0064>

redução da tensão de bloqueio nos semicondutores e redução na tensão dos capacitores de barramento. Células a capacitor chaveado conectados na configuração *ladder* possuem a característica de dividirem naturalmente (sem controle) os esforços de tensão nos semicondutores e capacitores [12], de forma a reduzir os esforços nesses componentes quando conectadas várias células em série. Além disso, células multiplicadoras ou divisoras de tensão a capacitor chaveado permitem manter as características de funcionamento e de controle dos conversores clássicos, o que permite modelá-las apenas como um ganho na malha de controle.

A integração de conversores clássicos com células de capacitor chaveado (CaCh) vem se mostrando uma solução interessante tanto para conversões CC-CC [13], [14] quanto para CA-CC [15], [16] e CC-CA [17], [18]. Dessa forma, a integração de células a capacitor chaveado com conversores clássicos para sistemas de média tensão possui grande potencial para estudo, com várias vantagens já citadas anteriormente. Em contrapartida, a implementação dessas células em sistemas de média tensão aumenta significativamente o número de interruptores e capacitores no estágio de potência. Esse aumento, porém, pode ser balanceado pela diminuição dos esforços de tensão nesses componentes, o que permite a utilização de componente com reduzida tensão de bloqueio, ou seja, componentes de baixa tensão (mesmo para operação em média ou alta tensão). O uso de um número maior de componentes também traz o desafio de tornar a integração de células multiplicadoras/divisoras com conversores CC-CC isolados atraente em relação ao rendimento, volume e custo.

Neste contexto, o presente artigo propõe a integração entre células a capacitor chaveado e o conversor *Forward* para fazer a conversão de 2 kV para 24 V. No sistema em questão, os capacitores chaveados operam como divisores da tensão de entrada com balanço natural (sem controle), o que diminui os esforços de tensão sobre os componentes, e o estágio *Forward* atua como estágio isolador, abaixador e definidor da tensão de saída. O artigo, portanto, se divide da seguinte forma: na seção II é apresentada a topologia proposta e detalhes de toda a análise teórica realizada, na seção III uma metodologia de projeto pode ser observada com detalhes da confecção do transformador para o ponto de operação desejado, na seção IV são apresentados os principais resultados experimentais obtidos em bancada. A seção V apresenta as conclusões gerais desse trabalho.

II. TOPOLOGIA PROPOSTA

O conversor proposto nasce da integração da célula *ladder* a CaCh com o conversor *Forward*. O resultado da integração é apresentado na Figura 1 para um número de células *ladder* genérico (n_c). Nesta seção serão apresentadas as análises estática e de comutação da célula híbrida básica destacada na Figura 1. O estágio *Forward* é responsável por prover isolamento galvânico e por permitir o controle da tensão de saída, enquanto que a célula *ladder* divide a elevada tensão de entrada em função do número de células n_c utilizadas, o que torna possível utilizar interruptores de menor tensão de bloqueio no lado de média tensão da estrutura.

Na subseção A, estuda-se o conversor proposto desprezando as não-idealidades do transformador, bem como substitui-se o filtro LC de saída do estágio *Forward* por uma fonte de corrente equivalente, o que facilita a obtenção das tensões e correntes na célula de CaCh. Em seguida, na subseção B, conhecida a resistência equivalente do estágio CaCh e seu efeito no circuito, estuda-se o conversor incluindo os parâmetros do transformador, pois em aplicações de média tensão os transformadores devem possuir maiores níveis de isolamento galvânico e, de maneira geral, ao incrementar a isolamento entre primário e secundário, eleva-se a indutância de dispersão e se reduz a indutância magnetizante do transformador.

A. Análise e Modelo Médio da Célula Híbrida Básica

Para simplificar o estudo, a ondulação de corrente no indutor de saída (L_o) e os elementos parasitas do transformador foram desprezados. Portanto, o valor médio da corrente no indutor é representado por uma fonte de corrente refletida ao primário (I'_{R_o}), como ilustrado na Figura 2.a. Os sinais de comando são apresentados na Figura 2.b, sendo D a razão cíclica e T_s o período de comutação. A relação de transformação $a = \frac{N_s}{N_p}$ do transformador é definida, onde N_p e N_s são o número de espiras do primário e secundário, respectivamente. As resistências em condução dos interruptores MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) são definidas por R_{ds} .

Dois etapas de operação podem ser descritas a partir do circuito equivalente da Figura 2.a. Na primeira etapa os interruptores ímpares são comandados a conduzir, de modo que o capacitor chaveado (C_{sc}) se carrega associado em paralelo ao capacitor divisor C_{d1} . Assim, o diodo D'_1 é polarizado diretamente, o que permite a transferência de energia para a carga representada por I'_{R_o} . O circuito equivalente desta etapa é apresentado na Figura 2.d. A segunda etapa tem início quando os interruptores ímpares são bloqueados e os pares comandados a conduzir, de modo que o capacitor C_{sc} se descarrega em paralelo ao capacitor C_{d2} e a fonte de corrente I'_{R_o} passa ao estado de roda livre com a entrada em condução do diodo D'_2 . O circuito equivalente da segunda etapa é ilustrado na Figura 2.e, omitindo-se a representação da fonte de corrente em roda livre.

Visto que é de interesse conhecer a resistência equivalente imposta pelo estágio a capacitor chaveado ($R_{eq,hsc}$), ela pode

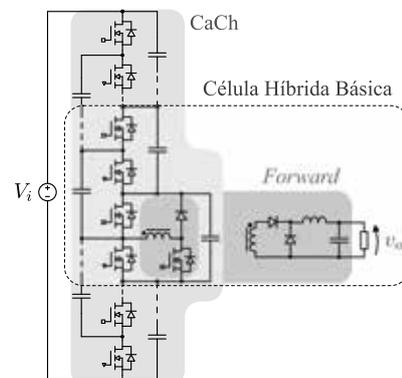


Fig. 1. Conversor *Forward* híbrido a capacitor chaveado proposto com n_c células.

ser obtida a partir da análise dos circuitos da Figura 2.d e Figura 2.e, resultando em um modelo médio ilustrado pela Figura 2.c. Assim, ao substituir o estágio a CaCh por sua resistência equivalente, um outro modelo simplificado da estrutura híbrida é determinado, como ilustra a Figura 3.a, com o intuito de obter o ganho estático do conversor.

O estado topológico do modelo simplificado referente a transferência de energia da fonte para a carga é ilustrado na Figura 3.b, o que permite equacionar a tensão sobre o diodo, ilustrada na Figura 3.e. Assim, sabendo-se que o valor médio de v_{D2} é o próprio valor médio da tensão de saída v_o , obtém-se o ganho estático (1), sendo este em função da relação de transformação (a), da razão cíclica (D) e da perda de ganho estático (ΔGh). Se a relação entre a corrente na carga e a tensão de entrada for pequena, bem como a relação de transformação menor que a unidade, a perda de ganho estático também será pequena, ao ponto que a queda de tensão sobre a resistência $R_{eq,hsc}$ e a resistência R_{ds} do interruptor S_5 podem ser desprezadas.

$$\begin{cases} G_h = \frac{V_o}{V_i} = aD \left(\frac{1}{2} - \Delta Gh \right) \\ \Delta Gh = \frac{(R_{eq,hsc} + R_{ds}) a I_{R_o}}{V_i} \end{cases} \quad (1)$$

Ainda que o efeito da resistência $R_{eq,hsc}$ seja muito pequeno no ganho estático, é de interesse do projetista conhecê-lo para minimizar as perdas no conversor. Portanto, soluciona-se a tensão sobre o capacitor C_{sc} em ambos os estados topológicos ilustrados na Figura 2.d e Figura 2.e por meio das equações diferenciais (2) e (3), respectivamente.

$$\frac{d^2 v_{C_{sc},c}}{dt^2} + \frac{\alpha C}{\tau_{sc}} \frac{dv_{C_{sc},c}}{dt} = \frac{I'_{R_o}}{2 C_d \tau_{sc}}, \quad \begin{cases} \alpha C = 1 + \frac{K_c}{2}, K_c = \frac{C_{sc}}{C_d} \\ \tau_{sc} = R_{on} C_{sc}, R_{on} = 2R_{ds} \end{cases} \quad (2)$$

$$\frac{d^2 v_{C_{sc},d}}{dt^2} + \frac{\alpha C}{\tau_{sc}} \frac{dv_{C_{sc},d}}{dt} = 0. \quad (3)$$

Conhecida a tensão $v_{C_{sc}}$ em termos dos parâmetros do

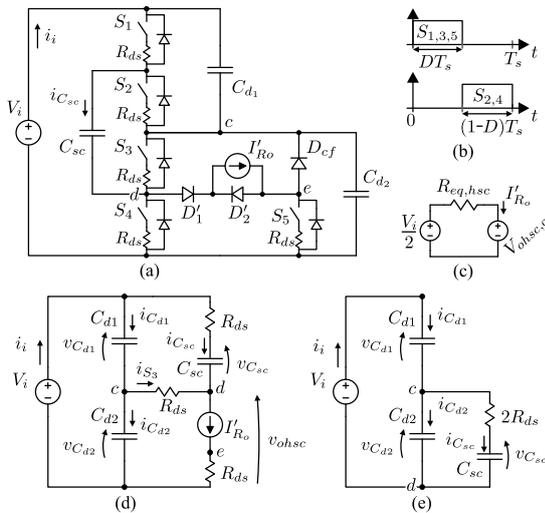


Fig. 2. Circuitos sob análise: (a) circuito equivalente, (b) sinais de comando dos interruptores, (c) modelo médio do estágio CaCh, (d) estado topológico da primeira etapa de operação e, (e) estado topológico da segunda etapa de operação.

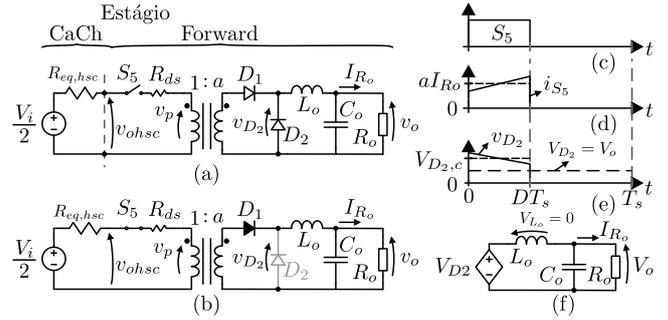


Fig. 3. (a) Circuito equivalente do conversor híbrido, (b) estado topológico análogo a primeira etapa de operação, (c) sinal de comando, (d) corrente no interruptor S_5 , (e) tensão sobre o diodo D_2 e (f) modelo de grandes sinais do conversor.

circuito, as demais tensões sobre os componentes do conversor podem ser equacionadas. Então, utilizando os valores médios das variáveis em (4), a resistência equivalente (5) é determinada, em que a tensão $v_{ohsc,c}$, destacada na Figura 2.d e na Figura 3.b, é a tensão de saída do estágio a capacitor chaveado durante a etapa de armazenamento de energia no capacitor C_{sc} . Ao avaliar o limite da resistência equivalente (5) com a frequência de comutação (f_s) tendendo ao infinito, obtém-se a resistência equivalente mínima ($R_{eq,hscmin}$) em (6).

$$R_{eq,hsc} = \frac{V_i - V_{ohsc,c}}{I'_{R_o}}. \quad (4)$$

Com o objetivo de validar (5) e (6), realizaram-se simulações numéricas do circuito ilustrado na Figura 2.a utilizando o software PSIM com os seguintes parâmetros fixos: tensão de entrada (V_i) de 80 V, relação de transformação (a) unitária, corrente de saída (I'_{R_o}) de 8 A e resistência R_{ds} de 100 m Ω . Para garantir a reprodução do efeito da perda de ganho estático na simulação, optou-se por utilizar baixa tensão e relação de transformação unitária. Demais parâmetros, como capacitâncias C_{sc} , C_{d1} e C_{d2} , frequência de comutação e razão cíclica, foram alterados com o objetivo de verificar a resistência $R_{eq,hsc}$ (5) para os diferentes modos de operação do CaCh definidos em função do produto $f_s \tau_{sc}$, como os modos de carga completa ($f_s \tau_{sc} \leq 0,1$) e parcial ($0,1 < f_s \tau_{sc} < 1,44$). Tais modos de operação são discutidos e detalhados em [19] e [20].

As curvas teóricas da resistência $R_{eq,hsc}$ normalizada por R_{on} (definido em (2)) em função da razão cíclica D para os modos de carga completa ($f_s \tau_{sc} = 0,1$) e parcial ($f_s \tau_{sc} = 0,25$ e $f_s \tau_{sc} = 0,5$), bem como os pontos simulados no PSIM, são ilustradas na Figura 4.a, cujos parâmetros utilizados são apresentados na Tabela I. Observam-se que as curvas teóricas são fiéis aos resultados de simulação e, ao contrário da célula ladder CaCh tradicional [20], a medida que a razão cíclica aumenta, a resistência equivalente também se eleva, pois ao permanecer mais tempo na única etapa de transferência de energia para a carga (Figura 3.b), maior será a queda de tensão e, conseqüentemente, maior a resistência equivalente.

A variação da resistência $R_{eq,hsc}$ normalizada em função do produto $f_s \tau_{sc}$ é ilustrada na Figura 4.b, cujos parâmetros utilizados são apresentados na Tabela II. Observa-se também que as curvas teóricas são compatíveis com os pontos simulados. O comportamento da resistência $R_{eq,hsc}$ à medida

$$R_{eq,hsc} = \frac{R_{on} D K_c}{8f_s \tau_{sc} (2 + K_c)^2} \frac{\left(\frac{16f_s \tau_{sc}}{D} + K_c^2 + 2K_c + 4 + \frac{8}{K_c} \right) e^{\frac{D+1}{2f_s \tau_{sc}}} + \left(\frac{16f_s \tau_{sc}}{D} - K_c^2 - 2K_c - 4 - \frac{8}{K_c} \right) e^{\frac{2D-K_c}{2f_s \tau_{sc}}} - \left(\frac{16f_s \tau_{sc}}{D} - 4K_c - 8 \right) e^{\frac{4D-(1-D)K_c}{2f_s \tau_{sc}}} - \left(\frac{16f_s \tau_{sc}}{D} + 4K_c + 8 \right) e^{\frac{2-DK_c}{2f_s \tau_{sc}}}}{\left(e^{\frac{D+1}{2f_s \tau_{sc}}} + e^{\frac{2D-K_c}{2f_s \tau_{sc}}} - e^{\frac{4D-(1-D)K_c}{2f_s \tau_{sc}}} - e^{\frac{2-DK_c}{2f_s \tau_{sc}}} \right)} \quad (5)$$

que $f_s \tau_{sc}$ aumenta é similar ao da célula *ladder* tradicional, em que a resistência equivalente diminui em função da corrente de carga/descarga do capacitor chaveado se tornar cada vez menos exponencial, como discutido em [20]. Além disso, observa-se que a relação entre o capacitor C_{sc} e C_d , definida pelo parâmetro K_c em (5), tem influência na resistência equivalente para um mesmo valor de $f_s \tau_{sc}$, efeito este não reportado com os modelos apresentados na literatura atual de CaCh. Observa-se que à medida que K_c aumenta, a resistência equivalente da estrutura híbrida proposta também aumenta.

TABELA I
Parâmetros Utilizados na Simulação com Variação da Razão Cíclica - Figura 4.a

$f_s \tau_{sc}$	K_c	C_{sc} (μ F)	C_d (μ F)	f_s (kHz)
0,10	1	20	20	25
0,25	1/2	50	100	25
0,50	2	100	50	25

TABELA II
Parâmetros Utilizados na Simulação com Variação do Produto $f_s \tau_{sc}$ - Figura 4.b

D	K_c	C_{sc} (μ F)	C_d (μ F)
0,50	1/2	10	20
0,50	1	20	20
0,50	2	40	20

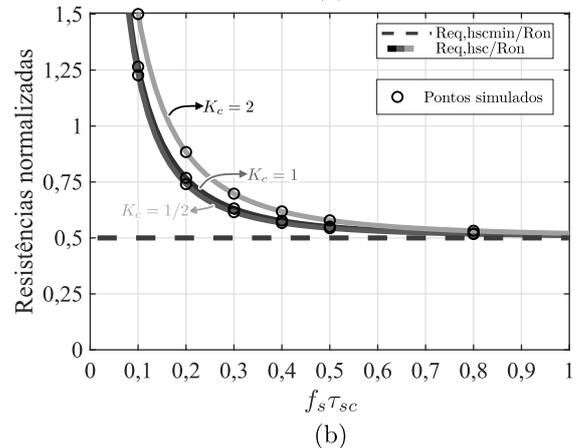
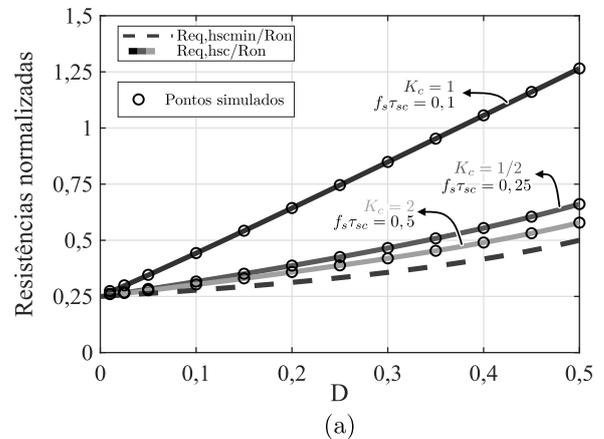


Fig. 4. Curvas da resistência $R_{eq,hsc}$ (5) em função (a) da razão cíclica para diferentes valores de K_c e de $f_s \tau_{sc}$ e (b) em função de $f_s \tau_{sc}$ para diferentes valores de K_c e com razão cíclica de 50%.

B. Análise Estática com as Indutâncias do Transformador

O circuito equivalente refletido ao primário com a inserção dos indutores de dispersão (L_d) e de magnetização (L_m) é apresentado na Figura 5.a. A ondulação de corrente no indutor de saída também é desprezada na análise. O objetivo de inserir os elementos parasitas do modelo do transformador é para verificar a influência destes parâmetros no funcionamento do conversor, bem como analisar o efeito sobre o ganho estático.

Como forma de generalizar a análise, a tensão sobre o capacitor divisor, no qual o estágio *Forward* é posicionado, como o capacitor C_{d2} na Figura 5.a, é nomeada de tensão de entrada do estágio *Forward* (V_{iF}) e, idealmente, pode ser determinada em função da tensão de entrada (V_i) e do número n_c de células *ladder* empregadas na estrutura, como apresentado em (7).

Realiza-se a análise estática para o conversor operando no modo de condução contínuo a partir do circuito equivalente da Figura 5.a. Considera-se que as capacitâncias de C_{sc} , C_{d1} e C_{d2} são grandes o suficiente para adotá-las como fontes ideais de tensão. Desta maneira, cinco etapas de operação são descritas e nomeadas por etapas A, B, C, D e E, todas elas ilustradas na Figura 6. A fonte de entrada V_i , os capacitores C_{d1} e C_{sc} , bem como os interruptores S_1 e S_2 , são omitidos na

$$R_{eq,hscmin} = \frac{R_{on}}{4(1-D)} \quad (6)$$

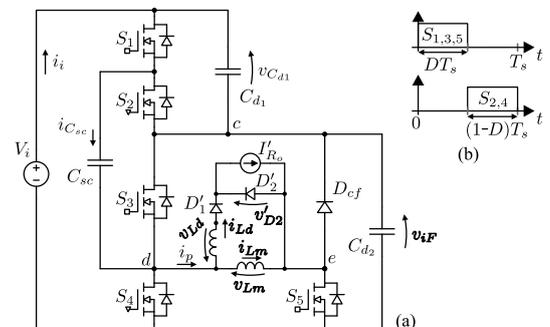


Fig. 5. (a) Circuito equivalente refletido ao primário com a introdução das indutâncias parasitas do transformador e (b) sinais de comando.

descrição das etapas sem prejuízo para a análise estática.

$$V_{iF} = \frac{V_i}{n_c + 1}, \{n_c \in \mathbb{Z}^* + \}. \quad (7)$$

Partindo-se da premissa de que a fonte de corrente I'_{R_o} está em roda livre, por meio do diodo D'_2 , e que não há energia armazenada nos indutores L_d e L_m , a etapa de operação A, ilustrada na Figura 6.a, tem início quando os interruptores ímpares S_1 , S_3 e S_5 são acionados. Então, polariza-se diretamente o diodo D'_1 , de modo que a tensão V_{iF} é aplicada sobre o indutor L_d , e, como a corrente no indutor de dispersão não varia instantaneamente, o diodo D'_2 permanece em condução durante toda a etapa A. Assim, a corrente no indutor L_d cresce linearmente até assumir toda a corrente de carga I'_{R_o} , enquanto a corrente no diodo D'_2 decresce linearmente até anular-se. Este estado topológico é ilustrado na Figura 6.a, e as formas de onda de tensão e de corrente no indutor de dispersão L_d , bem como a corrente no diodo D'_2 , são apresentadas nas Figuras 6.g até 6.h. Ainda durante a etapa A, inicia-se o armazenamento de energia no indutor de magnetização L_m . O intervalo de tempo da etapa A é designado por Δt_d .

A etapa de operação B, detalhada na Figura 6.b, se inicia no momento em que o diodo D'_2 bloqueia, de modo que toda a corrente de carga I'_{R_o} passa a circular somente pelo diodo D'_1 e pelo indutor L_d , tornando a tensão sobre L_d nula devido a corrente I'_{R_o} ser constante. Ainda durante as etapas A e B, a tensão sobre o indutor de magnetização L_m é a própria tensão V_{iF} , ao passo que a corrente de magnetização i_{L_m} cresce linearmente desde o início da etapa A até o final da etapa B, como mostra a Figura 6.i. A tensão sobre o diodo D'_2 , durante a etapa B, é a própria tensão V_{iF} , ilustrada na Figura 6.g, e somente nesta etapa que se tem efetivamente transferência de energia da fonte de entrada para a saída do conversor.

A etapa C, cujo estado topológico é apresentado na Figura 6.c tem início quando os interruptores ímpares S_1 , S_3 e S_5 são bloqueados e os interruptores pares S_2 e S_4 são comandados a conduzir. Assim, o diodo de grampeamento D_{cf} entra em condução, pois a energia armazenada no indutor de magnetização L_m , durante as etapas A e B, passa a ser devolvida para a fonte de entrada. O diodo D'_2 é polarizado diretamente e ele passa a assumir gradualmente a corrente do indutor L_d , que decresce linearmente até anular-se ao final da etapa C, como mostra a Figura 6.h. O intervalo de duração da etapa C é o mesmo que o da etapa A, pois o valor médio da tensão sobre o indutor L_d deve ser nulo.

A etapa D, ilustrada na Figura 6.d, se inicia no momento em que o diodo D'_1 bloqueia, instante em que sua corrente se anula. Então, a fonte de corrente I'_{R_o} passa ao estado de roda livre por meio do diodo D'_2 . A corrente no indutor de magnetização L_m decresce em rampa desde o início da etapa C até o final da etapa D.

Por fim, tem-se o início da etapa E quando a corrente i_{L_m} se anula, de modo que o diodo D_{cf} bloqueia. Portanto, toda a energia armazenada no indutor L_m foi devolvida ao circuito. A fonte I'_{R_o} permanece em roda livre até o final da etapa E.

A partir das etapas de operação descritas e das formas de onda apresentadas nas Figuras 6.g até 6.h, pode-se obter o ganho estático. A metodologia utilizada avalia o valor médio da tensão sobre o diodo D'_2 , como realizado na seção A para a

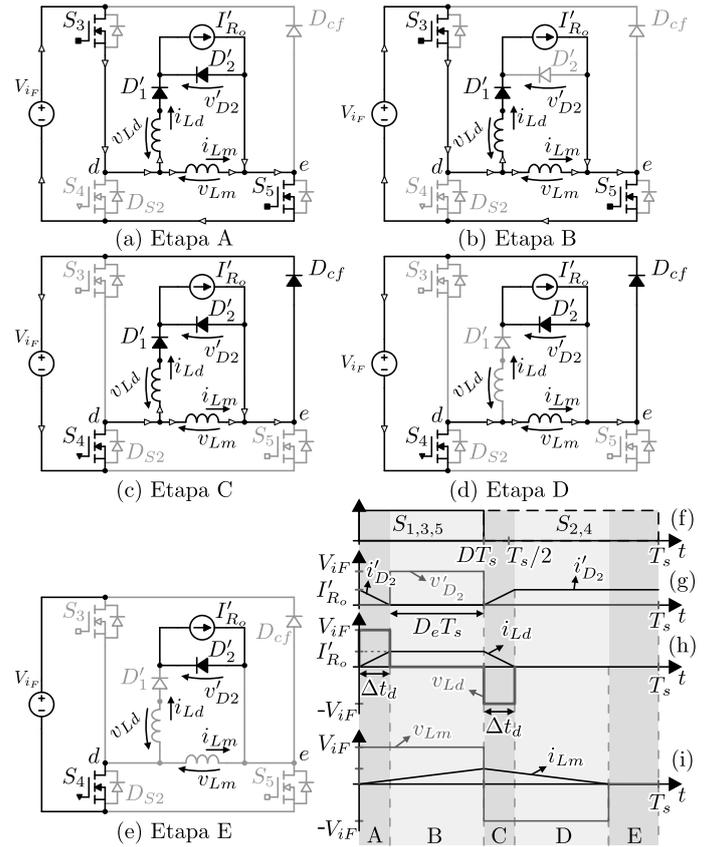


Fig. 6. (a) - (e) Estados topológicos referentes às etapas de operação A, B, C, D e E, (f) sinais de comando dos interruptores $S_{1,3,5}$, (g) formas de onda de tensão (v'_{D_2}) e corrente (i'_{D_2}) no diodo D_2 refletido ao primário, (h) formas de onda de tensão (v_{L_d}) e corrente (i_{L_d}) no indutor L_d e (i) formas de onda de tensão (v_{L_m}) e corrente (i_{L_m}) no indutor L_m .

estrutura híbrida. Para isto, faz-se necessário calcular o tempo de duração da etapa A. Então, o intervalo de tempo Δt_d é determinado a partir da tensão v_{L_d} sobre o indutor de dispersão L_d na etapa A, o que resulta em (8). O valor médio da tensão $v_{D'_2}$ é obtido refletido ao lado secundário do transformador em (9).

$$\Delta t_d = \frac{aL_d I_{R_o}}{V_{iF}}. \quad (8)$$

$$V_{D_2} = aV_{iF} \left(D - \frac{\Delta t_d}{T_s} \right). \quad (9)$$

Sabendo-se que o valor médio de v_{D_2} é a própria tensão de saída (V_o), obtém-se o ganho estático (G_f) em (10). Define-se D_e como a razão cíclica efetiva referente à etapa B e Δ_D é definido como a perda de razão cíclica em função do intervalo de duração da etapa A (Δt_d determinado por (8)).

$$\begin{cases} G_f = \frac{V_o}{V_{iF}} = aD_e, \\ D_e = (D - \Delta_D), \\ \Delta_D = \frac{\Delta t_d}{T_s} = \frac{aI_{R_o}L_d f_s}{V_{iF}} \end{cases}. \quad (10)$$

Ao inserir os parâmetros do transformador na análise, percebe-se que o ganho estático (10) passa a ser função da dispersão L_d do transformador por meio do parâmetro de perda

de razão cíclica Δ_D , parâmetro este que também é função da relação de transformação a , da frequência de comutação f_s , da corrente I_{R_o} na carga e da tensão V_{iF} de entrada do estágio *Forward*. Em situações onde deseja-se elevada isolamento elétrica entre primário e secundário, a indutância de dispersão do transformador é significativa, o que implica em uma redução do ganho estático do conversor.

III. METODOLOGIA DE PROJETO

Para validar a topologia proposta, um protótipo com quatro células de CaCh ($n_c = 4$) foi desenvolvido com as especificações de projeto apresentadas na Tabela III. O sistema completo, exemplificando a utilização do circuito integrado (CI) UC3845 para implementar o controle por corrente programada (*Current Programmed Control* - CPM) [21], ou também conhecido por controle por corrente de pico, é ilustrado na Figura 7. Um resumo dos componentes empregados no protótipo é apresentado na Tabela IV. Ressalta-se apenas dois pontos em relação aos componentes. Os MOSFETs foram escolhidos da tecnologia SiC pelo fato de ter valores de capacitâncias intrínsecas menores, o que evita o problema de crosstalk na configuração *Ladder* do capacitor chaveado. Dentro da tecnologia SiC há poucas opções de componentes de 600 V, por isso foi optado por um MOSFET SiC de 900 V (com boa relação entre custo, resistência de condução e capacitância intrínseca). Já o diodo foi escolhido da tecnologia SiC para eliminar o efeito de recuperação reversa. Nesse caso, novamente, poucas opções são obtidas no mercado e, portanto, um diodo de 1.2 kV foi selecionado para a aplicação.

TABELA III
Especificações de Projeto

Parâmetro	Valor
Tensão de entrada (V_i)	2000 V
Tensão de entrada estágio <i>Forward</i> (V_{iF})	400 V
Tensão de saída (V_o)	24 V
Corrente de saída (I_{R_o})	8,333 A
Potência de saída (P_o)	200 W
Frequência de comutação (f_s)	100 kHz
Ondulação da tensão de saída ($\Delta_{V_{o\%}}$)	1%
Ondulação da corrente no indutor L_o ($\Delta_{I_{L_o\%}}$)	20%
Máxima perda de razão cíclica ($\Delta_{D,max}$)	10%
Modo de operação PC do estágio CaCh	$0,5 < f_s \tau_{sc} < 1,44$
Valor de pico da corrente no indutor L_o ($I_{L_o,pk}$)	9,17 A

A. Aspectos de Projeto do Transformador e Ponto de Operação

Como apresentado nas seções anteriores, a indutância de dispersão do transformador é um parâmetro de projeto importante, visto que o ganho do estágio *Forward* está

TABELA IV
Resumo dos Componentes Utilizados no Protótipo.

Componente	Tipo/Material	Valores/Modelo
Interruptores (S_1 ao S_{11})	SiC	900 V/ 11 A
		336 m Ω @ 100°C C3M0280090J
Diodo D_{cf}	SiC	1200 V/ 5 A
		1,9 V @ 175°C C4D05120
Diodos D_1 e D_2	Schottky	200 V/ 20 A
		0,66 V @ 125°C MBR20200CT
Indutor L_o	Ferrite PC-40	105,161 μ H
		ETD 39/20/13
Capacitor C_o	Eletrolítico SMD	150 μ F/ 63 V
		$R_{se} = 0,17 \Omega$ 800 mA @ 100 kHz
Transformador	Ferrite N87	$N_p = 44/ N_s = 10$ $a = 0,228$
		$L_d = 198,4$ uH
		$L_m = 8,24$ mH
		ETD 49/25/16
Capacitores ($C_{sc1,2,3,4}$ e $C_{d1,2,3,4,5}$)	Filme	20 μ F/600 V
		$R_{se} = 3,2$ m Ω C4ATHBW5200A3NJ
Resistor <i>shunt</i> R_{cs}	PTH	0,25 Ω (4 // de 1 Ω)

relacionado à dispersão L_d por meio do parâmetro Δ_D em (10). Na Figura 8, apresenta-se o aspecto construtivo adotado para o transformador do conversor, no qual utiliza-se um núcleo de ferrite com perna central circular, conhecido por ETD (*Economic Transformer Design*), e os enrolamentos de média e baixa tensão são separados por meio de um material isolante. Neste caso, o carretel foi usinado em Teflon, que possui propriedades físicas adequadas e elevada rigidez dielétrica para a aplicação proposta.

A priori, para definir o ponto de operação, considera-se o caso ideal em que não há perda de razão cíclica ($L_d = 0$ e $\Delta_D = 0$) e a razão cíclica efetiva D_e é a própria razão cíclica D imposta pelo CI de controle. Assim, uma relação de transformação mínima pode ser determinada a partir de (10), ao definir D_e em 30%, o que resultaria em uma relação de transformação a de 0,2. Optou-se, inicialmente, por este valor ideal de $D = D_e = 30\%$, para que em um degrau de carga ainda haja margem para o controle elevar a razão cíclica sem que ocorra a saturação da mesma entre 45% e 48% (limitado pelo CI UC3845). Apesar disso, o transformador foi projetado para trabalhar com uma razão cíclica máxima de 45% em 100 kHz, e com uma densidade de fluxo magnético máxima de 200 mT, o que resultou em 44 espiras para o enrolamento primário e 10 espiras para o secundário ($a = 0,228$).

A dispersão total do transformador ilustrado na Figura 8, vista pelo lado primário, foi calculada a partir da metodologia apresentada em [22], em que determina-se a energia do campo magnético disperso na área da janela do transformador. Assim, a dispersão teórica ($L_{d,teo}$) é determinada por (11), em que μ_o é a permeabilidade magnética do ar, N_p o número de espiras do

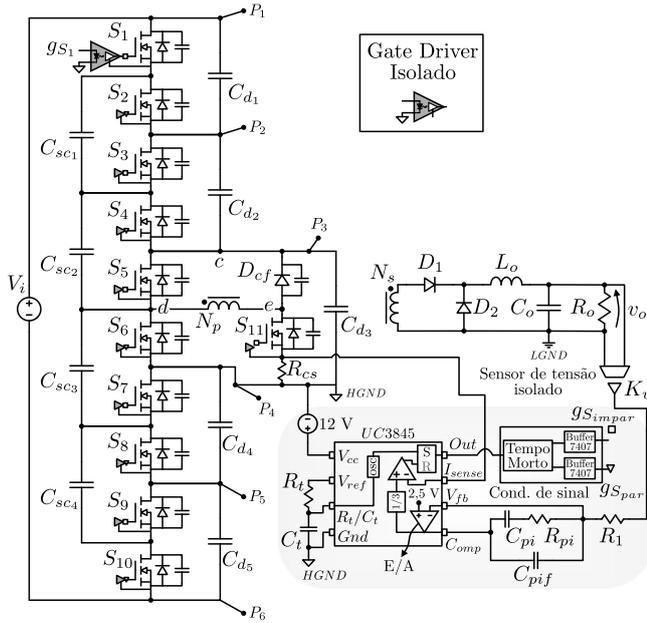


Fig. 7. Conversor *Forward* híbrido com quatro células de CaCh. Circuito completo com destaque para o estágio de controle implementado com o CI UC3845.

primário, d_w a largura da janela, d_{h1} e d_{h2} , respectivamente, as alturas ocupadas pelos enrolamentos primário e secundário, d_{iso} a espessura do material isolante entre os enrolamentos, e MLT_1 e MLT_2 o comprimento médio das espiras dos enrolamentos primário e secundário, respectivamente. A dispersão experimental obtida em 100 kHz com o analisador de impedância Agilent 4294A foi de $198,4 \mu\text{H}$, enquanto que a calculada (11) foi de $193,4 \mu\text{H}$ (erro de 2,5%).

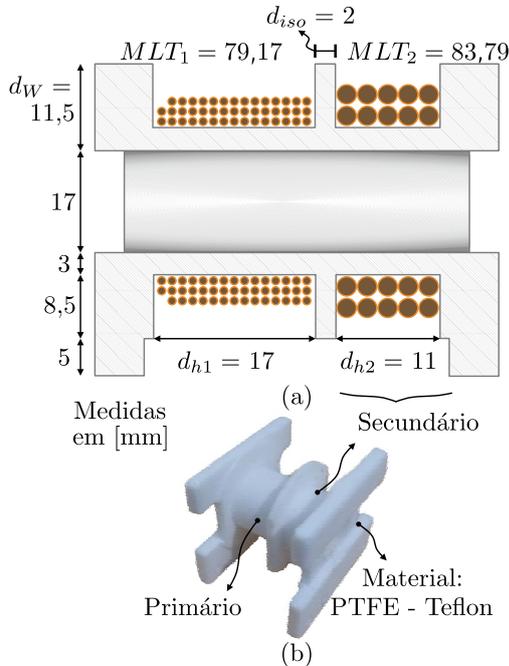


Fig. 8. Aspecto construtivo do transformador com o núcleo ETD 49/25/16. (a) Dimensões do carretel e disposição dos enrolamentos, $N_p = 44$ com fio Litz 30 x AWG38 e $N_s = 10$ com fio Litz 150 x AWG38. (b) Foto do carretel usinado em Teflon.

$$L_{d,teo} \cong \frac{\mu_0 N_p^2}{3 d_w} [MLT_1 (d_{h1} + 3 d_{iso}) + MLT_2 d_{h2}] \cong 193,4 \mu\text{H}. \quad (11)$$

Sabendo que a relação de transformação a é igual a 0,228, determina-se a razão cíclica efetiva em (12). Conhecida a dispersão teórica do transformador ($L_{d,teo} = 193,4 \mu\text{H}$), determina-se a perda de razão cíclica teórica ($\Delta_{D,teo}$) e a razão cíclica imposta pelo CI UC3845 no ponto de operação ($D_{op,teo}$) em (13). Desta maneira, observa-se que a especificação de projeto de perda de razão cíclica máxima igual ou menor que 10%, definida na Tabela III, é respeitada. Além disto, observa-se que a razão cíclica imposta pelo modulador é de 35,56%, o que ainda resulta em uma margem de 10% para o controle atuar sem que ocorra saturação da mesma e nem limitação da resposta dinâmica.

$$D_{e,teo} = \frac{V_o}{a V_{iF}} = 26,4\%. \quad (12)$$

$$\begin{cases} \Delta_{D,teo} = \frac{a L_{d,teo} f_s}{V_{iF}} I_{R_o} = 9,16\% \\ D_{op,teo} = D_{e,teo} + \Delta_{D,teo} = 35,56\% \end{cases} \quad (13)$$

B. Células de Capacitor Chaveado

Os valores mínimo e máximo dos capacitores que compõem a célula *ladder* foram determinados a partir do intervalo definido na Tabela III do parâmetro $f_s \tau_{sc}$, que determina o modo de operação da célula a capacitor chaveado. Optou-se pelo modo de operação de carga parcial PC com K_c unitário pois, de acordo com o apresentado na Figura 4, não há vantagens em se utilizar uma relação de capacitâncias diferentes quando o produto $f_s \tau_{sc}$ é elevado, pois não há redução da resistência equivalente do estágio CaCh. Assim, a partir dos valores determinados em (14), em que R_{ds} é a resistência de condução dos interruptores $S_{1,...,11}$ para 100°C , adotou-se a capacitância de $20 \mu\text{F}$ para todos os capacitores da célula *ladder*, o que resulta em um $f_s \tau_{sc} = 1,34$.

$$\begin{cases} 0,5 \leq f_s \tau_{sc} \leq 1,44 \\ C_{min} = \frac{0,5}{f_s 2 R_{ds}} = 7,44 \mu\text{F} \\ C_{max} = \frac{1,44}{f_s 2 R_{ds}} = 21,43 \mu\text{F} \end{cases} \quad (14)$$

C. Implementação do Controle CPM com o CI UC3845

O sinal na porta I_{sense} do CI UC3845 na Figura 7 é o sinal em tensão proporcional à corrente no interruptor S_{11} , lido por meio do resistor *shunt* R_{cs} . A tensão máxima nesta porta é de 1 V de acordo com o *datasheet* do CI [11]. Deste modo, a proteção natural contra curto-circuito deste método de controle funciona da seguinte maneira: caso o sinal lido na porta I_{sense} ultrapasse 1 V, a tensão na porta não-inversora do comparador interno do CI (porta que define o valor de pico da corrente) é grampeada em 1 V. Então, ocorre a saturação da corrente no interruptor e, conseqüentemente, da corrente no indutor L_o . Deste modo, o valor máximo do resistor *shunt* ($R_{cs,max}$) é determinado por (15). Assim, com o objetivo de minimizar as perdas no resistor *shunt*, como também viabilizar a operação em sobrecarga, optou-se por trabalhar com um resistor de $0,25 \Omega$, o que resulta na saída em uma corrente de curto-circuito máxima de 17,6 A.

$$R_{cs,max} = \frac{V_{Isense,max}}{aI_{Lo,pk}} = \frac{1 \text{ V}}{0,228 \cdot (9,17 \text{ A})} = 0,48 \Omega. \quad (15)$$

Para fechar a malha de controle, optou-se por utilizar o compensador proporcional integral com filtro, que permite obter erro nulo à resposta ao degrau, bem como mantém a taxa de decaimento de 20 dB/dec para as altas frequências. Para implementar o controlador com o CI UC3845, utilizam-se as portas V_{fb} (Voltage feedback) e C_{omp} (sinal compensado) do amplificador de erro interno, representado pelo bloco E/A na Figura 7. O projeto do controlador foi realizado no domínio da frequência utilizando a modelagem abordada em [21]. A frequência de cruzamento resultante foi de 896 Hz e a margem de fase de 64°.

IV. RESULTADOS EXPERIMENTAIS

Nesta seção, são apresentados os resultados experimentais obtidos com o protótipo ilustrado na Figura 9. O resumo dos componentes utilizados é apresentado na Tabela IV.

A. Formas de Onda

Na Figura 10, ilustram-se as tensões de entrada (V_i) e de saída (v_o), bem como as correntes de entrada (i_i) e de saída (i_o), do protótipo operando em malha fechada com o CI UC3845 e alimentando uma carga resistiva na potência nominal. O ripple da corrente de entrada é proveniente do ripple do barramento de 2 kV (333 Hz), gerado a partir dos retificadores passivos, porém ele não se propaga para a saída, como pode ser observado na Figura 10. O ripple da tensão de saída ficou abaixo do 1% especificado.

Na Figura 11, apresentam-se as tensões de entrada (V_i), no enrolamento primário do transformador (v_p) e no diodo D_2 (v_{D2}), bem como a corrente no primário (i_p). Este resultado valida toda a análise estática descrita nas seções IIA e IIB, no qual os estados topológicos e circuitos equivalentes foram descritos por meio das Figuras 2, 3 e 6.

A partir da Figura 11, observa-se a redução de 5 vezes da tensão de entrada em relação à tensão aplicada no primário do transformador (correspondente a tensão de entrada do estágio Forward de 400 V), visto que a escala de V_i encontra-se em 500 V/div, enquanto que a escala da tensão v_p no transformador é de 100 V/div e ambas são sobrepostas quando a tensão v_p é positiva. Isto permite concluir que a resistência equivalente do estágio a capacitor chaveado é desprezível em termos de ganho estático, como previsto na análise teórica para

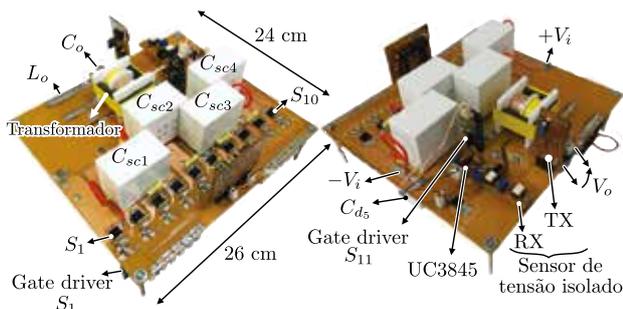


Fig. 9. Protótipo do conversor com 4 células de CaCh (ilustrado na Figura 7).

o conversor híbrido com 2 células por meio de (1), em que $V_i \gg (R_{eqhsc} + R_{ds})aI_{Ro}$, o que implica que $\Delta_{Gh} \ll 1/2$.

Outro aspecto importante a ser observado é a perda de razão cíclica. Como discutido na análise teórica, durante a etapa de operação A destacada na Figura 11, a corrente no primário cresce lentamente devido ao efeito da indutância de dispersão, cujo intervalo de tempo Δ_{td} determinado por (8) é função do indutor de dispersão L_d . Assim, para o mesmo ponto de operação experimental da Figura 11 com $P_o = 215 \text{ W}$ ($I_{Ro} = 8,96 \text{ A}$, $L_{d,teo} = 193,4 \mu\text{H}$), o cálculo teórico do intervalo de duração da etapa A, determinado por (8), resultou em 984,5 ns, erro percentual de 4,74% relativo ao experimental de 940 ns. A razão cíclica obtida experimentalmente foi de 39,58%, enquanto que a teórica calculada por (13) para o mesmo ponto de operação foi de 36,65% (adotando a frequência de comutação de 104,1 kHz obtida na prática com o CI UC3845). Esta pequena diferença está associada aos erros da dispersão e da relação de transformação obtidas na prática, como também à operação em malha fechada, pois o controle compensa a razão cíclica em função das perdas por condução do transformador, do diodo D_1 e do indutor L_o , cujas quedas

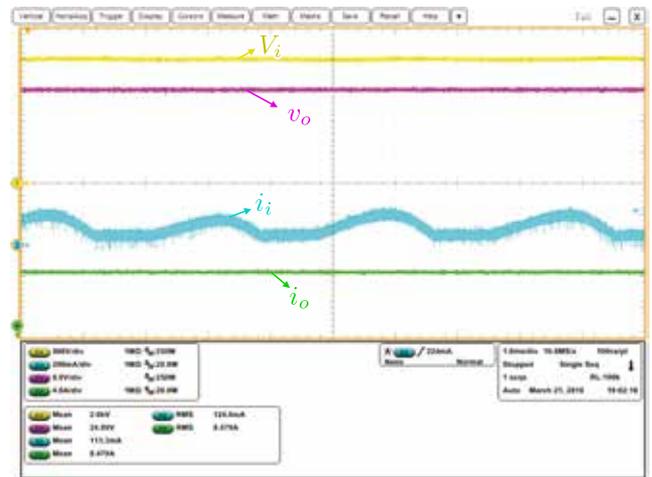


Fig. 10. Formas de onda experimentais: Tensões de entrada (V_i) e de saída (v_o), e correntes de entrada (i_i) e na carga R_o (i_o).

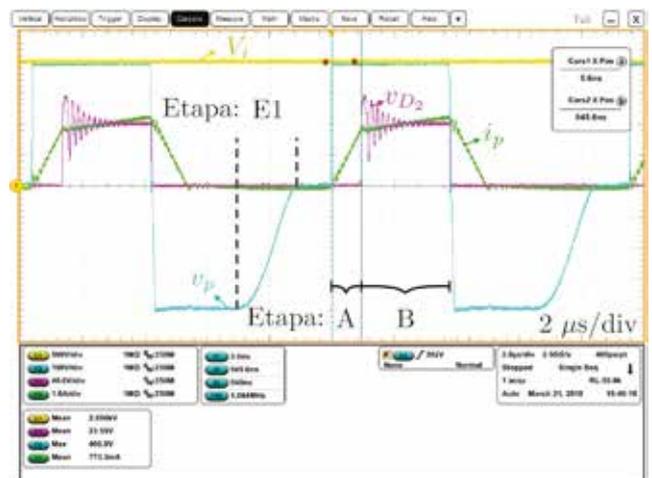


Fig. 11. Formas de onda experimentais: Tensões de entrada (V_i), no enrolamento primário do transformador (v_p) e no diodo D_2 (v_{D2}), e corrente no primário (i_p).

de tensão não foram consideradas no modelo.

As tensões nos capacitores divisores C_{d1} , C_{d2} , C_{d3} , C_{d4} e C_{d5} podem ser visualizadas na Figura 12.a e 12.b na potência nominal. Observa-se que em todos os capacitores o valor médio é, aproximadamente, 1/5 da tensão de entrada, como esperado. Assim, o esforço máximo de 400 V é garantido em todos os interruptores do lado de média tensão. O mesmo equilíbrio é observado nas tensões dos capacitores chaveados. As correntes nos capacitores chaveados são apresentadas na Figura 12.c. Verifica-se que devido ao elevado produto $f_s \tau_{sc} = 1,34$, ou seja, modo de operação de carga parcial com ponto de operação muito próximo da fronteira com o modo não carregado ($f_s \tau_{sc} = 1,44$), os valores eficazes e de pico das correntes são minimizados.

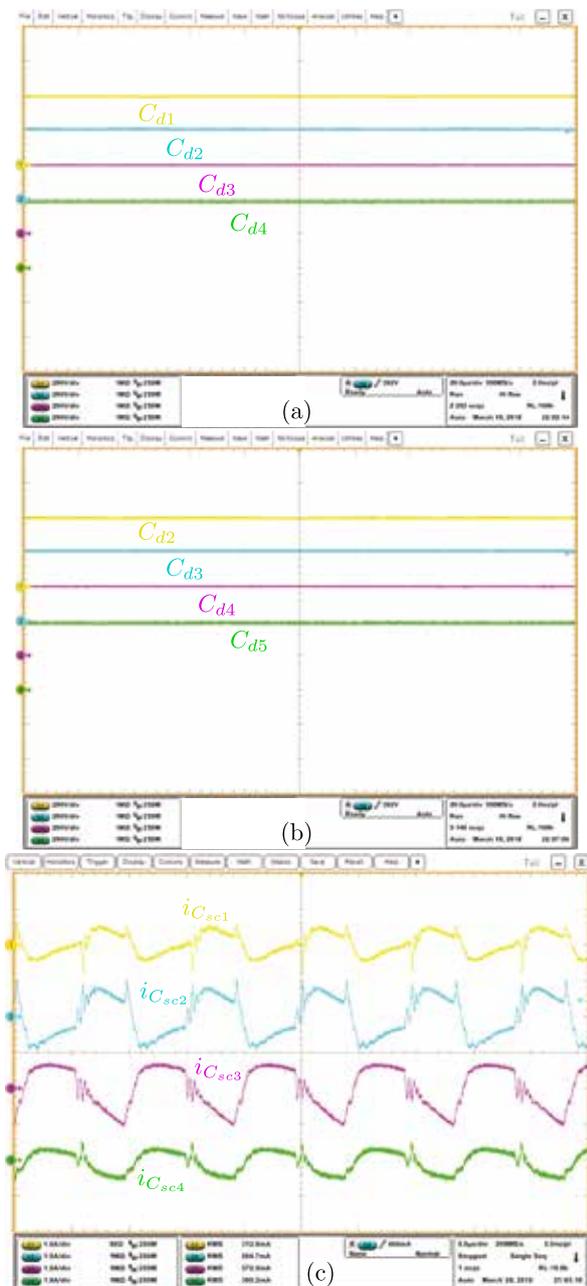


Fig. 12. Formas de onda experimentais: Tensões sobre os capacitores divisores (a) C_{d1} , C_{d2} , C_{d3} e C_{d4} ; (b) C_{d2} , C_{d3} , C_{d4} e C_{d5} ; (c) correntes nos capacitores chaveados C_{sc1} , C_{sc2} , C_{sc3} e C_{sc4} .

As tensões nos interruptores S_1 a S_{11} são apresentadas na Figura 13. Verificam-se que, devido às transições suaves, não há sobretensões nos SiC MOSFETs, ressaltando que nenhum tipo de filtro foi adicionado nas medições.

B. Rendimento

Para obter o rendimento do conversor híbrido proposto, utilizou-se o analisador de potência Yokogawa WT1800. Todos os resultados foram obtidos com carga resistiva e em malha fechada com o controle CPM. Inicialmente, avaliou-se somente o rendimento do estágio *Forward* com 3 interruptores (fonte de entrada V_i de 400 V conectada entre os pontos P_3 e P_4 da Figura 7.a. Além disso, com o objetivo de avaliar o efeito no rendimento em função do número de células de CaCh adicionadas ao conversor híbrido, realizou-se o ensaio do

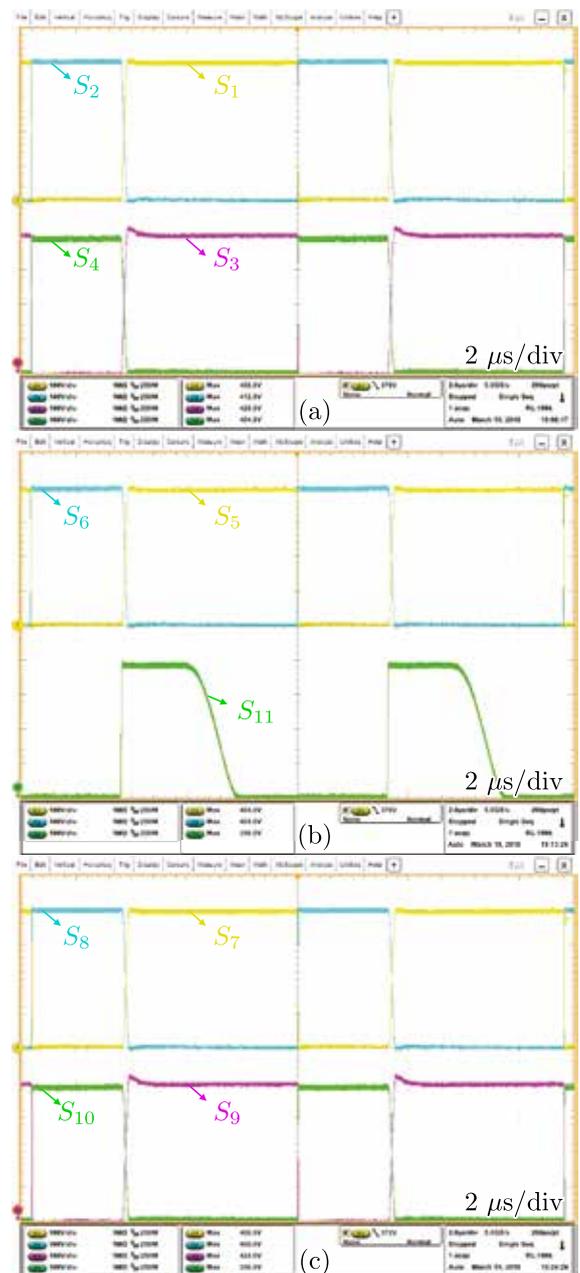


Fig. 13. Formas de onda experimentais: Tensões sobre os interruptores (a) S_1 , S_2 , S_3 e S_4 , (b) S_5 , S_6 e S_{11} e (c) S_7 , S_8 , S_9 e S_{10} .

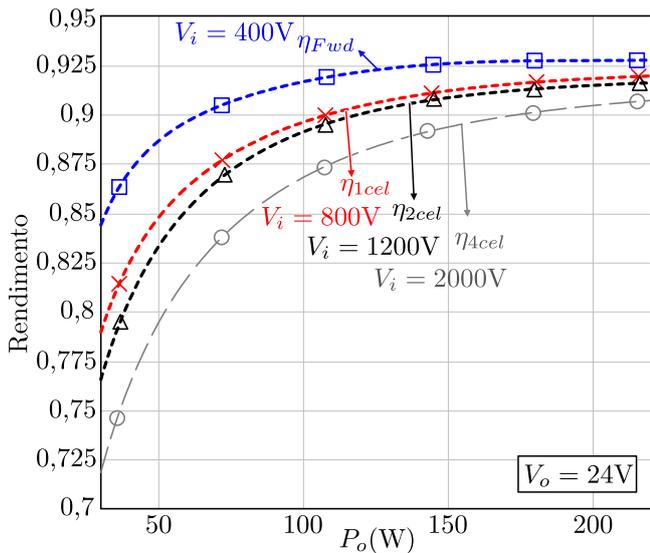


Fig. 14. Curvas experimentais de rendimento do conversor híbrido com 1 célula de CaCh e com tensão de entrada de 800 V (η_{1cel} , ganho de 1/33), com 2 células e tensão de entrada de 1200 V (η_{2cel} , ganho de 1/50) e a estrutura completa (ilustrada na Fig.7) com 4 células e tensão de entrada de 2 kV (η_{4cel} , ganho de 1/83). Ilustra-se também a curva de rendimento do conversor *Forward* com 3 interruptores (η_{Fwd} , ganho de 1/17).

conversor completo com as 4 células (fonte de 2 kV conectada entre os pontos P_1 e P_6 da Figura 7), como também avaliou-se a estrutura com uma e duas células de CaCh. A estrutura com uma célula é obtida ao conectar a fonte de entrada de 800 V entre os pontos P_2 e P_4 da Figura 7.a, enquanto que a estrutura com 2 células é obtida ao conectar a fonte de entrada de 1,2 kV entre os terminais P_2 e P_5 da Figura 7.a.

Na Figura 14, ilustram-se os resultados experimentais dos 4 casos citados anteriormente. Inicia-se avaliando a curva da estrutura completa com 4 células (η_{4cel}), ao qual obteve-se um rendimento de 90,66% com uma potência de saída de 215 W. Abaixo de 50 W o rendimento decai rapidamente pelo elevado aumento das perdas de comutação do circuito. Na potência de 215 W, uma diferença no rendimento de 2,09% é observada entre as estruturas *Forward* e conversor híbrido com 4 células. Apesar da quantidade significativa de componentes adicionados, 8 interruptores e 8 capacitores a mais que a estrutura *Forward* com 3 interruptores, a queda no rendimento do conversor híbrido com 4 células não foi abrupta e, devido à característica da curva de rendimento ilustrada, observa-se que as perdas de comutação exercem um papel importante no desempenho, visto que os interruptores ímpares são comandados a conduzir sob comutação forçada. Na potência de 215 W, observa-se na Figura 14 que o rendimento do estágio *Forward* com 3 interruptores foi de 92,75%, da estrutura híbrida com 1 célula foi de 91,93%, com 2 células foi de 91,59% e a estrutura completa com 4 células foi de 90,66%.

Considerando o rendimento prático obtido, um estudo sobre a distribuição de perdas entre os componentes do estágio de potência foi realizado. O resultado dessa análise é apresentada na Figura 15. Observa-se que o transformador de alta frequência, juntamente com o diodo D_2 , são os componentes que proporcionam as maiores perdas na topologia. A soma das perdas desses dois elementos corresponde a aproximadamente

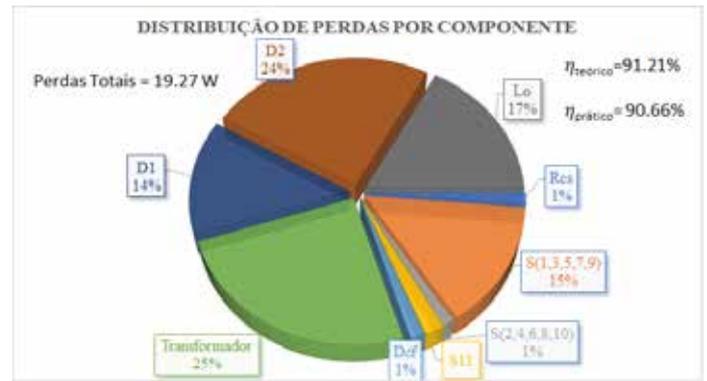


Fig. 15. Distribuição de perdas do conversor *Forward* com 4 células e tensão de entrada de 2 kV (η_{4cel} , ganho de 1/83) para potência nominal.

50% das perdas do conversor. Adicionalmente, observa-se que as perdas no lado de baixa tensão do conversor (componentes D_1 , D_2 e L_o) correspondem a 55% das perdas do conversor, o que é justificável pela alta corrente circulante nesses componentes.

C. Estudo Comparativo

Um estudo comparativo da topologia proposta *versus* topologias estabelecidas na literatura foi realizado, considerando fatores qualitativos e quantitativos. Com relação ao número de componentes no estágio de potência, o conversor proposto apresenta 12 interruptores (650 V - 900 V), 9 capacitores, 2 diodos e 1 transformador de alta frequência. Dos conversores estabelecidos na literatura que operam com níveis de tensão e potência similares ao proposto, algumas características são apresentadas: o conversor proposto em [9] apresenta 5 interruptores (1.7 kV), 5 diodos (1.7 kV), 3 capacitores, 4 diodos de baixa tensão e 1 transformador de alta frequência; o conversor proposto em [10] apresenta 12 interruptores (1.7 kV), 4 diodos de baixa tensão, 7 capacitores e 4 transformadores flyback em seu estágio de potência. O número de capacitores, diodos e interruptores da topologia proposta é mais elevado em comparação com as topologias mencionadas anteriormente, porém os níveis de tensão aplicados sobre eles são menores. Por fim, o número de estágios isolados na topologia proposta é mínimo se comparado com [10], onde 4 transformadores são necessários no estágio de potência.

Qualitativamente, o conversor proposto foi projetado para processar 200 W de potência, atingindo um rendimento de 90.66% para o cenário de tensão de entrada de 2 kV e tensão de saída de 24 V. O conversor citado em [9], operando com uma tensão de entrada de 2.4 kV, tensão de saída de 24 V e potência processada de 100 W, apresentou um rendimento teórico de 88.6%. O conversor proposto em [10], operando com uma tensão de entrada de 1 kV, tensão de saída de 15 V e potência nominal de 125 W, apresentou um rendimento de 77%. Por fim, o conversor estudado em [8], operando com tensão de entrada de 2.4 kV, tensão de saída de 24 V e potência de 100 W, apresentou rendimento teórico de 90.7%. Com isso, conclui-se que o conversor proposto apresenta rendimento compatível com o estado da arte, além de processar o dobro da potência dos conversores apresentados.

Por fim, conclui-se que os resultados experimentais são

satisfatórios para as aplicações de fontes auxiliares de média tensão, visto que o rendimento é acima de 85% para uma ampla faixa de potência de 80 W a 215 W, entrando em conformidade com o que se encontra na literatura atualmente.

V. CONCLUSÕES

Um conversor híbrido baseado na associação de células de capacitor chaveado com o conversor *Forward* foi proposto para aplicações em fontes auxiliares de conversores de média tensão. Um abrangente estudo teórico foi abordado, no qual as características estáticas e de comutação foram descritas e validadas com os resultados experimentais apresentados. A principal característica da estrutura proposta está na divisão igualitária da tensão de entrada sobre os interruptores do lado de média tensão, que ocorre naturalmente devido ao princípio de operação do capacitor chaveado. Isto permite utilizar interruptores de menor tensão em comparação com as estruturas clássicas empregadas em aplicações de fontes auxiliares de conversores de média/alta tensão.

A partir do protótipo desenvolvido com 4 células de capacitor chaveado, com potência de 200 W, com tensão de entrada de 2 kV e tensão de saída de 24 V (ganho de 83 vezes), verificou-se experimentalmente que, apesar do elevado número de interruptores, a solução proposta, com uma faixa de rendimento entre 85% e 90,66%, se mostra interessante para aplicações em fontes auxiliares com elevada tensão de entrada. Em um projeto otimizado para uma aplicação específica, pode-se determinar o número de células ótimo a serem empregadas, com o objetivo de incrementar ainda mais o rendimento.

REFERÊNCIAS

- [1] S. Allebrod, R. Hamerski, and R. Marquardt, "New transformerless, scalable Modular Multilevel Converters for HVDC-transmission," in *2008 IEEE Power Electronics Specialists Conference*. Rhodes, Greece: IEEE, June 2008, pp. 174–179. [Online]. Available: <http://ieeexplore.ieee.org/document/4591920/>
- [2] A. J. Korn, M. Winkelkemper, P. Steimer, and J. W. Kolar, "Direct Modular Multi-Level Converter for Gearless Low-Speed Drives," p. 7, 2011.
- [3] H. Akagi, S. Inoue, and T. Yoshii, "Control and Performance of a Transformerless Cascade PWM STATCOM With Star Configuration," *IEEE Transactions on Industry Applications*, vol. 43, no. 4, pp. 1041–1049, July, 2007. [Online]. Available: <http://ieeexplore.ieee.org/document/4276838/>
- [4] J. W. Kolar and G. Ortiz, "Solid-State-Transformers: Key Components of Future Traction and Smart Grid Systems," p. 15, May 2014.
- [5] Xu She and A. Huang, "Solid state transformer in the future smart electrical system," in *2013 IEEE Power & Energy Society General Meeting*. Vancouver, BC: IEEE, July, 2013, pp. 1–5. [Online]. Available: <http://ieeexplore.ieee.org/document/6672768/>
- [6] O. S. Senturk, T. Maerki, P. Steimer, and S. McLaughlin, "High voltage cell power supply for modular multilevel converters," in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*. Pittsburgh, PA, USA: IEEE, September, 2014, pp. 4416–4420. [Online]. Available: <http://ieeexplore.ieee.org/document/6953725/>
- [7] K. B. Leandro, M. B. Tiago, C. Rech, P. J. Renes, and C. Alexandre, "A high input voltage and high step-down ratio double-ended Flyback Converter," in *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*. IEEE, Nov. 2015, pp. 1–6. [Online]. Available: <http://ieeexplore.ieee.org/document/7420085/>
- [8] J. Won, G. Jalali, X. Liang, C. Zhang, S. Srdic, and S. Lukic, "Auxiliary power supply for medium-voltage power electronics systems," in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, March, 2018, pp. 173–179.
- [9] J. Won, G. Jalali, X. Liang, C. Zhang, S. Srdic, and S. M. Lukic, "Auxiliary power supply for medium-voltage power converters: Topology and control," *IEEE Transactions on Industry Applications*, vol. 55, no. 4, pp. 4145–4156, May, 2019.
- [10] J. Liu, S. Zhong, J. Zhang, Y. Ai, N. Zhao, and J. Yang, "Auxiliary power supply for medium-/high-voltage and high-power solid-state transformers," *IEEE Transactions on Power Electronics*, vol. 35, no. 5, pp. 4791–4803, May, 2020.
- [11] *UCx84x Current-Mode PWM Controllers*, Texas instruments, 1997, rev. Jan. 2017.
- [12] M. Dalla Vecchia, T. Brunelli Lazzarin, and I. Barbi, "Estudo de conversores estáticos ca-ca monofásicos e trifásicos baseados no princípio do capacitor chaveado," *Revista Eletrônica de Potência*, vol. 20, no. 2, pp. 160–171, Maio, 2015.
- [13] D. Flores Cortez, G. Waltrich, J. Fraigneaud, H. Miranda, and I. Barbi, "DC-DC Converter for Dual-Voltage Automotive Systems Based on Bidirectional Hybrid Switched-Capacitor Architectures," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 5, pp. 3296–3304, May 2015. [Online]. Available: <http://ieeexplore.ieee.org/document/6881696>
- [14] M. D. Vecchia, M. A. Salvador, and T. B. Lazzarin, "Hybrid Nonisolated DC-DC Converters Derived From a Passive Switched-Capacitor Cell," *IEEE Transactions on Power Electronics*, vol. 33, no. 4, pp. 3157–3168, Apr. 2018. [Online]. Available: <http://ieeexplore.ieee.org/document/7927446/>
- [15] D. F. Cortez and I. Barbi, "A Family of High-Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers," *IEEE Transactions on Power Electronics*, vol. 30, no. 8, pp. 4189–4198, Aug. 2015. [Online]. Available: <http://ieeexplore.ieee.org/document/6909077/>
- [16] P. J. S. Costa, C. H. Illa Font, and T. B. Lazzarin, "A Family of Single-Phase Voltage-Doubler High-Power-Factor SEPIC Rectifiers Operating in DCM," *IEEE Transactions on Power Electronics*, vol. 32, no. 6, pp. 4279–4290, Jun. 2017. [Online]. Available: <http://ieeexplore.ieee.org/document/7552536/>

- [17] R. de Souza Santos, T. B. Lazzarin, and I. Barbi, "A new half-bridge Hybrid Switched-Capacitor inverter," in *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*. IEEE, Nov. 2015, pp. 1–6. [Online]. Available: <http://ieeexplore.ieee.org/document/7420215/>
- [18] G. V. Silva, R. F. Coelho, and T. B. Lazzarin, "Switched capacitor boost inverter," in *2016 IEEE 25th International Symposium on Industrial Electronics (ISIE)*. Santa Clara, CA, USA: IEEE, June, 2016, pp. 528–533. [Online]. Available: <http://ieeexplore.ieee.org/document/7744945/>
- [19] S. Ben-Yakov, "Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitors Converters," *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 632–636, Feb. 2012. [Online]. Available: <http://ieeexplore.ieee.org/document/6045344/>
- [20] R. L. Silva Junior, T. B. Lazzarin, and I. Barbi, "Reduced Switch Count Step-up/Step-down Switched-Capacitor Three-Phase AC-AC Converter," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 11, pp. 8422–8432, Nov. 2018. [Online]. Available: <http://ieeexplore.ieee.org/document/8301530/>
- [21] Ridley, Raymond B., "A New, Continuous-Time Model For Current-Mode Control," *IEEE Transactions on Power Electronics*, vol. 6, no. 2, p. 10, Apr. 1991.
- [22] P. A. J. van Rensburg and H. C. Ferreira, "The role of magnetizing and leakage inductance in transformer coupling circuitry," 2004.

DADOS BIOGRÁFICOS

Rogério Luiz da Silva Júnior, nascido em 1993 em Florianópolis, Santa Catarina, é Engenheiro Eletricista (2015) e Mestre (2018) em Engenharia Elétrica pela Universidade Federal de Santa Catarina. Ele foi, de 2014 a 2015, bolsista de iniciação científica no Instituto de Eletrônica de Potência (INEP) e, de 2016 a 2018, mestrando em eletrônica de potência, também no INEP. Atualmente é Engenheiro de P&D no Instituto Brasileiro de Eletrônica de Potência e Energias Renováveis (IBEPE), e trabalha no desenvolvimento de um

transformador de estado sólido para redes de distribuição classe 15 kV. Suas áreas de interesse são: conversores a capacitor chaveado, transformadores de estado sólido, fontes auxiliares alimentadas em média tensão e modelagem de magnéticos.

Mauricio Dalla Vecchia, nasceu em Francisco Beltrão, Paraná, Brasil, em 1990. Recebeu o grau de Engenheiro Eletricista e Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC), Florianópolis, Brasil, em 2014 e 2016, respectivamente. Recebeu o grau de Doutor em Engenharia Elétrica pela KU Leuven, Bélgica, em 2020. Atualmente é pesquisador de Pós Doutorado pela Universidade Federal de Santa Catarina (UFSC). A área de concentração do Dr. Dalla Vecchia é em Eletrônica de Potência, com ênfase em conversores a capacitor chaveado, conversores CC-CC de alto ganho e alto rendimento, conversores híbridos, inversores, conversores CA-CA, semicondutores com elevada largura de banda (WBG) e energias renováveis (eólica de grande porte - onshore e offshore - e solar).

André Kirsten, nasceu em Santa Maria, Brasil, em 1986. Recebeu o grau de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Maria (UFSM) em 2009, 2011 e 2014, respectivamente. Atualmente é professor no Departamento de Engenharia Elétrica da Universidade Federal de Santa Catarina. Suas áreas de interesse são: projeto de conversores estáticos, sistemas embarcados aplicados à eletrônica de potência, controle digital e transformadores de estado sólido.

Telles Brunelli Lazzarin, nasceu em Criciúma, Santa Catarina, Brasil, em 1979. Recebeu o grau de Engenheiro Eletricista, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC), Florianópolis, Brasil, em 2004, 2006 e 2010, respectivamente. Atualmente é professor no Departamento de Engenharia Elétrica e Eletrônica da UFSC. A área de concentração do Prof. Telles é em eletrônica de potência, com ênfase em energias renováveis (principalmente eólica de pequeno porte), inversores de tensão e conversores estáticos a capacitor chaveado. Prof. Telles é membro da SOBRAEP e do IEEE.