

RETIFICADOR PFC MONOFÁSICO BRIDGELESS BASEADO EM INTERRUPTORES GaN HEMT EMPREGANDO ESTRATÉGIA DE MODULAÇÃO PWM DE ALTA RESOLUÇÃO IMPLEMENTADA EM FPGA

Murilo K. Lohn, André S. de Carvalho, José A. Arbuseri, Tiago K. Jappe, Samir A. Mussa
Universidade Federal de Santa Catarina – UFSC, Instituto de Eletrônica de Potência – INEP, Florianópolis, SC - Brasil
e-mail: murilo.lohn@inep.ufsc.br, andre.carvalho@grad.ufsc.br, josearbuseri@gmail.com, tiagokj@inep.ufsc.br, samir@inep.ufsc.br

Resumo – Interruptores de potência baseados em materiais do tipo *wide bandgap* propiciam o uso de elevada frequência de comutação sem aumento significativo das perdas do conversor. O artigo propõe a validação experimental de um retificador *boost bridgeless* com correção ativa do fator de potência, empregando interruptores de Nitreto de Gálio e utilizando um modulador de alta resolução. O protótipo, com uso de 500 kHz na frequência de comutação, é validado com tensão de suprimento em 127 V e 60 Hz, acionando uma carga passiva de 915 W com tensão média de 220 V. Os resultados obtidos demonstram a funcionalidade do conversor estático operando com 96% de rendimento em plena carga, assim como a operação da estratégia de modulação PWM de alta resolução e de controle digital implementadas em FPGA.

Palavras-chave – Boost bridgeless, Correção de fator de potência (PFC), GaN HEMT, Modulador de alta resolução.

GaN HEMT BASED BRIDGELESS SINGLE-PHASE PFC RECTIFIER EMPLOYING HIGH RESOLUTION PWM STRATEGY IMPLEMENTED IN FPGA

Abstract – Power switches based on wide bandgap materials provide the use of high switching frequency without significantly increase of the converter losses. The paper proposes the experimental validation of a boost bridgeless rectifier with active power factor correction, employing Gallium Nitride switches and applying a high-resolution modulator. The prototype, using 500 kHz switching frequency, is validated with supply voltage of 127 V and 60 Hz, driving a 915 W passive load with average voltage of 220 V. The obtained results demonstrate the functionality of the static converter operating with an efficiency of 96% at full load, as well as the operation of the high-resolution PWM and the digital control implemented in FPGA.

Keywords – Boost Bridgeless, GaN HEMT, high-resolution PWM, Power Factor Correction (PFC).

Artigo submetido em 01/08/2018. Primeira revisão em 10/09/2018. Aceito para publicação em 03/06/2019 por recomendação do Editor Marcello Mezaroba. <http://dx.doi.org/10.18618/REP.2019.2.00271>

NOMENCLATURA

2DEG	<i>Two-Dimensional Electron Gas</i>
DPWM	Modulação digital por largura de pulso
FPGA	<i>Field Programmable Gate Array</i>
GaN	Nitreto de Gálio
HEMT	<i>High-Electron-Mobility Transistor</i>
HRPWM	Modulação PWM de alta resolução
PFC	<i>Power Factor Correction</i>
PWM	Modulação por largura de pulso
R_{DSon}	Resistência de condução
SiC	Carbeto de Silício
V_{BR}	Tensão de ruptura do interruptor
WBG	<i>Wide Bandgap</i>

I. INTRODUÇÃO

É crescente a busca por soluções que propiciem a conversão de energia elétrica com elevado rendimento concomitantemente à elevada densidade de potência. No contexto de circuitos retificadores com correção ativa do fator de potência, as topologias *bridgeless* são preeminentes em relação às demais, haja vista que possuem reduzido número de dispositivos em série no caminho de circulação da corrente elétrica [1], [2]. Isso as torna alternativas promissoras no desenvolvimento de fontes de alimentação com alto desempenho. No entanto, há uma gama de outras variáveis de projeto que impactam a realização de um conversor estático compacto e com elevado rendimento. Conforme [3], os elementos críticos para a densidade de potência em um conversor monofásico CA-CC com correção ativa do fator de potência são: (i) indutor *boost*; (ii) capacitor do barramento CC; (iii) filtro de compatibilidade eletromagnética; (iv) dissipador e/ou sistema de dissipação térmica.

No desenvolvimento de projetos de conversores estáticos compactos de alto rendimento, é recorrente o uso de interruptores baseados em materiais *wide bandgap* (WBG) em substituição aos que fazem uso, em essência, somente de silício (Si). Nesse contexto, interruptores a base de Nitreto de Gálio (GaN) ou Carbeto de Silício (SiC) destacam-se, haja vista sua capacidade de operar de forma segura sob elevadas temperaturas de junção (acima de 175°C) e com elevada frequência de comutação, o que pode viabilizar o projeto de conversores de potência mais compactos. Em relação ao elevado rendimento, os interruptores baseados em WBG destacam-se pelo reduzido valor de resistência de condução (R_{DSon}) e pelos reduzidos valores de capacitância entre os

terminais de fonte e dreno, que implicam em reduzidas perdas de condução e comutação, respectivamente.

Em face das prerrogativas de uso de dispositivos de *wide bandgap* na Eletrônica de Potência, optou-se por estudar e avaliar as características dos interruptores baseados em GaN tendo como plataforma de validação um retificador *boost bridgeless* com correção ativa do fator de potência comutando a 500 kHz. Em função da elevada frequência de comutação, destacam-se como contribuição deste artigo o projeto e a validação experimental de uma estratégia de modulação de alta resolução e de controle digital baseado em FPGA.

Este artigo é estruturado da seguinte maneira: na seção II, são apresentadas algumas características relevantes dos interruptores de GaN HEMT (high-electron-mobility transistor) em comparação aos MOSFETs. Na seção III apresentam-se alguns aspectos importantes da topologia *bridgeless* estudada, bem como a estratégia de controle utilizada e, principalmente, os detalhes do modulador de alta resolução (HRPWM). A seção IV aborda o dimensionamento e o uso dos elementos de controle digital em um sistema com alta frequência de comutação. Na seção V, são apresentados os resultados experimentais obtidos por meio de um protótipo em laboratório. Por fim, as conclusões do trabalho são descritas na seção VI.

II. INTERRUPTORES GaN HEMT

Na literatura, são amplamente difundidas as limitações acerca do uso do silício para a confecção de interruptores de potência [4]–[8]. Assim, com a proximidade do limite físico dos interruptores baseados puramente em silício, o crescimento de tecnologias *wide bandgap*, como o carbeto de silício e o nitreto de gálio, torna-se iminente no ramo da Eletrônica de Potência [4], [5]. No âmbito de topologias PFC, o uso de estratégias para comutação suave com o emprego de interruptor de GaN HEMTs proporcionam medições de rendimento acima de 99% e valores elevados de densidade de potência [9]–[11].

Análises comparativas entre os transistores de GaN com MOSFETs também são abordadas em [12]–[15]. No entanto, esses estudos comparativos limitam-se à análise da eficiência dos protótipos, ou seja, utilizam como base comum o mesmo *layout* de potência, apenas substituindo os interruptores e mantendo a mesma frequência de comutação bem como os mesmos dispositivos magnéticos. Dessa forma, comprovam que os conversores utilizando GaN HEMT possuem maior rendimento comparados àqueles com MOSFETs. Assim, uma análise mais abrangente faz-se necessária no intuito de evidenciar as principais implicações no uso de dispositivos de GaN em conversores estáticos de potência. Neste contexto, potencialidades e limitações devem ser realçadas a fim de demonstrar as implicações do uso de dispositivos de GaN na Eletrônica de Potência comparativamente aos convencionais MOSFETs.

Esta seção visa à descrição das principais características dos dispositivos de GaN frente aos convencionais MOSFETs, baseados em Si. Com base nisso, almeja-se evidenciar as características preeminentes dos interruptores de GaN e seus principais benefícios na realização de conversores estáticos de potência. Os aspectos técnicos que serão

TABELA I
Comparação entre os materiais Si, SiC e GaN. Fonte [4]

	Si	SiC	GaN
Banda proibida E_g [eV]	1,12	3,26	3,39
Campo crítico E_{crit} [MV/cm]	0,23	2,2	3,3
Mobilidade dos elétrons μ_n [$\text{cm}^2/\text{V}\cdot\text{s}$]	1400	950	1500
Permissividade relativa ϵ_r	11,8	9,7	9
Condutividade térmica λ [$\text{W}/\text{cm}\cdot\text{K}$]	1,5	3,8	1,3

averguados nas seguintes subseções são: tensão de ruptura; resistência do canal durante etapa de condução; descrição da estrutura interna dos dispositivos em nível de *layers* internos; conceito de condução reversa; e considerações de *layout* para conversores estáticos de potência e acionamento do interruptor.

A. Tensão de Ruptura

A Tabela I apresenta um conjunto de propriedades elétricas que viabilizam a comparação entre diferentes materiais semicondutores para a implementação de interruptores para a Eletrônica de Potência. Com o uso de materiais semicondutores com elevado valor de campo crítico (E_{crit}), é possível diminuir o canal de condução do componente mantendo a mesma tensão de ruptura, como visto pela equação (1). Com a utilização do GaN, é possível obter um canal de condução dez vezes menor se comparado ao de silício para uma mesma tensão de ruptura.

$$V_{BR} = \frac{1}{2} \cdot w_{drift} \cdot E_{crit}, \quad (1)$$

sendo:

- V_{BR} - Tensão de ruptura do interruptor;
- w_{drift} - Largura do canal de condução;
- E_{crit} - Campo crítico do material;

O uso desse conceito implica a minimização do volume final do dispositivo em *bare-die* (dispositivo sem encapsulamento, ou seja, somente o segmento extraído do *wafer*), resultando em um interruptor com elevada densidade de potência para uma mesma faixa de tensão de operação. Reitera-se que entre o *bare-die* e o encapsulamento, geralmente empregam-se resinas epóxi ou gel no intuito de garantir a tensão de isolamento elétrica, que é um conceito distinto do de tensão de ruptura do interruptor.

B. Resistência de Condução

A resistência de condução é um parâmetro usual na comparação entre diferentes dispositivos semicondutores, pois determina diretamente as perdas durante a condução da corrente elétrica. A resistência de condução do componente determina a quantidade de elétrons percorrendo o canal *drain-source*. Então, a partir da análise da equação de Poisson (2), conclui-se que o número de elétrons percorrendo o canal de um dispositivo GaN pode ser até cem vezes maior do que no de silício.

$$q \cdot N_D = \epsilon_o \cdot \epsilon_r \cdot \frac{E_{crit}}{w_{drift}}, \quad (2)$$

sendo:

- q - Carga de um elétron;

- N_D - Número de elétrons no canal;
- ϵ_o - Permissividade do vácuo;
- ϵ_r - Permissividade relativa do material.

A partir da equação que descreve a resistência de condução teórica (3), quanto maior for o valor de μ_n , menor será o valor da resistência de condução do dispositivo. Além disso, o tamanho reduzido do canal e a maior mobilidade de elétrons do nitreto de gálio têm influência na diminuição do valor da resistência de condução.

$$R_{DSon} = \frac{w_{drift}}{q \cdot \mu_n \cdot N_D}, \quad (3)$$

sendo:

- R_{DSon} - Resistência de condução;
- μ_n - Mobilidade dos elétrons no material.

Os conceitos de tensão de ruptura e de resistência de canal evidenciam a flexibilidade de implementação de interruptores baseados em GaN. Teoricamente, para uma mesma faixa de tensão de operação e corrente de condução, o volume final de um dispositivo em *bare-die* baseado em GaN pode ser de 5 a 30 vezes menor do que outro em Si. No entanto, geralmente o projeto do dispositivo baseado em GaN é realizado com dimensões volumétricas similares ao de Si, pois o processo de fabricação prioriza a minimização de custos. Como consequência, o dispositivo de GaN em *bare-die* com volume similar ao de Si possuirá desempenho elétrico e térmico superior ao do convencional.

C. Estrutura

A estrutura do interruptor GaN HEMT consiste em camadas subsequentes de substrato, *buffer*, GaN e AlGaIn, conforme consta na Figura 1. Entre as camadas de GaN e AlGaIn é gerado o canal 2DEG (*Two-Dimensional Electron-Gas*), pelo qual ocorre a condução de corrente do interruptor. Esse canal 2DEG, que surge a partir de tensões mecânicas entre as duas camadas adjacentes, é de grande condutividade elétrica, o que justifica a denominação do transistor de GaN HEMT [4]. Como escolha para o substrato, opta-se tipicamente por silício, devido ao seu baixo custo. No entanto, materiais como safira e carbetto de silício possuem melhores características elétricas para essa finalidade, apesar do custo elevado. A camada de *buffer* é constituída de finas camadas de GaN ou AlGaIn e implementa a interface entre o substrato e o material de GaN [6].

O canal 2DEG faz com que essa estrutura seja do tipo *depletion mode*, ou seja, uma estrutura que tipicamente está conduzindo, sendo necessário aplicar uma tensão negativa entre os terminais de *gate* e *source* para que o componente deixe de conduzir. Essa é uma característica indesejada em

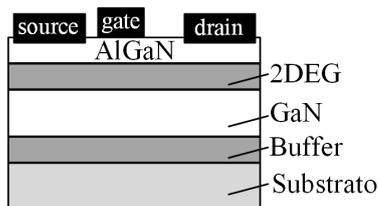


Fig. 1. Estrutura básica do GaN HEMT, com destaque do canal de condução 2DEG.

conversores estáticos, uma vez que, no momento da partida, os circuitos de *gate driver* não estarão energizados. A fim de superar tal efeito, é realizado o aprimoramento do componente (*enhancement-mode*, ou *e-mode*). Estão consolidadas na literatura quatro estruturas diferentes de *e-mode*, a saber [4]: (i) *Recessed Gate*, (ii) *Implanted Gate*, (iii) *pGaIn Gate* e (iv) *Cascode Hybrid*.

D. Condução Reversa

Diferentemente do MOSFET, a condução reversa do GaN HEMT é feita pelo mesmo canal de condução direta [16]. Esse tipo de condução ocorrerá quando a tensão no terminal *drain* for maior que a soma das tensões de *source* e *threshold*, semelhante ao que ocorre com diodos. Contudo, o dispositivo apresenta alta queda de tensão durante a condução reversa ($3 \approx 5$ V) [6]. A equação que representa a queda de tensão do interruptor nesta condição é:

$$v_{sd} = V_{gd,th} - v_{gs} + i_d \cdot R_{DSon}, \quad (4)$$

sendo:

- v_{sd} - Queda de tensão entre *source* e *drain*;
- $V_{gd,th}$ - Tensão de limiar do *gate*
- v_{gs} - Tensão aplicada entre *gate* e *source*;
- i_d - Corrente reversa que flui pelo transistor.

Nota-se que, aplicando uma tensão v_{gs} positiva, diminui-se a magnitude de v_{sd} , possibilitando menores perdas durante a condução reversa.

E. Acionamento

Os níveis de tensão necessários para a condução do GaN HEMT são tipicamente em torno de 6 V, enquanto que para o bloqueio é recomendada a utilização de -3 V. Considerando as altas frequências de comutação utilizadas, torna-se necessária a análise adequada do circuito de *gate driver*, especialmente devido aos elevados níveis de di/dt e dv/dt .

Recomenda-se no circuito de acionamento a utilização de resistores de *gate* separados para entrada ($10 \approx 20 \Omega$) e saída ($1 \approx 2 \Omega$). A escolha desses valores de resistência está atrelada aos intervalos de acionamento e de bloqueio adequados a fim de minimizar as perdas e a ocorrência do efeito *Miller*, conforme sugerido por [17].

Dependendo da saída do circuito de *gate driver* (simples ou dividida), pode ser necessária a adição de um diodo para forçar o caminho pela resistência de *gate* desejada. Na Figura 2, apresenta-se um circuito com saída simples (a) e saída dividida (b), sendo que neste último é desnecessário o uso de diodo para

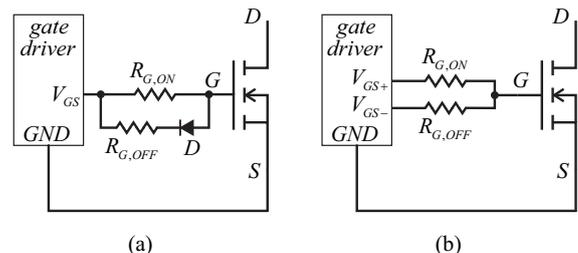


Fig. 2. Circuitos recomendados para o acionamento dos interruptores de GaN HEMT. (a) Etapa de acionamento do interruptor faz uso do resistor de *gate* $R_{G,ON}$; (b) Etapa de bloqueio do interruptor faz uso do resistor equivalente da associação em paralelo de $R_{G,ON}$ e $R_{G,OFF}$.

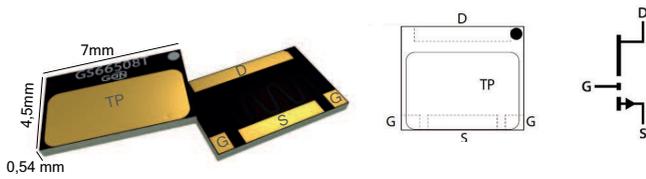


Fig. 3. Encapsulamento do GaN HEMT modelo GS66508T. Apresenta *dual gate pads* (G) para facilitar o projeto de *layout*. A área de dissipação térmica (TP - thermal pad) localiza-se no lado superior enquanto o lado inferior é reservado para os contatos elétricos.

F. Considerações no Layout de Potência

Um dos maiores desafios no desenvolvimento de *layouts* de potência está na minimização de capacitâncias e indutâncias parasitas. Na utilização de transistores GaN, devido principalmente à alta frequência de comutação empregada, esses elementos parasitas se tornam relevantes (embora os encapsulamentos utilizados visem à diminuição das indutâncias nos terminais do transistor, ver Figura 3).

No entanto, nem sempre é possível minimizar todos os elementos parasitas ao mesmo tempo, sendo necessária a observação de uma ordem de preferência [18]: A indutância de modo comum (L_{MC}), a indutância de laço de *gate* (L_G) e a indutância de laço de potência (L_{LP}).

Na Figura 4, são apresentadas as indutâncias de modo comum, L_{CM} , e de *gate*, L_G , ao passo que as indutâncias do laço de potência estão distribuídas por todo o laço de corrente do conversor.

Uma boa prática é a utilização de PCBs *multilayers* para posicionar o retorno de corrente nos *layers* intermediários logo abaixo do caminho de ida. Assim, há o cancelamento de fluxo e a conseqüente diminuição das indutâncias parasitas. Essa técnica é efetiva tanto para o laço de potência quanto para o de *gate*.

Para projetos em que se posiciona o transistor na parte inferior da PCB, devido à alocação do dissipador, recomenda-se a utilização de vias em paralelo para interligar os *layers* da placa.

Como a razão entre as resistividades do estanho e do cobre é de aproximadamente 6,3, tanto a 20 °C quanto a 100 °C, tem-se que o preenchimento interno do cilindro da via condutora com estanho somente adicionará um elemento parasita em paralelo, sem contribuição significativa (redução da resistividade inferior a 20%). A estratégia efetiva consiste na adição de uma gama de vias em paralelo no intuito de minimizar o estrangulamento resultante de única via. Sob o ponto de vista elétrico, tal estratégia corresponde à associação em paralelo de n impedâncias.

Para a utilização de vias no *layout*, considera-se a estrutura apresentada na Figura 5. Tipicamente, utiliza-se $k = \{1, 2, 3, 4\}$ para aumentar a espessura da camada de cobre, permitindo, assim a condução de valores mais elevados de corrente.

Com a utilização de vias, elementos indutivos são adicionados ao caminho da corrente, o que pode provocar valores elevados de sobrepico de tensão nos interruptores. Por essa razão, há a necessidade de utilização de vias em paralelo para diminuir a impedância equivalente.

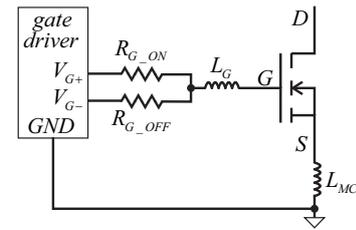


Fig. 4. Circuito elétrico equivalente para o sistema de acionamento/bloqueio do interruptor de GaN tendo como ênfase as indutâncias parasitas críticas desse sistema.

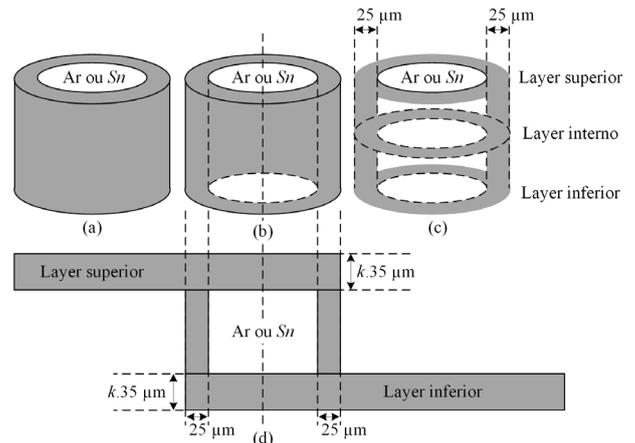


Fig. 5. Implementação de vias em placas de circuito impresso - cilindros de cobre, com 25 μm de espessura, para conexão entre layers.

forçar o caminho da corrente.

Já os altos índices de di/dt podem ocasionar picos de tensão na saída de condução devido às indutâncias parasitas, as quais devem ser minimizadas no desenvolvimento do *layout* para tornar esse efeito menos prejudicial.

III. TOPOLOGIA BRIDGELESS

A topologia do retificador *boost bridgeless* está apresentada na Figura 6. A estrutura consiste em dois diodos (D_1 e D_2) e dois interruptores controlados (S_1 e S_2).

Com base na premissa de que o conversor opera no modo de condução contínua da corrente no indutor – MCC, durante o semiciclo positivo da tensão de suprimento v_g , os interruptores

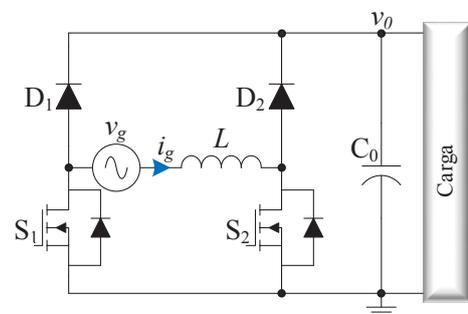


Fig. 6. Topologia do retificador monofásico *bridgeless* com correção ativa do fator de potência. Os interruptores controlados S_1 e S_2 são realizados por meio de GaN HEMT GS66508T enquanto os diodos D_1 e D_2 , por SCS206J de SiC.

S_1 e S_2 realizam a etapa de acúmulo de energia no indutor L , enquanto S_2 e D_1 sintetizam a etapa complementar. Para o semiciclo negativo da tensão de suprimento v_g , novamente os interruptores S_1 e S_2 atuam na etapa de acúmulo de energia no indutor L , enquanto que S_1 e D_2 sintetizam a etapa complementar. Logo, em MCC, para qualquer etapa de funcionamento há dois interruptores em série no caminho de circulação da corrente entre a fonte v_g e o capacitor C_0 do barramento CC.

Para o protótipo do conversor, foram empregados diodos de SiC, modelo SCS206AJ, da fabricante *Rohm Semiconductor*, e interruptor de GaN modelo GS66508T, da *GaN Systems*. Os principais parâmetros do dispositivo GaN HEMT utilizado são apresentados na Tabela II [17]. Salienta-se que as dimensões do componente são 7 mm × 4,5 mm e apenas 0,54 mm de altura (Figura 3), que são parâmetros muito pequenos para um componente de 650 V e 30 A quando comparados aos MOSFETs com especificações semelhantes em termos de condução de corrente e tensão de bloqueio.

TABELA II
Dados do GaN HEMT GS66508T

V_{DS}	650V
I_{DSmax}	30A
R_{DSon}	50 mΩ @ 25 °C 129 mΩ @ 150 °C
t_{rise}	3.7 ns
t_{fall}	5.2 ns
Capacitância C_{ISS}	260 pF
Capacitância C_{OSS}	65 pF
Capacitância C_{RSS}	2 pF

Em função de o dispositivo possuir dimensões reduzidas comparativamente a MOSFETs, o projeto térmico teve de considerar a pequena área de dissipação térmica. Para tanto, foi importante efetuar o cálculo preciso das perdas no interruptor durante a operação do conversor PFC. Na Figura 7, estão apresentados os gráficos que representam as perdas de comutação, considerando-se uma tensão e bloqueio do interruptor de 200 V. Na Figura 7 .a, considerou-se o conversor processando 800 W de potência e com frequência de comutação variável, ao passo que na Figura 7 .b, considerou-se a frequência de comutação constante e igual a 500 kHz, e a potência processada variando de 0 a 3 kW.

Os valores utilizados para traçar os gráficos das perdas de comutação dos componentes foram obtidos a partir de [19], em que foi realizado o teste de *double-pulse* para a determinação dos parâmetros que descrevem a energia dissipada na comutação do dispositivo. Obtiveram-se as seguintes equações de energia para a entrada em condução do interruptor:

$$E_{on} = k_1 I_L^2 + k_2 I_L + k_3, \quad (5)$$

e para a saída de condução :

$$E_{off} = k_4 I_L^2 + k_5 I_L + k_6. \quad (6)$$

Os parâmetros das equações (5) e (6) são apresentados na Tabela III.

A partir das equações que representam a energia de entrada e de saída de condução do interruptor, é possível calcular as perdas de comutação do conversor, integrando-as para um período de rede [19],

$$P_{on} = \frac{1}{T_g} \int_0^{T_g} f_s \cdot E_{on}(i_L) dt, \quad (7)$$

$$P_{off} = \frac{1}{T_g} \int_0^{T_g} f_s \cdot E_{off}(i_L) dt, \quad (8)$$

sendo,

- T_g - Período da tensão da rede;
- i_L - Corrente que flui pelo componente;
- f_s - Frequência de comutação;
- $E_{on}(i_L)$ - Energia para entrada em condução do interruptor quando conduzindo a corrente I_L ;
- $E_{off}(i_L)$ - Energia para saída em condução do interruptor quando conduzindo a corrente I_L .

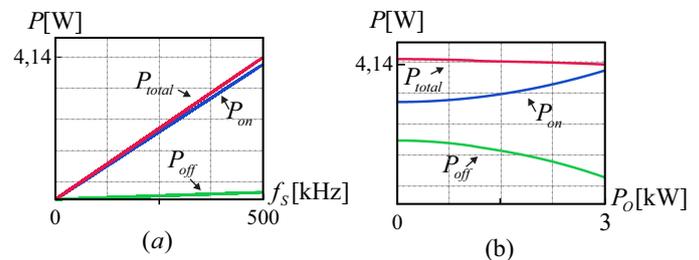


Fig. 7. Perdas de comutação em função: (a) da Frequência de comutação para $P_0 = 800$ W; e (b) da Potência processada pelo conversor para $f_s = 500$ kHz.

A. Estratégia de Controle

A estratégia de controle conhecida como controle por valores médios instantâneo foi utilizada para a regulação da tensão de saída e a imposição da corrente de entrada do conversor. Uma representação por diagrama de blocos da estratégia de controle é mostrada na Figura 8. Foi utilizado um controlador do tipo Proporcional-Integral (PI) para cada uma das malhas de controle (tensão e corrente). Essa abordagem de controle foi adotada por ser considerada bem difundida na literatura e apresentar bons resultados.

A função de transferência do conversor utilizada no projeto da malha de corrente, $G_i(s)$, é apresentada na equação (9). Para a malha de tensão, foi utilizada a função de transferência $G_v(s)$, representada na equação (10). Sendo: V_0 a tensão CC do barramento, C_0 a capacitância, P_{nom} a potência nominal do

TABELA III
Dados do GaN HEMT GS66508T. Fonte [19]

Condições de operação	200 V, 0 – 17 A	200 V, 7 – 17 A
k_1	0.0119	-
k_2	0.2464	-
k_3	5.6710	-
k_4	-0.0157	-0.0155
k_5	0.3099	0.4343
k_6	2.9879	1.9345

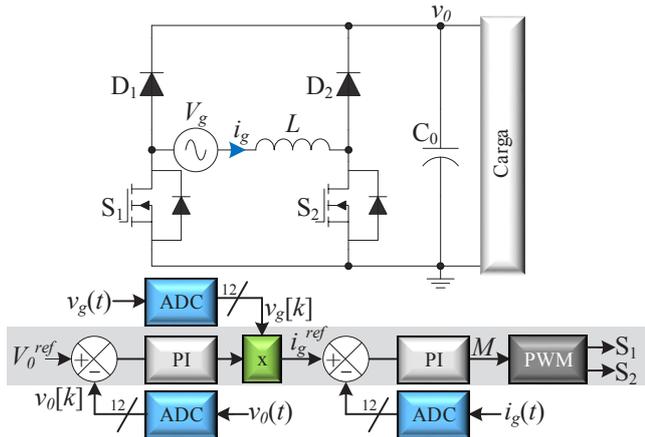


Fig. 8. Topologia *boost bridgeless* e o respectivo diagrama de blocos da estratégia de controle que viabiliza: (i) a regulação da tensão de carga v_0 ; (ii) a corrente i_g senoidal sintetizada no indutor L .

conversor, L a indutância e R_0 a carga resistiva.

$$G_i(s) = \frac{V_0}{s \cdot L + R_0} \quad (9)$$

$$G_v(s) = \frac{P_{nom} \cdot R_0}{V_0} \cdot \frac{1}{2 + s \cdot (C_0 \cdot R_0)} \quad (10)$$

Para o projeto do controlador da malha de corrente, adotou-se como frequência de cruzamento $f_{ci} = 10$ kHz e margem de fase $MF_i = 60^\circ$. Para o projeto do controlador de tensão, utilizou-se como frequência de cruzamento $f_{cv} = 12$ Hz e margem de fase $MF_v = 60^\circ$.

Para a discretização dos compensadores, utilizou-se o método de *Backward Euler* [20], que consiste basicamente em dividir a parcela integral do compensador obtido pela frequência de amostragem do processo de controle (igual a 1 MHz no presente projeto). A planta do controlador PI discretizada torna-se, então,

$$PI(z) = K_P + K_I \cdot \frac{1}{f_a} \cdot \frac{z}{z-1}, \quad (11)$$

sendo:

- f_a - Frequência de amostragem;
- $K_{P_{i,v}}$ - Ganho proporcional do controlador PI;
- $K_{I_{i,v}}$ - Ganho integral do controlador PI.

Os parâmetros dos compensadores da malha de corrente e tensão obtidos, respectivamente, foram: $K_{P_i} = 0,998$, $K_{I_i} = 0,027$, $K_{P_v} = 8,35 \cdot 10^{-5}$ e $K_{I_v} = 6,80 \cdot 10^{-4}$.

B. Modulador de Alta Resolução (HRPWM)

A implementação do modulador e do controle foi realizada digitalmente por meio do dispositivo lógico programável da família FPGA cyclone V - 5CEFA9F23C8N. Optou-se por um FPGA devido à necessidade de moduladores PWM de alta resolução e pelo baixo tempo de processamento (devido ao paralelismo de operações), que são essenciais para a execução das malhas de controle em alta frequência.

Na Figura 9, é apresentado o diagrama em blocos básico do sistema que representa os componentes digitais implementados no FPGA e os circuitos integrados externos.

Empregaram-se três conversores analógicos digitais (AD7276 [21]) para realizar as leituras de tensão e de corrente de entrada e de saída. A frequência de amostragem foi definida em 1 MHz, com duas atualizações do valor da moduladora por período de comutação.

A resolução do ADC é de 12 bits e os dados amostrados são enviados para o bloco de controle no FPGA através de um protocolo de comunicação SPI, implementado em VHDL. O sinal de saída do bloco de controle é a moduladora (razão cíclica) com resolução numérica de 10 bits, dos quais os 3 bits menos significativos representam o ganho de resolução e os 7 bits mais significativos são usados para a comparação com a portadora.

Considerando-se a forma tradicional de modulação PWM, geralmente a saída do bloco de controle (razão cíclica) é um valor numérico que deve ser limitado ao valor de pico da moduladora. No entanto, essa abordagem clássica do PWM apresenta uma baixa resolução quando operando em altas frequências, considerando-se que a resolução do PWM para portadora triangular é dada por:

$$R_{PWM} = \frac{f_{clk}}{2 \cdot f_{pwm}}, \quad (12)$$

onde,

- f_{clk} - Frequência do *clock* do contador;
- f_{clk} - Frequência do sinal PWM;
- f_{clk} - Resolução da portadora triangular.

A f_{clk} possui um valor máximo que é decorrente da tecnologia do hardware usado e do tempo de propagação do circuito sintetizado no FPGA. O aumento da f_{pwm} implica em diminuição da resolução PWM e, em casos extremos, pode trazer problemas de estabilidade e acurácia da regulação da tensão de saída e consequentemente dificuldades adicionais no controle de corrente do conversor. Na Figura 10 são ilustradas as operações realizadas para o controle do conversor, tais como: leituras dos ADCs, algoritmo de controle, dupla atualização da moduladora (razão cíclica) em um período de

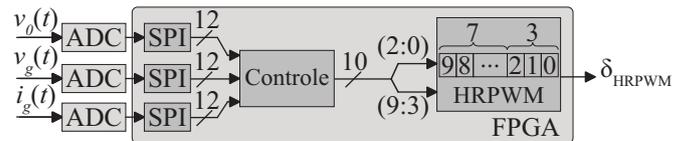


Fig. 9. Diagrama de blocos do sistema de modulação e controle e dos ADC. No FPGA estão implementados o protocolo SPI, controle digital (Controle) e o bloco modulador de alta resolução (HRPWM).

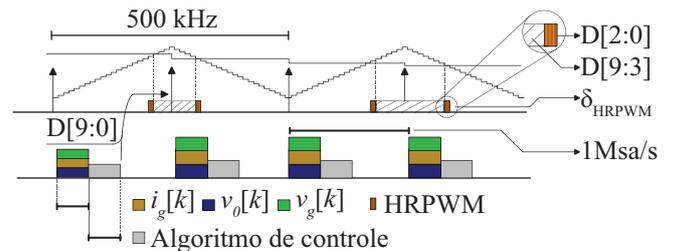


Fig. 10. Diagrama ilustrativo do sincronismo de operação do conversor: leituras dos ADCs, controle, moduladora (razão cíclica) e a parcela do ganho de resolução (3 bits - D[2:0]) na borda de subida e descida.

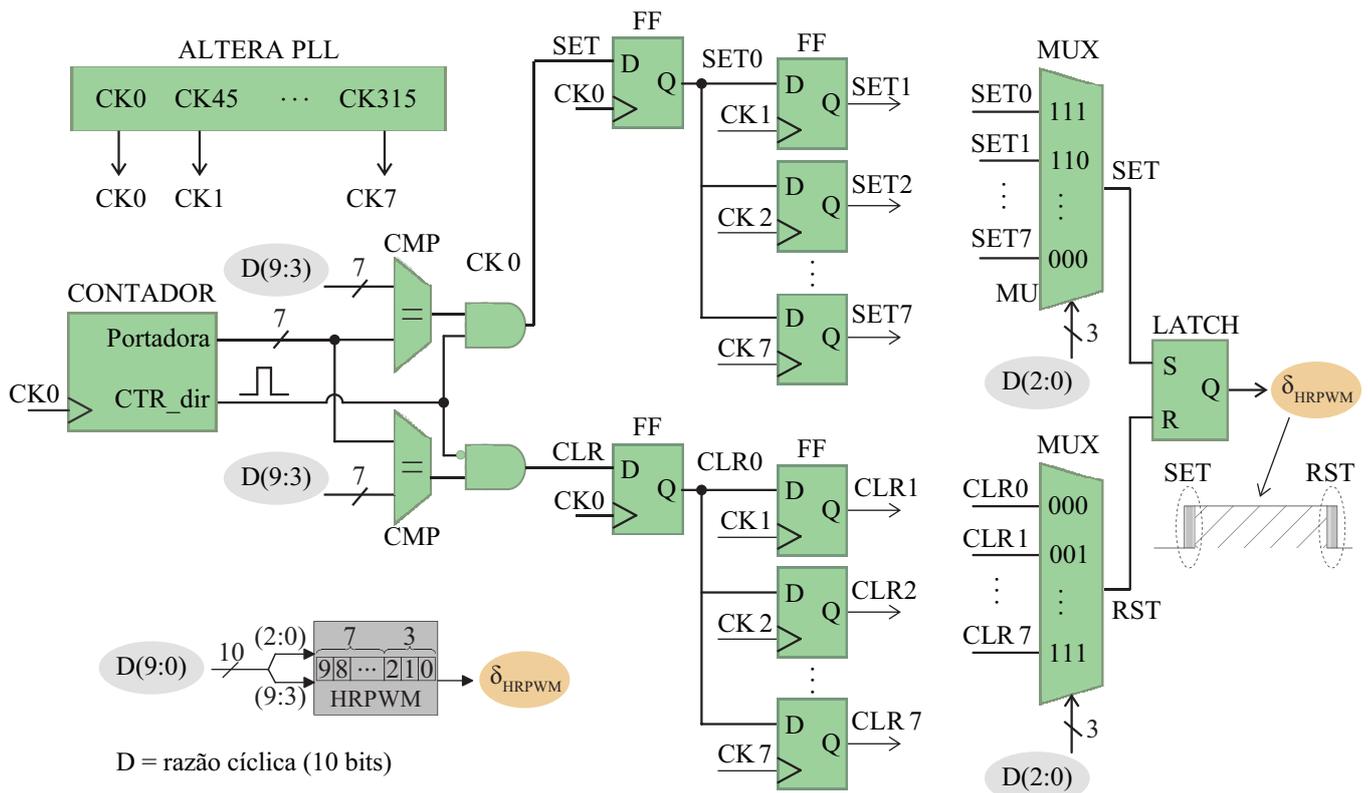


Fig. 11. Diagrama de blocos do modulador HRPWM com ganho de 3 bits. A portadora triangular possui 7 bits e o ganho de resolução é obtido na seleção dos MUXs a partir dos 3 bits menos significativos da razão cíclica. O sinal CTR_dir tem função de habilitar o SET na borda de subida e o CLR na borda de descida, gerando assim o ganho de resolução na subida e na descida.

comutação e parcela do ganho de resolução (3 bits - D[2:0]) distribuídas nas bordas de subida e descida.

Neste projeto usando o cyclone V, foi possível usar uma f_{clk} de 100 MHz. Assim, para uma f_{pwm} de 500 kHz a resolução da portadora triangular é de somente 100 pontos. Optou-se pela utilização de uma técnica de modulação de alta resolução (HRPWM) baseada em [22], que é uma estratégia do tipo síncrona que foi aperfeiçoada para manter a simetria na modulação, distribuindo-se o ganho de resolução nas bordas de descida e subida do pulso PWM. Com essa técnica, conseguiu-se neste projeto ampliar de 100 para 800 pontos (8x), ou seja, um ganho de 3 bits de resolução.

O diagrama de blocos da técnica de modulação de alta resolução implementada está apresentado na Figura 11. Inicialmente, implementa-se no FPGA uma portadora do tipo triangular a partir de um clock de referência (CK0). Com essa portadora, são feitas duas comparações com os bits mais significativos do sinal oriundo do bloco de controle, razão cíclica D(9:3): (i) na borda de subida da portadora triangular (sinalizado por CTR_dir=1), ou seja, quando o contador estiver incrementado; e (ii) na borda de descida, quando o contador estiver decrementado (sinalizado por CTR_dir=0). A partir dessas comparações, geram-se, respectivamente, os sinais de SET e CLR.

A partir de um bloco PLL (ALTERA PLL), são gerados oito clocks (CK0, CK1, CK2, ... CK7), com defasagens de 0°, 45°, 90°, 135°, 180°, 225°, 270° e 315°, respectivamente. Esses sinais são utilizados como entrada de clocks em diferentes flip-flops (FF) ativos na borda de subida, resultando em oito

sinais de SET/CLR com amostras defasadas entre si. Esses oito sinais são enviados aos circuitos multiplexadores (MUX), cujo sinal de seleção é feito com os três últimos bits da razão cíclica, D(2:0), gerando assim o sinal RST e SET da porta LATCH, cuja saída é o sinal PWM de alta resolução δ_{HRPWM} .

Com o uso dessa estrutura, é possível representar a resolução a partir da seguinte equação:

$$R_{HRPWM} = 2^{bits} \frac{f_{clk}}{2 \cdot f_{pwm}}, \quad (13)$$

onde,

- f_{clk} - Frequência do clock do contador;
- f_{pwm} - Frequência do sinal PWM;
- bits - Número de bits adicionados à resolução;
- R_{HRPWM} - Resolução da portadora triangular.

A utilização de oito sinais de clock possibilita a obtenção de um aumento na resolução do modulador de três (3) bits, segundo a equação (14):

$$bits = \log_2(n), \quad (14)$$

sendo,

- bits - Número de bits adicionados à resolução;
- n - Sinais de clock utilizados.

A Figura 12 mostra os resultados experimentais obtidos no HRPWM comparados aos do PWM clássico considerando-se incrementos de +1 na razão cíclica. Na parte superior da figura, são representados os pulsos em incrementos de +1 no

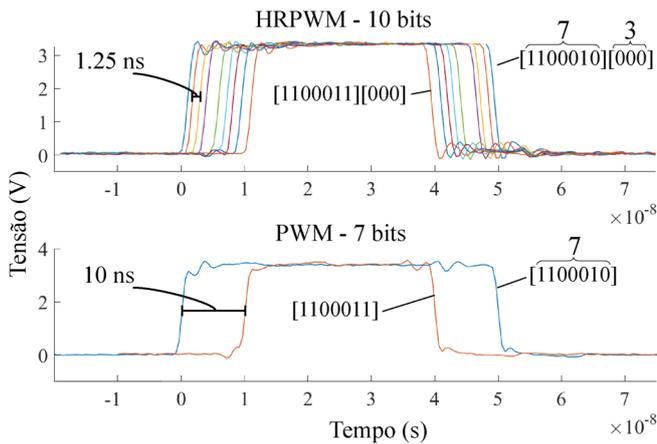


Fig. 12. Para ambos os moduladores, a portadora é de 7 bits. Entretanto, no HRPWM a razão cíclica pode ser fracionada em 8 faixas intermediárias (2^3), de [1100010][000] a [1100010][111], antes de modificar o valor de baixa resolução (7 bits). No PWM de baixa resolução, a razão cíclica varia imediatamente de [1100010][000] a [1100011][000], comprovando o ganho de 3 bits de resolução do HRPWM.

HRPWM, e na inferior tem-se a representação para o PWM clássico. Em ambos os casos, a portadora é triangular e constituída de um contador crescente/decrecente de sete (7) bits de resolução e valor de pico igual a 100 (valor máximo do contador para atingir o requisito de 500 kHz). O ganho de 3 bits do PWM para o HRPWM é referente aos 3 bits menos significativos da razão cíclica que são adicionados ao valor original (7 bits).

Para o PWM e HRPWM, o incremento de uma unidade na razão cíclica representa um incremento na largura do PWM de:

$$T_R = \frac{f_{pwm}^{-1}}{N_{max}}, \quad (15)$$

sendo,

- T_R - Período referente a uma unidade da resolução;
- f_{pwm} - Frequência do sinal PWM;
- N_{max} - Valor máximo do contador da portadora.

Assim, a partir dos parâmetros dos moduladores chega-se à Tabela IV. A largura do pulso PWM do valor [1100010] para [1100011] varia de uma unidade de razão cíclica. Dessa forma, há um decréscimo de 20 ns na sua largura. Como a portadora é do tipo triangular, tem-se 10 ns na borda de subida e 10 ns na borda de descida, conforme a Figura 12. Para o HRPWM, com o ganho de resolução de 3 bits ganham-se oito novos intervalos, sendo eles de 2,5 ns a cada incremento, o que pode ser verificado na parte superior da Figura 12.

TABELA IV
Parâmetros dos Moduladores PWM

	PWM	HRPWM
Resolução	100	800
T_R	20 ns	2,5 ns

Dois importantes figuras de mérito referentes ao HRPWM são a monotonicidade e a linearidade. É possível visualizar

na Figura 12 que os pontos mostrados possuem um comportamento monotônico e um pequeno erro de linearidade devido ao fato dos MUXs terem diferentes tempo de propagação para cada porta de entrada, gerando uma pequena degradação na linearidade.

IV. RESULTADOS EXPERIMENTAIS

O protótipo do conversor *boost bridgeless* foi construído com as especificações apresentadas na Tabela V. Os resultados experimentais visam demonstrar a operação do conversor estático e validar os seguintes aspectos: o projeto de layout de potência; o uso de interruptores de GaN; a implementação digital do controle; e, principalmente, a estratégia de modulação de alta resolução.

TABELA V
Parâmetros do Conversor Boost

Tensão eficaz de entrada	V_g	127 V @ 60 Hz
Tensão média de saída	V_0	220 V
Frequência de comutação	f_s	500 kHz
Potência de saída	P_0	915 W
Indutância boost	L	180 μ H
Capacitância de barramento	C_o	390 μ F

Na Figura 13 está apresentada uma fotografia dos interruptores montados na PCB. Ressalta-se a proximidade do circuito de *gate driver* com o interruptor, bem como a utilização de componentes SMD com encapsulamento 0603, a fim de minimizar a indutância do laço de *gate*. Também é possível visualizar o uso de vias em paralelo entre o *top layer* e o *bottom layer* para a conexão dos interruptores de GaN com os diodos de SiC. As tensões de entrada e de saída, bem como a corrente de entrada, estão apresentadas na Figura 14.

Percebe-se o efeito *Cusp* na passagem por zero da tensão da rede. No entanto, as duas formas de onda apresentam baixa defasagem entre si. A tensão de saída apresenta alta ondulação em 120 Hz devido à baixa capacitância do barramento de saída.

A forma de onda que representa o espectro harmônico da corrente que flui pelo indutor é apresentada na Figura 15. Nota-se que, entre a frequência fundamental (60 Hz) e a primeira harmônica de comutação (500 kHz), não

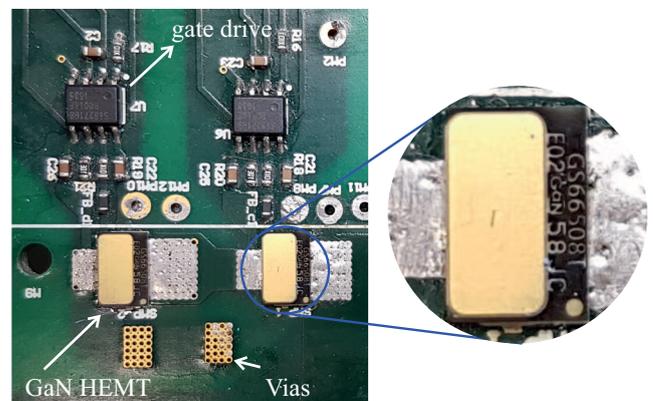


Fig. 13. Vista parcial da placa de circuito impresso evidenciando-se os interruptores, os circuitos de *gate driver* e as vias em paralelo.

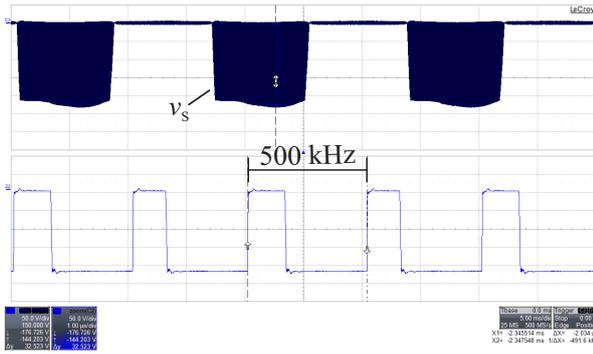


Fig. 17. Ampliação do sinal da comutação do interruptor, demonstrando que a frequência de comutação é de 500 kHz. Escalas: tensão 50 V/div Tempo 5 ms/div e 1 us/div.

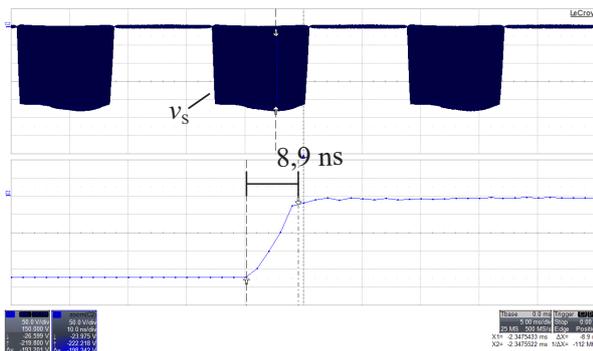


Fig. 18. Ampliação na escala do tempo de descida da tensão sobre o interruptor (medição dos cursores: 8,8 ns). Escalas: tensão 50 V/div Tempo 5 ms/div e 10 ns/div.

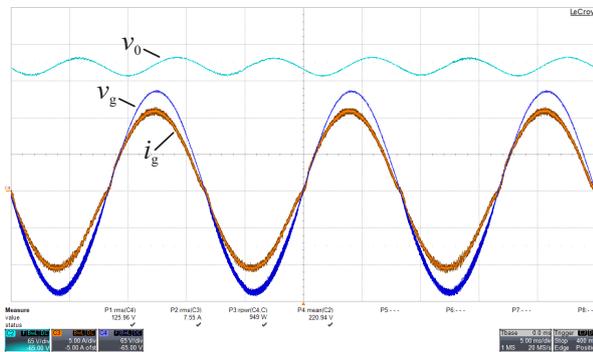


Fig. 14. Tensão e corrente de entrada e tensão de saída. Escalas: tensão 65 V/div; Corrente 5 A/div; Tempo 5 ms/div.

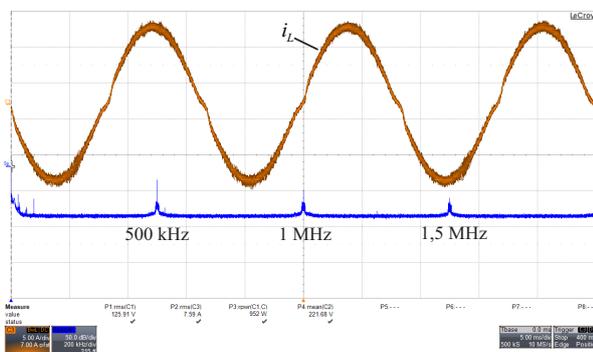


Fig. 15. Espectro harmônico da corrente no indutor *boost*. Escalas: Corrente 5 A/div; Harmônicas 50 dB/div; Frequência 200 kHz/div; Tempo 5 ms/div.

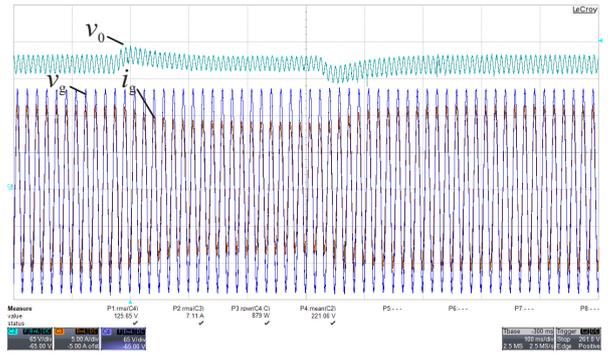


Fig. 16. Degrau de carga decrescente, de 915 W para 460 W, e de grau de carga crescente, de 460 W para 915 W. Escalas: tensão 65 V/div; Corrente 5 A/div; Tempo 100 ms/div.

há componentes de magnitude significativa, enquanto que frequências múltiplas da comutação estão localizadas as principais componentes harmônicas.

Para validação do funcionamento adequado das malhas de controle, foram realizados dois degraus de carga consecutivos, como apresentado na Figura 16. Inicialmente, o conversor processava 915 W. Diminuiu-se, então, a potência processada, passando-a para 460 W. Posteriormente, foi realizado o processo inverso, obtendo-se tempos de resposta da malha de controle próximos a 100 ms.

A tensão sobre o interruptor está apresentada na Figura 17, juntamente com uma ampliação da forma de onda. Evidencia-se a comutação em 500 kHz e o valor baixo do sobrepico de tensão no componente. Este último resulta do adequado *layout* de potência. Na Figura 18 também está apresentada uma ampliação da forma de onda da tensão do interruptor, mas com uma escala de tempo menor. O objetivo é tornar possível a análise do tempo de saída de condução do componente, que no caso foi de 8,9 ns.

Na Figura 19 estão apresentadas as formas de onda da corrente de entrada para quatro pontos de operação diferentes: 350 W, 460 W, 550 W e 915 W. Nota-se que, com a diminuição da potência processada pelo conversor, a deformação da corrente na passagem por zero se torna mais evidente, sem impacto significativo na métrica de fator de potência.

O rendimento global do conversor foi mensurado por meio do analisador de potência WT500 (*Yokogawa*). O rendimento máximo obtido foi de aproximadamente 96 %, como visto na curva de rendimento apresentada na Figura 20, juntamente com um fator de potência máximo de 0,995.

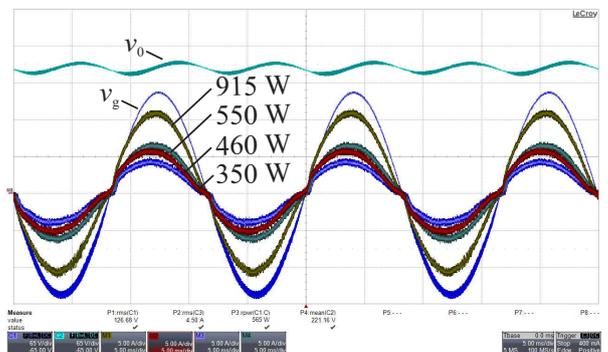


Fig. 19. Resultados experimentais com tensão do barramento CC e corrente de entrada para quatro pontos de operação distintos de potência processada na carga (350 W, 460 W, 550 W e 915 W).

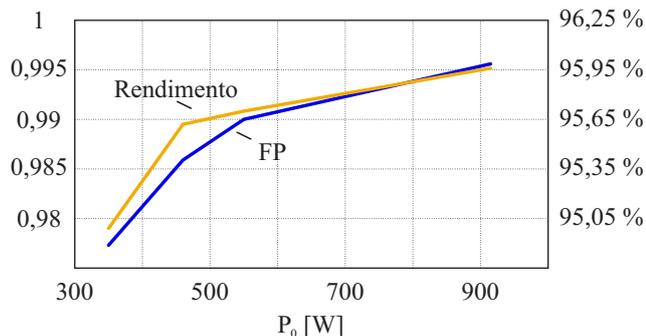


Fig. 20. Curvas de rendimento e fator de potência do conversor, para a faixa de operação de 350 W à 915 W.

V. CONCLUSÕES

Neste trabalho, apresentaram-se a implementação bem como a validação experimental de um conversor *boost bridgeless* por meio de interruptores de nitreto de gálio com frequência de comutação igual a 500 kHz e modulador de alta resolução. Devido à operação do conversor com elevada frequência de comutação, uma gama de desafios foi estabelecida no que concerne: (i) à estratégia de modulação e controle digital baseada em FPGA; (ii) e à implementação de *layout* de potência hábil para minimização de indutâncias parasitas tanto no circuito de potência quanto no de acionamento do interruptor e de instrumentação e controle.

Os resultados experimentais apresentados evidenciaram: (i) a operação do conversor estático no que concerne a uma solução CA-CC com correção ativa do fator de potência – neste sentido, resultados para distintos níveis de potência na carga foram apresentados, os quais validam a implementação, por meio do FPGA, da estratégia de modulação e controle digital; e (ii) os resultados de operação do interruptor de GaN demonstraram transição adequada entre os estados de bloqueio e condução em intervalos inferiores a 10 ns e ausência de sobretensão nos terminais *drain-source*. Esses resultados corroboram e validam os esforços no que tange à implementação do circuito de acionamento do interruptor de GaN bem como na realização do *layout* do protótipo.

Por fim, os interruptores GaN HEMTs surgem como uma alternativa aos tradicionais MOSFETs devido à possibilidade de se empregar frequências de comutação mais elevadas.

REFERÊNCIAS

[1] L. Huber, Y. Jang, M. M. Jovanovic, “Performance Evaluation of Bridgeless PFC Boost Rectifiers”, *IEEE Transactions on Power Electronics*, vol. 23, no. 3, pp. 1381–1390, May 2008.

[2] A. D. B. Lange, T. B. Soeiro, M. S. Ortmann, M. L. Heldwein, “Three-Level Single-Phase Bridgeless PFC Rectifiers”, *IEEE Transactions on Power Electronics*, vol. 30, no. 6, pp. 2935–2949, Jun. 2015.

[3] T. K. Jappe, R. R. Polla, T. B. Soeiro, A. Fuerback, M. L. Heldwein, R. Andrich, “An FPGA-based single-phase interleaved boost-type PFC converter employing GaN HEMT devices”, in *2013 Brazilian Power Electronics Conference*, pp. 1324–1329, Oct 2013.

[4] A. Lidow, J. Strydom, M. de Rooji, D. Reusch, *GaN Transistors for Efficient Power Conversion*, Wiley, 2015.

[5] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, Springer, 2008.

[6] E. A. Jones, F. F. Wang, D. Costinett, “Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges”, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 707–719, Sep. 2016.

[7] E. Mitani, H. Haematsu, S. Yokogawa, “Mass-Production of High-Voltage GaAs and GaN Devices”, *CS MANTECH Conference, Vancouver, B C, Canada*, pp. 183–186, 2006.

[8] E. A. Jones, F. Wang, B. Ozpineci, “Application-based review of GaN HFETs”, in *IEEE Workshop on Wide Bandgap Power Devices and Applications*, pp. 24–29, 2014.

[9] Q. Huang, A. Q. Huang, “Review of GaN totem-pole bridgeless PFC”, *CPSS Transactions on Power Electronics and Applications*, vol. 2, no. 3, pp. 187–196, Sept 2017.

[10] Z. Liu, F. C. Lee, Q. Li, Y. Yang, “Design of GaN-Based MHz Totem-Pole PFC Rectifier”, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 799–807, Sept 2016.

[11] S. Dusmez, Z. Ye, “Designing a 1kW GaN PFC stage with over 99efficiency and 155W/in³ power density”, in *IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, pp. 225–232, Oct 2017.

[12] W. Zhang, Y. Cui, F. Wang, L. M. Tolbert, B. J. Blalock, D. J. Costinett, “Investigation of Gallium Nitride devices benefits on LLC resonant DC-DC converter”, in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 146–153, Mar. 2015.

[13] W. Zhang, Y. Long, Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock, S. Henning, C. Wilson, R. Dean, “Evaluation and comparison of silicon and gallium nitride power transistors in LLC resonant converter”, in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1362–1366, Sep. 2012.

[14] M. Ishida, T. Ueda, T. Tanaka, D. Ueda, “GaN on Si Technologies for Power Switching Devices”, *IEEE Transactions on Electron Devices*, vol. 60, no. 10, pp. 3053–3059, 2013.

[15] W. Zhang, F. Wang, D. J. Costinett, L. M. Tolbert, B. J. Blalock, “Investigation of Gallium Nitride Devices in High-Frequency LLC Resonant Converters”, *IEEE Transactions on Power Electronics*, vol. 32, no. 1, pp. 571–583, Jan 2017.

[16] R. Reiner, P. Waltereit, B. Weiss, R. Quay, O. Ambacher, “Investigation of GaN-HEMTs in Reverse Conduction”, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management – PCIM Europe*, pp. 1–8, May 2017.

[17] GaN Systems Inc, *GS66508T Top-side cooled 650 V E-mode GaN transistor Preliminary Datasheet*, 2016.

- [18] GaN Systems®, *GN001 Application Guide*, Oct. 2016.
- [19] E. A. Jones, F. Wang, D. Costinett, Z. Zhang, B. Guo, B. Liu, R. Ren, “Characterization of an enhancement-mode 650-V GaN HFET”, in *IEEE Energy Conversion Congress and Exposition (ECCE2015)*, pp. 400–407, sep 2015.
- [20] S. Buso, P. Mattavelli, *Digital Control in Power Electronics, 2nd Edition*, Morgan & Claypool, 2015.
- [21] Analog Devices®, *AD7276/AD7277/AD7278*, 2015.
- [22] D. Navarro, . Lucía, L. A. Barragán, J. I. Artigas, I. Urriza, . Jiménez, “Synchronous FPGA-Based High-Resolution Implementations of Digital Pulse-Width Modulators”, *IEEE Transactions on Power Electronics*, vol. 27, no. 5, pp. 2515–2525, May 2012.
- [23] T. Kommers Jappe, R. R. Polla, A. L. Fuerback, M. Lobo Heldwein, T. Batista Soeiro, R. Andrich, “An Fpga-based Single-phase Interleaved Boost-type Pfc Rectifier Employing Gan Hemt Devices”, *Eletrônica de Potência*, vol. 19, no. 4, pp. 414–422, Nov. 2014.

DADOS BIOGRÁFICOS

Murilo K. Lohn, obteve o grau de Engenheiro eletricista e Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC), Florianópolis, Brasil, em 2015 e 2018, respectivamente. Seus interesses de pesquisa incluem modulação e controle digital, retificadores PFC, microinversores. Membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP)

José Augusto Arbugeri, graduando em engenharia eletrônica pela Universidade Federal de Santa Catarina (UFSC), Florianópolis, Brasil. Seus interesses de pesquisa incluem controle digital, retificadores PFC e linguagens de descrição de *Hardware*. Membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP).

André S. de Carvalho, obteve o grau de Engenheiro Eletricista pela Universidade Federal de Santa Catarina

(UFSC), Florianópolis, Brasil, em 2017. Seus interesses de pesquisa são controle digital aplicado a FPGA, projeto e *layout* PCB de *hardware* para sistemas embarcados.

Tiago Kommers Jappe obteve o grau de Engenheiro eletricista pela Universidade Regional do Noroeste do Estado do Rio Grande do Sul (UNIJUÍ), Ijuí, Brasil, em 2006. Recebeu o grau de Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC) em 2009 e 2015 respectivamente, na área de concentração em Eletrônica de Potência e Acionamento Elétrico. Entre 2016 e 2017 realizou estágio de pós-doutorado na *Technische Universität Dresden* (TUD), Dresden, Alemanha com pesquisa direcionada ao desenvolvimento de conversores estáticos aplicados a sistemas de conversão para fontes alternativas de energia. Atualmente, Dr. Jappe atua no centro de pesquisa e desenvolvimento da *ON Semiconductor* em Munique, Alemanha, com pesquisa direcionada ao uso de conversores estáticos em aplicações automotivas e fontes alternativas de energia.

Samir Ahmad Mussa, Recebeu o grau de Engenheiro eletricista pela Universidade Federal de Santa Maria em 1988, recebeu grau de Mestre e de Doutor pela Universidade Federal de Santa Catarina em 1994 e 2003 respectivamente e Pós-Doutorado no Imperial College London, Inglaterra entre 2015 e 2016. Possui graduação em Matemática e habilitação em Física pela UNIFRA, Santa Maria-RS (1986). Atualmente ocupa o cargo de professor no Departamento de Engenharia Elétrica e Eletrônica (EEL) da Universidade Federal de Santa Catarina (UFSC) e pesquisador no Instituto de Eletrônica de Potência (INEP). Seus interesses de pesquisa incluem retificadores PFC, processamento de sinais digitais e controle aplicado em eletrônica de potência, sistemas baseados em DSP, FPGA e microprocessadores. Dr. Mussa é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e do *IEEE Society*.