

9S-SSI: PROPOSTA, ANÁLISE E MODULAÇÃO

Leonardo Acosta Rodrigues, Diego Brum Chaves e Felipe Bovolini Grigoletto
Laboratório de Processamento de Energia e Controle - LAPEC, Universidade Federal do Pampa, Alegrete - RS, Brasil
e-mail: leonardoactrodrigues@gmail.com, diegobchaves29@gmail.com e grigoletto@gmail.com

Resumo – A topologia *Nine-Switch* (9S) é uma interessante alternativa frente ao tradicional inversor *back-to-back* trifásico, pois permite a redução do número de interruptores de potência. Por outro lado, algumas aplicações dispõem de tensões CC menores que o valor mínimo requerido para síntese da tensão alternada de saída, sendo necessário o emprego de um estágio CC-CC adicional. Neste sentido, o inversor com fonte dividida ou *Split-Source Inverter* (SSI) agrega a elevação e inversão de tensão em um único estágio de processamento de energia, dispensando múltiplos conversores. Este artigo propõe a topologia 9S-SSI que une as características de dupla porta bidirecional trifásica conjuntamente com o estágio de elevação de tensão CC. É proposta uma estratégia de modulação PWM abordada de forma vetorial e escalar. Ambas abordagens são correlatas, contudo a primeira permite a escolha direta dos vetores de comutação enquanto que a segunda possui a vantagem da facilidade de implementação. Além disso, uma análise de perdas e o dimensionamento dos dispositivos de potência são apresentados. Resultados de simulação e experimentais são apresentados para demonstrar o bom desempenho da topologia e estratégias de modulação propostas.

Palavras-chave – Palavras-Chave – Inversor 9S, Modulação Vetorial, Modulação Escalar, Inversor com Fonte Dividida.

ANALYSIS AND MODULATION OF NINE-SWITCH SPLIT SOURCE INVERTER (9S-SSI)

Abstract – The nine-switch (9S) topology is an interesting alternative to the traditional three-phase back-to-back converter because it allows the reduction of active semiconductors count. On the other hand, some applications have input dc voltages lower than that minimum required for the synthesis of ac voltages and an additional dc-dc stage is required. Furthermore, the Split-Source Inverter (SSI) aggregates the boost and inversion stage in a single power processing unit, eliminating multiple converters. This paper proposes the Nine-Switch Split-Source Inverter (9S-SSI) that joins the characteristic of dual three-phase power ports with the dc voltage boost stage. In addition, a PWM strategy is proposed where the SV and scalar approaches are presented. Both approaches are correlated, however the first one allows the direct choice of switching vectors while

the second has the advantage of ease of implementation. Furthermore, the loss analysis and the dimensioning of power devices are presented. Simulation and experimental results are presented to demonstrate the good performance of the proposed topology and modulation strategy.

Keywords – Nine-Switch Inverter, Space Vector Modulation, Escalar Modulation, Split-Source Inverter.

I. INTRODUÇÃO

Sistemas de conversão de energia AC-DC-AC presentes em aplicações industriais podem requerer diversos estágios de conversão [1]. O inversor com duas portas trifásicas e 12 interruptores, comumente conhecido por *back-to-back two-level voltage source converter* (B2B 2L-VSC) é geralmente utilizado por conta de sua bidirecionalidade de potência e desacoplamento entre dois subsistemas. Por outro lado, a redução do número de interruptores de potência pode representar redução de custo e/ou aumento de confiabilidade em determinadas aplicações. Desta forma, conversores matriciais [2], [3] são apresentados como uma alternativa para eliminar o capacitor do barramento CC. Entretanto, uma comparação realizada por [4] mostra que esses conversores podem não ser apropriados para uso geral em condições de baixa tensão e baixa potência; ainda, possuem baixa flexibilidade e problemas relacionados à bidirecionalidade de potência. Uma outra opção para tais aplicações é a topologia 9S [5], que quando comparada ao tradicional B2B 2L-VSC, reduz o número de interruptores de potência de doze para nove.

Quando se trata de estratégias de modulação para o inversor 9S, existem restrições em função da máxima amplitude e deslocamento de fase das tensões de saída [6]. Em 2012, uma comparação entre as estratégias de modulação *Sinusoidal Pulse Width Modulation* (SPWM) e *Space Vector Pulse Width Modulation* (SVPWM) foi realizada [7], em que são mostradas vantagens da modulação SVPWM, como sequências de comutação otimizadas e ondulação de corrente reduzida. Uma estratégia de modulação PWM generalizada foi proposta por [8] com o objetivo de reduzir as perdas na conversão de energia. Isto é realizado por meio da redução do número de comutações por período e o grampeamento das tensões de saída das unidades inversoras de forma sincronizada com o valor máximo dos sinais de corrente correspondentes, evitando assim altas perdas de comutação. Em [1] é proposta uma estratégia de modulação SVM que reduz a quantidade de comutações nos interruptores centrais diminuindo as perdas de energia no lado da carga o que resulta em melhora na eficiência do sistema conversor como um todo.

A fim de unir os estágios de elevação e inversão de tensão dispondo de reduzido número de elementos passivos e ativos,

Manuscript received 05/13/2020; first revision 09/13/2020; accepted for publication 10/15/2020, by recommendation of Editor Demercil de Souza Oliveira Jr. <http://dx.doi.org/10.18618/REP.2020.4.0030>

foi proposta a topologia *Split-Source Inverter* (SSI) [9]. Este inversor surgiu como uma alternativa aos já consolidados inversores tipo fonte de impedância, *Z-Source Inverter* (ZSI). Esses últimos apresentam uma complexa rede de impedâncias para produzir a elevação de tensão, além de um estado adicional de comutação, conhecido por *shoot-through*.

Em 2012, foi proposto o inversor 5S [10] que explora a bidirecionalidade e a interface entre sistema de entrada e saída. Esse inversor emprega uma nova forma de otimizar o conversor de seis chaves convencional [11] após a ascensão da topologia ZSI e suas derivações. Entretanto, a etapa de ganho veio a ser explorada em 2018 na topologia nomeada de S³I [12]. Diversas ramificações da estrutura SSI surgiram no decorrer dos últimos anos, tanto para a versão trifásica como monofásica [12]–[17].

Este artigo propõe a topologia *Nine-Switch Split-Source Inverter* (9S-SSI). Esta topologia apresenta três portas, sendo duas destas de natureza alternada, trifásicas e bidirecionais e uma porta CC unidirecional com capacidade de elevação de tensão. A Fig.1 mostra uma comparação em que o sistema proposto é capaz agregar três conversores estáticos em um único estágio.

A topologia 9S-SSI pode operar de duas maneiras: 1) modo *Constant Frequency* (CF), onde as portas trifásicas possuem frequências iguais, e 2) modo *Variable Frequency* (VF) em que as portas trifásicas apresentam frequências distintas, como apresentado em [18]. Por exemplo, este sistema pode operar no modo VF para a alimentação dual de motores [19] e no modo CF como fonte ininterrupta de energia *Uninterruptible Power Supply* (UPS) [5]. Ademais, ambas aplicações podem agregar fontes renováveis de energia tais como a solar fotovoltaica. Na aplicação citada, os painéis fotovoltaicos podem substituir a fonte de tensão V_E mostrada na Fig. 2. Além disso, este artigo propõe uma estratégia de modulação PWM para síntese das tensões de saída e que incorpore o ganho de tensão do inversor. A estratégia é abordada da forma vetorial e também da forma escalar com injeção de tensão de modo comum. As duas abordagens são correlatas em suas formas de implementação por comparação com portadora. Simulações e resultados experimentais são apresentados a fim de validar a topologia proposta.

II. TOPOLOGIA PROPOSTA

A topologia 9S-SSI proposta é formada pelo inversor 9S acrescido de três diodos (D_E) e um indutor de entrada (L), como mostrado Fig. 2. A Tabela I apresenta os 16 estados de comutação da topologia, onde 'x' pode assumir tanto 1 quanto 0. Além disso, são apresentados os vetores do espaço de tensão $\alpha\beta$ e a energia no indutor de entrada. Note que apenas um dos estados do inversor descarrega o indutor de entrada L.

Para efeito de nomenclatura, os interruptores s_3, s_6 e s_9 são denominados inferiores, os interruptores s_2, s_5 e s_8 são denominados intermediários e os interruptores s_1, s_4 e s_7 são denominados superiores. Quando os interruptores superiores e intermediários de todos os braços do inversor estiverem em condução, o indutor de entrada L entrega a energia acumulada ao capacitor C. Qualquer outra combinação de acionamento resulta no acúmulo de energia no indutor L. Os estados em

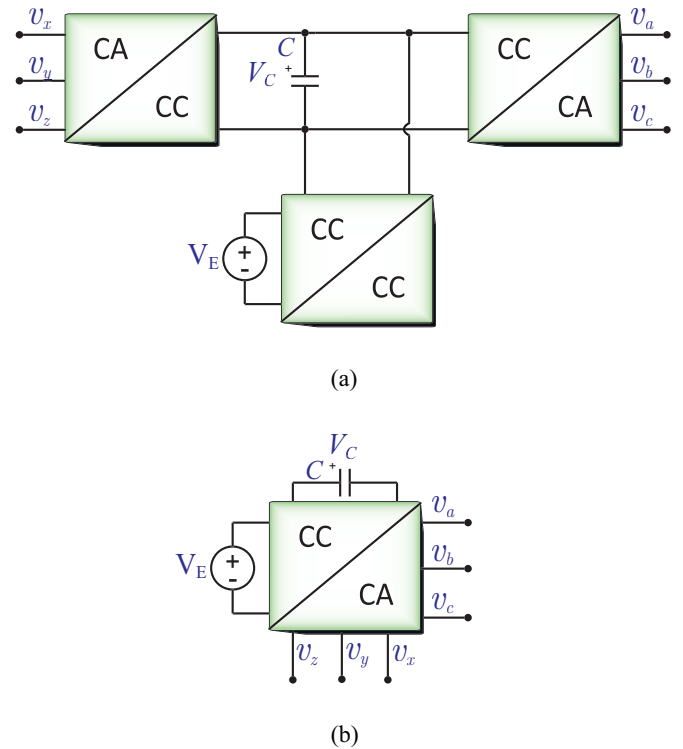


Fig. 1. Diagrama de blocos comparativo. (a) Estrutura trifásica *back-to-back* e conversor elevador CC-CC. (b) Estrutura proposta 9S-SSI.

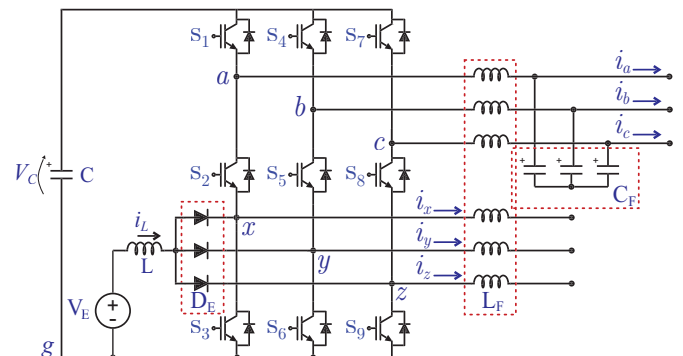


Fig. 2. Estrutura da topologia nove-chaves de fonte dividida proposta com filtros LC e L conectados nas portas trifásicas.

que o indutor acumula energia e entrega energia ao capacitor C são apresentados na Fig. 3. De acordo com os estados de comutação da Tabela I, a lógica de acionamento dos interruptores s_2, s_5 e s_8 são definidos como:

$$\begin{aligned} s_2 &= \overline{s_1 \cdot s_3} \\ s_5 &= \overline{s_4 \cdot s_6} \\ s_8 &= \overline{s_7 \cdot s_9}, \end{aligned}$$

onde o nível 1 representa que estes estão em condução, e 0 que estão em bloqueio.

As equações dinâmicas que determinam o comportamento da corrente no indutor L e tensão no capacitor C para os estados $V_0, \dots, V_7, V'_0, \dots, V'_6$ são dadas de acordo com (1):

$$\frac{di_L}{dt} = \frac{V_E}{L}, \quad \frac{dv_C}{dt} = \frac{i_C}{C}. \quad (1)$$

Por outro lado, as equações dinâmicas da corrente no

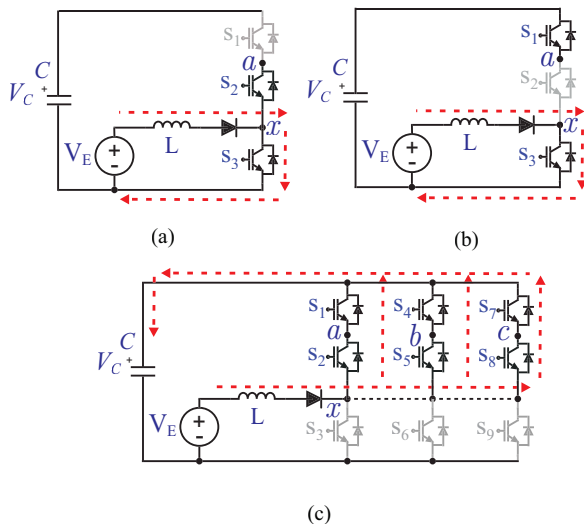


Fig. 3. Estados de carga e descarga do estágio de entrada. (a) $v_{ag} = v_{xg} = 0$ e o indutor acumula energia. (b) $v_{ag} = V_C$, $v_{xg} = 0$ e o indutor acumula energia. (c) $v_{ag} = v_{xg} = V_C$ e o indutor entrega energia ao capacitor.

indutor L e tensão no capacitor C para o estado V_7' são dadas de acordo com (2):

$$\frac{di_L}{dt} = \frac{V_E - v_C}{L}; \quad \frac{dv_C}{dt} = \frac{i_C - i_L}{C}. \quad (2)$$

O ganho CC do inversor pode ser definido pela relação

$$\frac{V_C}{V_E} = \frac{1}{1-D}, \quad (3)$$

onde $D = 1 - d_7'$. O termo d_7' é a duração do vetor V_7' , dividido pelo período de comutação T_s .

TABELA I
Estados de comutação do inversor

Vetores	Estados dos interruptores						Energia no Indutor L
	S_1	S_4	S_7	S_3	S_6	S_9	
V_0	0	0	0	1	1	1	↑
V_1	1	0	0	x	x	x	↑
V_2	1	1	0	x	x	x	↑
V_3	0	1	0	x	x	x	↑
V_4	0	1	1	x	x	x	↑
V_5	0	0	1	x	x	x	↑
V_6	1	0	1	x	x	x	↑
V_7	1	1	1	x	x	x	↑
V_0'	x	x	x	1	1	1	↑
V_1'	1	x	x	0	1	1	↑
V_2'	1	1	x	0	0	1	↑
V_3'	x	1	x	1	0	1	↑
V_4'	x	1	1	1	0	0	↑
V_5'	x	x	1	1	1	0	↑
V_6'	1	x	1	0	1	0	↑
V_7'	1	1	1	0	0	0	↓

III. ESTRATÉGIA DE MODULAÇÃO PWM

A. Abordagem Space Vector (SV)

A Fig. 4 apresenta o diagrama SV em coordenadas $\alpha\beta$ onde são representados os vetores de comutação e os vetores de tensão de referência u_{abc} e u_{xyz} a serem sintetizados em cada uma das portas trifásicas. Cabe salientar que V_{0-7} referem-se aos vetores de comutação empregados na síntese de u_{abc} enquanto que $V_{0'-7}'$ referem-se aos vetores de comutação a serem empregados na síntese de u_{xyz} .

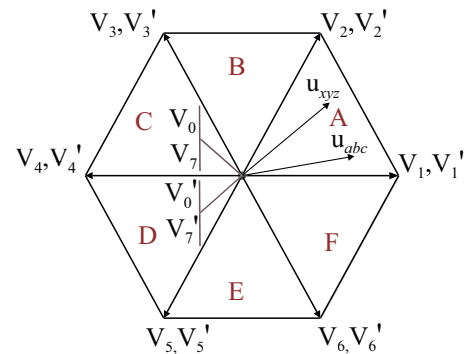


Fig. 4. Diagrama SV em coordenadas $\alpha\beta$.

Note pela Fig. 3 que uma das limitações da topologia 9S vem do fato que as tensões v_{xg} , v_{yg} e v_{zg} só podem assumir instantaneamente o valor de tensão V_C quando as fases v_{ag} , v_{bg} e v_{cg} respectivamente também o assumirem. Para evitar que essa característica de operação resulte em penalidades nos índices de modulação, a estratégia proposta exclui o vetor V_0 referente à saída trifásica abc . Já a Fig. 5 ilustra a lógica de atuação dos sinais PWM a partir da comparação dos sinais modulantes de referência v_{ag}^* e v_{xg}^* com um sinal portador triangular. Note que o acionamento dos interruptores s_3 , s_6 e s_9 possui lógica de comparação do tipo ativo alto enquanto que s_1 , s_4 e s_7 possuem lógica do tipo ativo baixo.

A topologia 9S-SSI pode operar em dois modos de operação distintos: portas trifásicas com mesma frequência (CF) ou em frequências distintas (VF), como será descrito nas próximas subseções.

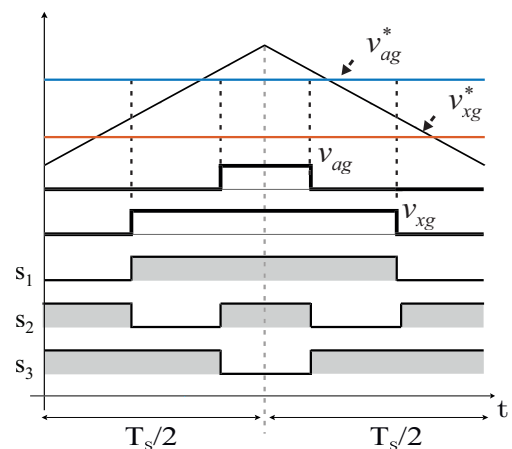


Fig. 5. Geração dos sinais PWM para as fases a e x .

1) *Modo de Operação CF*: Neste modo de operação, as tensões de ambas as portas possuem frequências iguais,

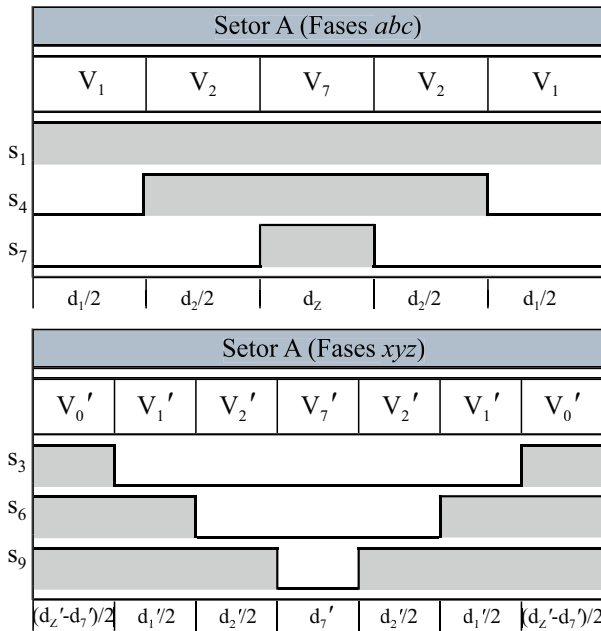


Fig. 6. Sequência de comutação para o modo de operação CF, quando ambos os vetores de referência u_{abc} e u_{xyz} se encontram no setor A.

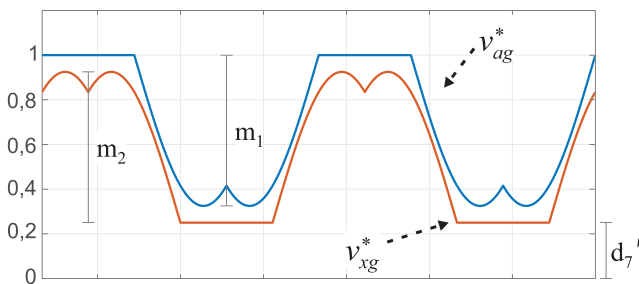


Fig. 7. Sinais modulantes no modo de operação CF para as fases a e x , considerando $m_{1,2} = 0,675$ e $d_7' = 0,25$.

podendo apenas diferir em amplitude. Desta forma, os vetores de comutação empregados para a síntese de u_{abc} e u_{xyz} são coincidentes, com a única diferença que o vetor nulo V_0 não é empregado, como já mencionado. Por outro lado, para a síntese de u_{xyz} são empregados ambos os vetores nulos V_0' e V_7' . A duração d_7' referente ao vetor V_7' é inversamente proporcional ao ganho do inversor de acordo com (3). Para garantir que não existam componentes de baixa frequência na tensão do barramento CC e corrente de entrada, a duração do vetor V_7' deve ser constante [9]. A Fig. 6 ilustra a ordem de comutação quando os vetores referência estão no setor A, onde d_z representa a duração total dos vetores nulos.

A medida que a duração da descarga do indutor d_7' é elevada, menor é a duração do vetor V_0' . Tendo em vista que as chaves s_3 , s_6 e s_9 não podem estar abertas quando s_1 , s_4 e s_7 estiverem, o aumento de duração da descarga d_7' implica na redução do índice máximo de modulação das portas trifásicas, o que pode ser definido como:

$$\begin{aligned} m_1 &\leq 1 - d_7' \\ m_2 &\leq 1 - d_7', \end{aligned} \quad (4)$$

onde m_1 e m_2 são os índices de modulação associados às fases abc e xyz , respectivamente. A Fig. 7 ilustra os sinais modulantes resultantes para as fases a e x com índices de

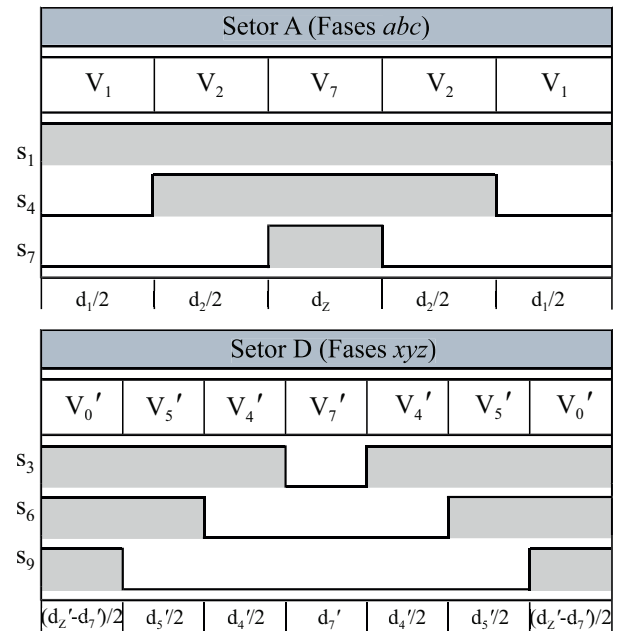


Fig. 8. Sequência de comutação para o modo de operação VF, quando o vetor de referência u_{abc} se encontra no setor A e u_{xyz} no setor D.

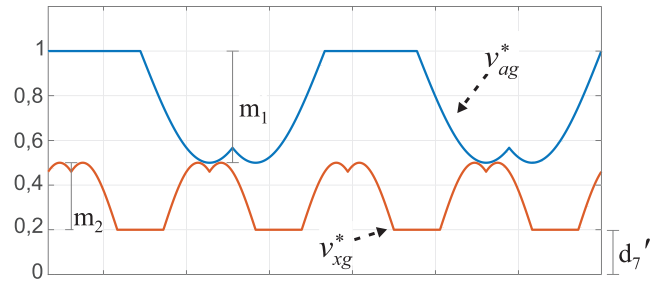


Fig. 9. Sinais modulantes para o modo de operação VF para as fases a e x , considerando $m_1 = 0,5$, $m_2 = 0,3$ e $d_7' = 0,2$.

modulação $m_{1,2} = 0,675$ e duração do tempo de descarga $d_7' = 0,25$. Note que, para a operação adequada do inversor, os sinais modulantes ilustrados na Fig. 7 não devem se interceptar. Portanto, a não utilização do vetor V_0 na porta trifásica abc fixa os sinais modulantes no limite superior, garantindo maior região linear.

Pela Fig. 7, é possível perceber que o deslocamento vertical do sinal modulante referente a fase x pode ser interpretado como a duração d_7' de descarga do indutor L . Para que os sinais modulantes não se interceptem, a medida que esse deslocamento aumenta, menor é o índice máximo de modulação pela relação definida em (4).

2) *Modo de Operação VF*: Neste modo de operação, as tensões trifásicas podem apresentar frequências distintas. Neste caso, as referências de tensão no plano $\alpha\beta$ podem não estarem sincronizadas e os vetores de comutação implementados para as duas portas trifásicas podem ser diferentes. Isso ocasiona variações nas restrições para os índices de modulação conforme a diferença angular entre as referências de tensão. A condição de maior limitação sobre os índices de modulação ocorre quando a diferença angular entre u_{abc} e u_{xyz} é de 180° . A Fig. 8 ilustra a ordem de comutação correspondente para esse caso, onde o vetor u_{abc} se encontra no setor A e o vetor u_{xyz} se encontra no setor D.

Supondo tensões de referência definidas por $u_{abc} = [m_1 \cos(\theta) \ m_1 \sin(\theta) \ 1]$ e $u_{xyz} = [m_2 \cos(\theta) \ m_2 \sin(\theta) \ 1]$, considerando uma diferença angular entre as referências de 180° , as durações dos vetores de comutação podem ser determinadas como:

$$u_{abc} = M_A [d_1 \ d_2 \ d_Z]^T, u_{xyz} = M_D [d_4' \ d_5' \ d_Z']^T,$$

$$M_A = \begin{bmatrix} v_{\alpha 1} & v_{\alpha 2} & 0 \\ v_{\beta 1} & v_{\beta 2} & 0 \\ 1 & 1 & 1 \end{bmatrix}, M_D = \begin{bmatrix} v_{\alpha 4} & v_{\alpha 5} & 0 \\ v_{\beta 4} & v_{\beta 5} & 0 \\ 1 & 1 & 1 \end{bmatrix}, \quad (5)$$

onde $v_{\alpha 1, \dots, 5}$ e $v_{\beta 1, \dots, 5}$ representam as posições dos vetores de comutação no diagrama SV. Desta forma as durações dos vetores podem ser determinadas por:

$$\begin{bmatrix} d_1 \\ d_2 \\ d_Z \end{bmatrix} = M_A^{-1} u_{abc} = M_A^{-1} \begin{bmatrix} m_1 \cos(\theta) \\ m_1 \sin(\theta) \\ 1 \end{bmatrix} \quad (6)$$

$$\begin{bmatrix} d_4' \\ d_5' \\ d_Z' \end{bmatrix} = M_D^{-1} u_{xyz} = M_D^{-1} \begin{bmatrix} m_2 \cos(\theta + 180^\circ) \\ m_2 \sin(\theta + 180^\circ) \\ 1 \end{bmatrix}.$$

A fim de assegurar a adequada operação do inversor, a soma das durações dos vetores V_4' , V_5' e V_7' referente à síntese de u_{xyz} deve ser igual ou menor a duração do vetor nulo V_7 , referente à síntese de u_{abc} . Então as restrições podem ser escritas como

$$d_4' + d_5' + d_7' \leq d_Z,$$

$$m_2 \left(\frac{\sqrt{3}}{2} \cos(\theta + 180^\circ) + \frac{1}{2} \sin(\theta + 180^\circ) \right) + d_7' \dots \quad (7)$$

$$\dots \leq 1 - m_1 \left(\frac{\sqrt{3}}{2} \cos(\theta) + \frac{1}{2} \sin(\theta) \right).$$

O pior caso em termos de limitação no índice de modulação ocorre quando $\theta = 30^\circ$, já que para esse ângulo a duração de d_Z associada ao vetor redundante V_7 é mínima. Manipulando (7) obtêm-se:

$$m_1 + m_2 \leq 1 - d_7'. \quad (8)$$

A Fig. 9 ilustra os sinais modulantes das fases a e x com os índices de modulação $m_1 = 0,5$, $m_2 = 0,3$, duração normalizada de descarga $d_7' = 0,2$ e frequências de operação $f_1 = 30$ Hz e $f_2 = 60$ Hz, respectivamente. É importante ressaltar que (8) foi obtida a partir da condição mais restritiva em termos de defasagem angular entre as referências de tensão. Entretanto, (8) deve ser sempre respeitada quando houver diferença de frequência entre as portas, pois isso indica que os sinais modulantes v_{ag}^* e v_{xg}^* escorregam um com relação ao outro ao longo do tempo.

A Fig. 10 mostra a região de operação do inversor, onde m pode representar: (i) os índices de modulação de forma separada no modo de operação CF de acordo com (4), ou seja, $m = m_1$ e $m = m_2$; (ii) a soma de ambos os índices no modo de operação VF de acordo com (8), ou seja, $m = m_1 + m_2$. A região sombreada do gráfico indica os possíveis pontos de operação do inversor relacionando índice de modulação e

ganho de tensão CC.

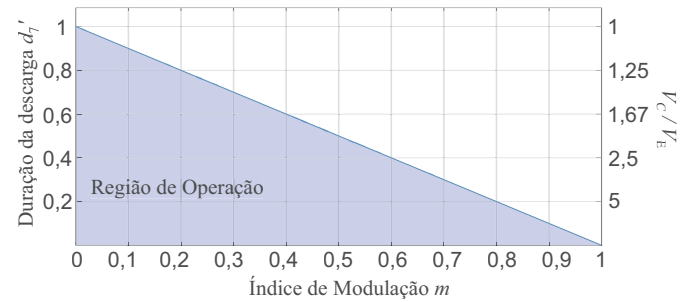


Fig. 10. Região de operação do inversor, onde $m = m_1$ e $m = m_2$ para o modo CF e $m = m_1 + m_2$ para o modo VF.

B. Abordagem Escalar por Injeção de Tensão de Modo Comum

Estratégias de modulação SV são em geral mais complexas, exigem maior número de operações matemáticas e portanto maior capacidade de processamento. Geralmente, quando são empregadas sequências de comutação típicas, existe uma relação entre estas com estratégias por comparação com portadora ou *Carrier Based Modulation* [20]. Estratégias por comparação com portadora com injeção de tensão de modo comum geralmente demandam menor esforço computacional. Além disso, essas estratégias podem ser tratadas por uma abordagem geométrica [21] a fim de encontrar as possíveis soluções para os graus de liberdade apresentados.

Supondo que as tensões de referência a serem sintetizadas na saída do inversor sejam:

$$v_{ab}^* = m_1 \sin(\omega_1 t), \quad v_{bc}^* = m_1 \sin(\omega_1 t + \frac{2\pi}{3}), \quad (9)$$

$$v_{xy}^* = m_2 \sin(\omega_2 t), \quad v_{yz}^* = m_2 \sin(\omega_2 t + \frac{2\pi}{3}),$$

os sinais modulantes podem ser determinados por

$$\begin{bmatrix} v_{ag}^* \\ v_{bg}^* \\ v_{cg}^* \\ v_{xg}^* \\ v_{yg}^* \\ v_{zg}^* \end{bmatrix} = M^{-1} \begin{bmatrix} v_{ab}^* \\ v_{bc}^* \\ v_{xy}^* \\ v_{yz}^* \\ v_{o1}^* \\ v_{o2}^* \end{bmatrix}, M = \begin{bmatrix} 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 1 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & -1 & 0 \\ 0 & 0 & 0 & 0 & 1 & -1 \\ 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 \end{bmatrix}. \quad (10)$$

As duas últimas linhas da matriz M foram escolhidas para torná-la não-singular. As variáveis v_{o1}^* e v_{o2}^* representam os graus de liberdade a serem escolhidos pelo projetista dentro da faixa de operação linear do inversor. Além disso, as tensões sintetizadas nas fases xyz devem ser menores ou iguais em amplitude que as tensões sintetizadas nas fases abc , respectivamente. Desta forma, os sinais modulantes devem respeitar as seguintes restrições para o inversor operar na região linear:

$$\begin{cases} 0 \leq v_{ag}^* \leq V_C \\ 0 \leq v_{bg}^* \leq V_C \\ 0 \leq v_{cg}^* \leq V_C \end{cases} ; \begin{cases} 0 \leq v_{xg}^* \leq v_{ag}^* \\ 0 \leq v_{yg}^* \leq v_{bg}^* \\ 0 \leq v_{zg}^* \leq v_{cg}^* \end{cases}. \quad (11)$$

As restrições em (11) são semelhantes às observadas

na abordagem vetorial e definem a região de operação do inversor. As restrições podem ser escritas substituindo (10) em (11) da seguinte forma:

$$\begin{aligned}
 r_1 &= -2v_{ab}^* - v_{bc}^*, & r_7 &= 2v_{ab}^* + v_{bc}^* - 2v_{xy}^* - v_{yz}^* + v_{o1}^* + 3, \\
 r_2 &= v_{ab}^* - v_{bc}^*, & r_8 &= -v_{ab}^* + v_{bc}^* + v_{xy}^* - v_{yz}^* + v_{o1}^* + 3, \\
 r_3 &= v_{ab}^* + 2v_{bc}^*, & r_9 &= -v_{ab}^* - 2v_{bc}^* + v_{xy}^* + 2v_{yz}^* + v_{o1}^* + 3, \\
 r_4 &= -2v_{ab}^* - v_{bc}^* + 3, & r_{10} &= -2v_{xy}^* - v_{yz}^*, \\
 r_5 &= v_{ab}^* - v_{bc}^* + 3, & r_{11} &= v_{xy}^* - v_{yz}^*, \\
 r_6 &= v_{ab}^* + 2v_{bc}^* + 3, & r_{12} &= v_{xy}^* + 2v_{yz}^*.
 \end{aligned}
 \tag{12}$$

A partir de (11) e (12), é possível determinar as regiões possíveis para a escolha de v_{o1} e v_{o2} :

$$\begin{aligned}
 \max\{r_4, r_5, r_6\} \leq v_{o1}^* \leq \min\{r_1, r_2, r_3\}, \\
 \max\{r_{10}, r_{11}, r_{12}\} \leq v_{o2}^* \leq \min\{r_7, r_8, r_9\}.
 \end{aligned}
 \tag{13}$$

A fim de tornar os resultados da modulação escalar análogos aos da SV, os termos v_{o1}^* e v_{o2}^* podem ser definidos como:

$$\begin{aligned}
 v_{o1}^* &= \min\{r_1, r_2, r_3\} \\
 v_{o2}^* &= \max\{r_{10}, r_{11}, r_{12}\}.
 \end{aligned}
 \tag{14}$$

Após definir os sinais v_{o1}^* e v_{o2}^* a partir de (14), os sinais modulantes podem ser determinados por:

$$\begin{aligned}
 v_{ag}^* &= \frac{1}{3}(2v_{ab}^* + v_{bc}^* + v_{o1}^*) + 1, \\
 v_{bg}^* &= \frac{1}{3}(-v_{ab}^* + v_{bc}^* + v_{o1}^*) + 1, \\
 v_{cg}^* &= \frac{1}{3}(-v_{ab}^* - 2v_{bc}^* + v_{o1}^*) + 1, \\
 v_{xg}^* &= \frac{1}{3}(2v_{xy}^* + v_{yz}^* + v_{o2}^* + V_{\text{offset}}), \\
 v_{yg}^* &= \frac{1}{3}(-v_{xy}^* + v_{yz}^* + v_{o2}^* + V_{\text{offset}}), \\
 v_{zg}^* &= \frac{1}{3}(-v_{xy}^* - 2v_{yz}^* + v_{o2}^* + V_{\text{offset}}).
 \end{aligned}
 \tag{15}$$

O termo V_{offset} é equivalente ao termo d_7' abordado na estratégia SV, que está associado ao ganho de tensão CC do inversor pela relação estabelecida em (3).

As Fig. 11(a) e Fig. 11(b) ilustram as regiões para a escolha das variáveis v_{o1}^* e v_{o2}^* no modo CF, para dois ciclos de frequência fundamental considerando $m_{1,2} = 0,4$. Já a Fig. 11(c) ilustra a região para a escolha de v_{o2}^* no modo VF onde $f_1 = 2f_2$. As região para v_{o1}^* é igual em ambos modos de operação.

Note que, quando as frequências são iguais em ambas portas trifásicas, as restrições r_1 , r_2 e r_3 para xyz assumem o valor da variável v_{o1}^* . As restrições para os índices de modulação derivadas na estratégia SV continuam válidas para o modo de operação CF segundo (4) e para o modo VF segundo (8).

É importante salientar que os sinais modulantes obtidos por meio da estratégia SV são iguais aos sinais modulantes obtidos

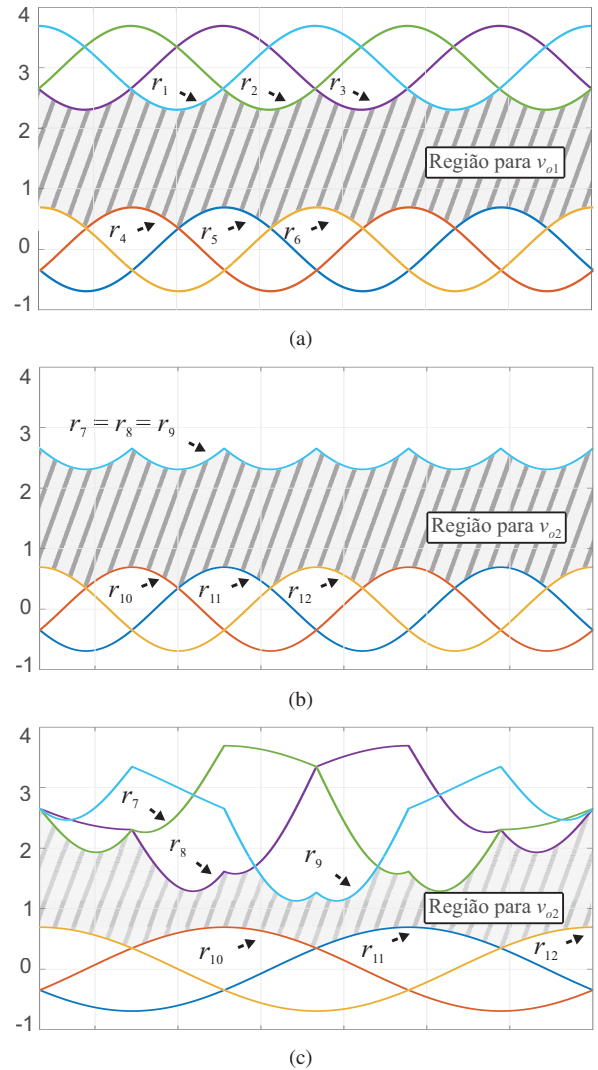


Fig. 11. Regiões para possível escolha das variáveis (v_{o1} e v_{o2}). (a) Restrições para escolha de v_{o1} ; (b)-(c) restrições para escolha de v_{o2} , considerando os modos de operação CF e VF, respectivamente.

por meio da estratégia de modulação escalar com injeção de modo comum. Portanto, a diferença ocorre na forma de obtenção dos sinais, sendo que os resultados obtidos a partir das duas estratégias são equivalentes.

IV. PROJETO DOS ELEMENTOS PASSIVOS

A fim de evitar ondulações de baixa frequência na tensão V_C e na corrente I_L , o ganho de tensão CC do inversor é constante na estratégia de modulação proposta, e portanto os elementos passivos responsáveis pelo estágio de elevação de tensão podem ser dimensionados apenas com a parcela de alta frequência. O indutor de entrada pode ser dimensionado através do equacionamento de ondulação da corrente, portanto:

$$i_L(t) = \frac{1}{L} \int v_L(t) dt. \tag{16}$$

O valor máximo de $i_L(t)$ ocorre ao final do intervalo de carga do indutor. Assim, aplica-se os limites em (16) da

TABELA II
Capacidade de Condução de Corrente no 9S-SSI

IGBTs Superiores	$I_{\max} = I_{\phi 1(abc)} + I_{\phi 1(xyz)}$
Diodos Antiparalelo Superiores	$I_{\max} = \frac{I_L + \Delta I_L}{3} + I_{\phi 1(abc)} + I_{\phi 1(xyz)}$
IGBTs Centrais	$I_{\max} = I_{\phi 1(abc)}$ ou $I_{\phi 1(xyz)}$
Diodos Antiparalelo Centrais	$I_{\max} = \frac{I_L + \Delta I_L}{3} + I_{\phi 1(xyz)}$
IGBTs Inferiores	$I_{\max} = I_L + \Delta I_L + I_{\phi 1(abc)} + I_{\phi 1(xyz)}$
Diodos Antiparalelo Inferiores	$I_{\max} = I_{\phi 1(abc)} + I_{\phi 1(xyz)}$
Diodos de entrada	$I_{\max} = I_L + \Delta I_L$

seguinte forma:

$$I_{L,\max} = \frac{1}{L} \int_0^{\frac{1-d_7'}{f_s}} V_E dt. \quad (17)$$

Dessa forma, a variação de corrente no indutor é definida como:

$$\Delta i_L = i_{L,\max} - i_L(0) = \frac{(1-d_7')V_E}{f_s L}. \quad (18)$$

Isolando L chega-se a:

$$L = \frac{(1-d_7')V_E}{f_s \Delta i_L}. \quad (19)$$

É possível fazer a mesma análise para a capacitância, onde:

$$V_{C,\max} = \frac{1}{C} \int_0^{\frac{d_7'}{f_s}} i_L dt. \quad (20)$$

Resultando portanto, na variação de tensão:

$$\Delta V_C = V_{C,\max} - V_C(0) = \frac{d_7' i_L}{f_s C}. \quad (21)$$

Isolando C , tem-se que:

$$C = \frac{d_7' i_L}{f_s \Delta V_C}. \quad (22)$$

Por sua vez, o dimensionamento dos elementos de filtro de saída L_F e C_F podem ser realizados de acordo com os requisitos da aplicação em que o conversor for empregado. As curvas de carga e descarga do indutor e do capacitor são apresentadas na Fig. 12.

V. VALORES MÁXIMOS DE CORRENTE E ANÁLISE DE PERDAS DO INVERSOR

A Tabela II mostra as máximas correntes nos dispositivos de potência do 9S-SSI, onde ϕ representa simbolicamente os valores de fase. É possível notar que existe assimetria de condução de corrente entre os diversos dispositivos semicondutores. Os interruptores inferiores possuem maiores valores de corrente quando comparados com os demais interruptores. Da mesma forma que os diodos em anti-paralelo aos interruptores superiores devem suportar maiores valores de condução de corrente.

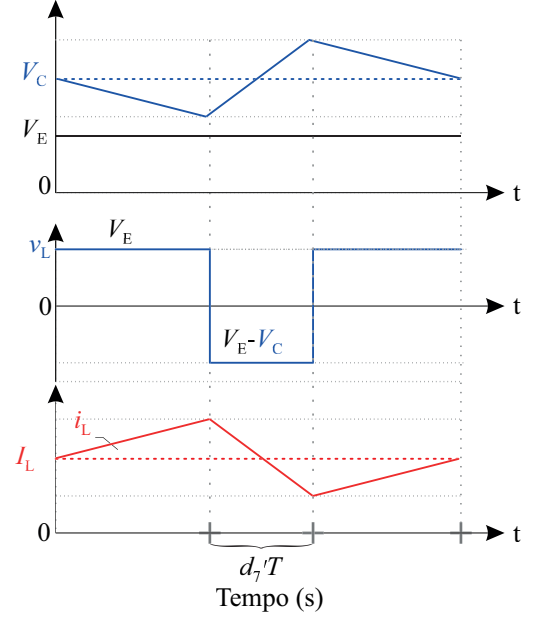


Fig. 12. Curvas de carga e descarga do indutor L e capacitor C .

TABELA III
Parâmetros de Simulação

Filtro Indutivo (L_F)	4 mH	Tensão (V_C)	450 V
Filtro Capacitivo (C_F)	60 μ F	Potência (W)	3 kW
Capacitor de Barramento (C)	1 mF	Indutor de Entrada (L)	2 mH
Frequência de Comutação (f_s)	10 kHz	Tensão de Entrada (V_E)	100 V
Índice de modulação (m)	0,5988	Tensão de fase RMS	110 V

Por outro lado, as equações (23)-(26) apresentam as perdas de condução e comutação para os IGBT's e condução e perdas por recuperação reversa para os diodos de entrada e em anti-paralelo aos IGBT's.

$$P_{\text{cond,igbt}} = \frac{1}{T} \int_0^T [V_{ce}(t)I_{ce}(t)]dt \quad (23)$$

$$P_{\text{comut,igbt}} = (E_{\text{on}} + E_{\text{off}})f_{\text{sw}} \quad (24)$$

$$P_{\text{cond,d}} = \frac{1}{T} \int_0^T [V_f(t)I_f(t)]dt \quad (25)$$

$$P_{\text{recv,d}} = E_{\text{rec}}f_{\text{sw}} \quad (26)$$

onde:

P_{cond} : Perda média por condução;

$V_{ce}(t)$: Tensão de *on-state*;

$I_{ce}(t)$: Corrente de *on-state*;

T : Período da forma de onda analisada;

P_{comut} : Perdas por comutação;

E_{on} , E_{off} e E_{rec} : Perdas de energia (disponibilizados no catálogo do fabricante dos semicondutores);

$P_{\text{recv,d}}$: Perdas por recuperação reversa nos diodos;

f_{sw} : Frequência de comutação;

VI. RESULTADOS DE SIMULAÇÃO

O inversor 9S-SSI foi simulado em ambiente MATLAB/Simulink. A fim de explorar o comportamento do inversor em duas diferentes situações, a porta correspondente às fases *abc* foi conectada a um filtro LC alimentando uma

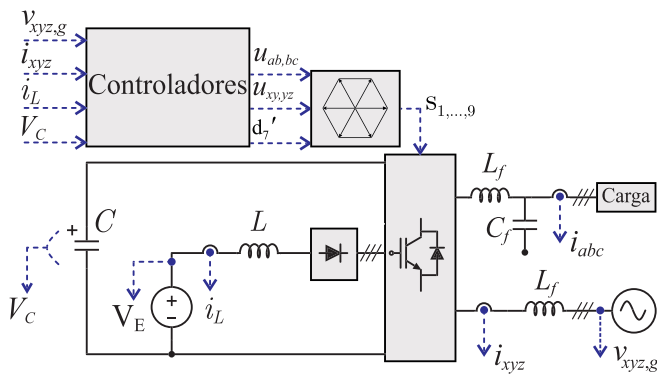


Fig. 13. Diagrama de blocos do circuito implementado em ambiente de simulação.

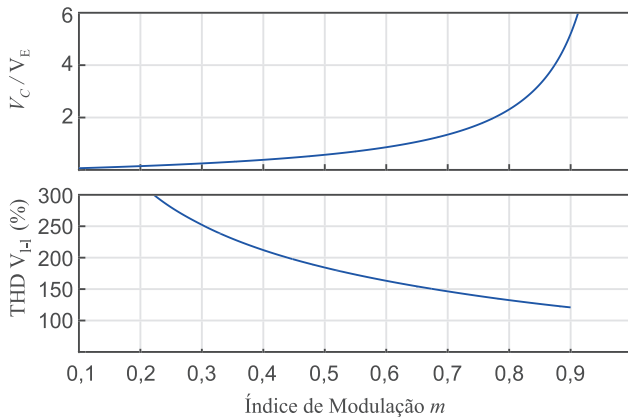


Fig. 14. Ganho e THD em função do índice de modulação m para as fases abc e xyz .

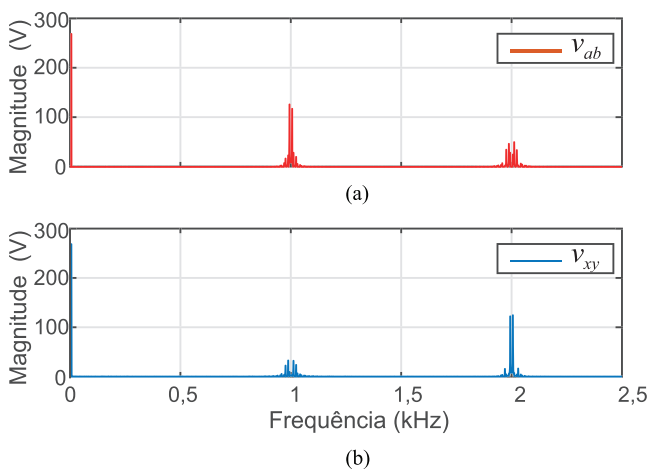


Fig. 15. Espectro harmônico das tensões PWM de linha.

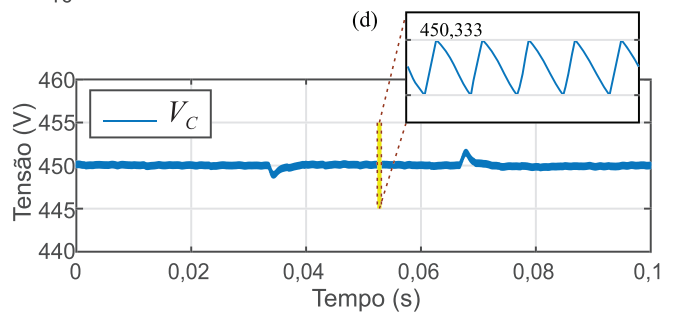
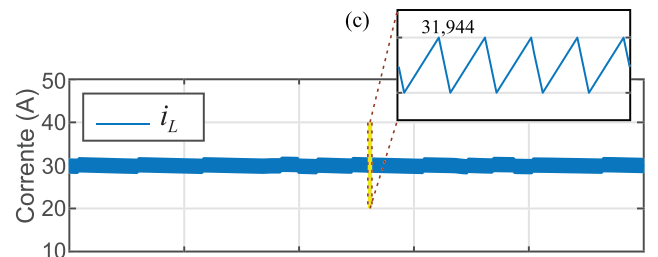
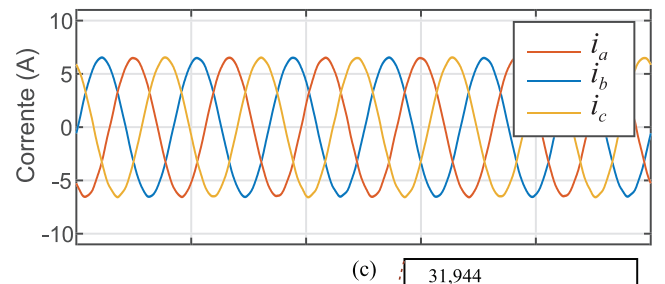
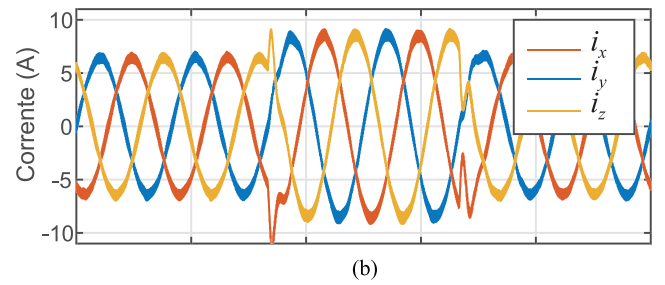
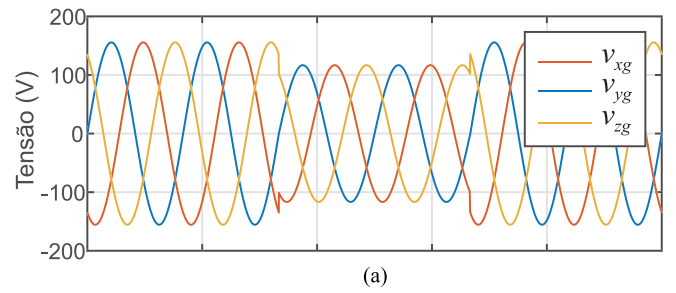


Fig. 16. Resultados de simulação considerando um afundamento de tensão de 25% no intervalo 0,033-0,066 s (a) tensões de fase xyz , (b) corrente de fase xyz (THD = 4,7%), (c) corrente de fase abc (THD = 0,55%), (d) corrente de entrada no indutor L ($\Delta i_L/2 = 1,944A$) e (e) tensão de barramento CC ($\Delta V_C/2 = 0,333V$).

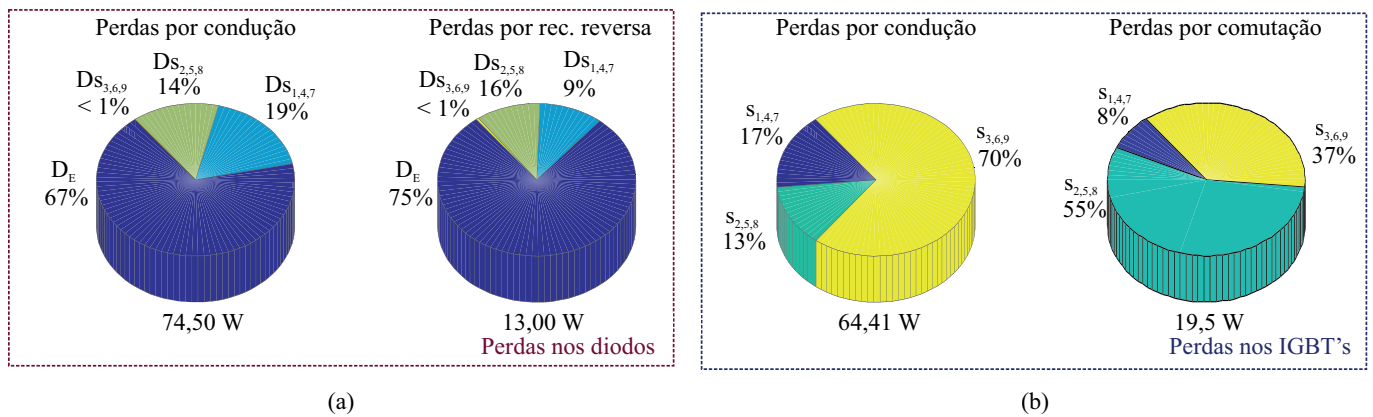


Fig. 17. Distribuição de perdas por condução e comutação nos dispositivos (a) perdas nos diodos (b) perdas nos IGBT's.

carga resistiva, enquanto que a porta xyz foi conectada à rede com filtro indutivo. Para a operação em malha fechada do inversor conectado à rede, um sistema multi-malhas composto por malha externa de controle de tensão de barramento CC e malha interna de controle de corrente foi empregado de acordo com [22]. Controladores do tipo proporcional-integral PI foram utilizados em ambas malhas de controle, onde especificamente o sistema de coordenadas síncronas dq foi adotado. Em termos práticos, a frequência de cruzamento para a malha de corrente e para malha de tensão do barramento CC foram respectivamente um décimo e um centésimo da frequência de comutação.

A Fig. 13 ilustra um diagrama de blocos simplificado do sistema simulado, onde ambas as portas possuem frequência fundamental de 60 Hz e valor RMS das tensões iguais. Os parâmetros de simulação se encontram na Tabela III em que a potência nominal do inversor é igualmente dividida entre as portas trifásicas.

A Fig. 14 ilustra o ganho mínimo e a taxa de distorção harmônica (THD) em função do índice de modulação m . O ganho do inversor e a THD são iguais para ambas portas trifásicas. Entretanto, como as fases xyz usam ambos os vetores redundantes, enquanto as fases abc usam apenas um deles, as portas trifásicas apresentam diferente distribuição das componentes no espectro harmônico. A Fig. 15 ilustra o espectro harmônico da tensão de linha PWM de ambas portas. É possível notar que as tensões de linha da porta abc apresentam maior concentração das componentes harmônicas em torno da frequência de comutação, enquanto que para xyz isso ocorre no dobro da frequência de comutação.

A Fig. 16 apresenta os resultados de simulação para as correntes de fase, tensão do barramento CC e corrente no indutor. Para explorar o comportamento do inversor frente perturbações na rede, um afundamento de tensão de 25% é considerado no instante 0,033 segundos. O inversor por meio das estratégias de modulação e controle empregadas apresentaram bom desempenho durante o transitório da rede. É possível notar que o barramento CC foi regulado satisfatoriamente e que a corrente na porta abc não apresentou alteração durante o período transitório. Note ainda que a tensão do barramento CC e corrente de entrada possuem apenas componentes de alta frequência, já que a estratégia de modulação proposta mantém o ganho de tensão constante ao

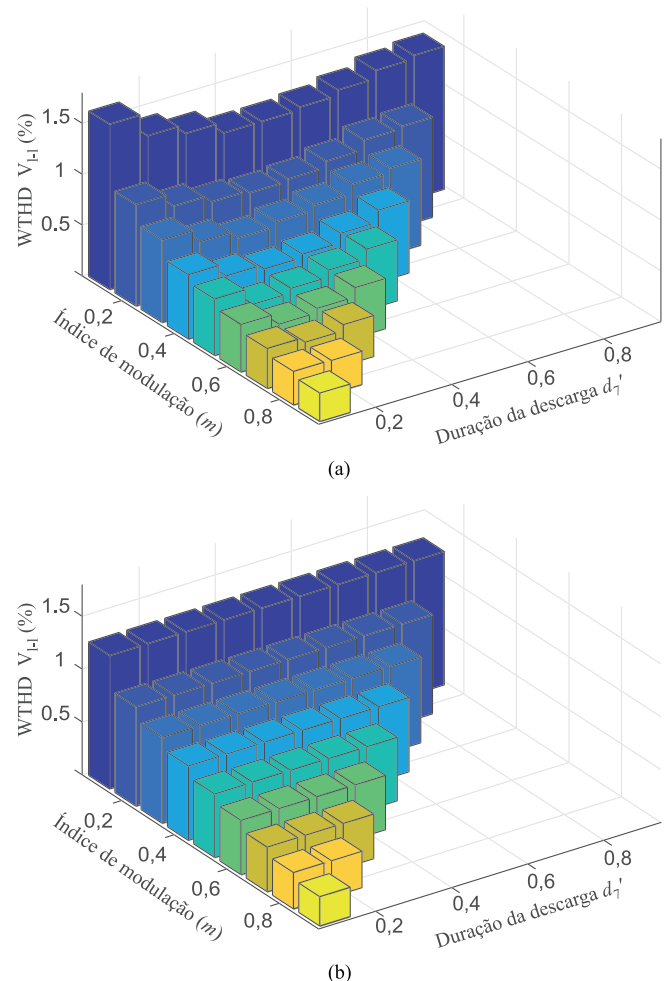


Fig. 18. WTHD da tensão PWM de linha das portas trifásicas (a) fases xyz e (b) fases abc

TABELA IV
Comparação entre topologias.

	Rendimento	Interruptores	Diodos	TSE	Preço
9S-SSI	94,29%	9	3	$9V_C$	\$114,99
B2B 2L-VSC	95,18%	13	1	$13V_C$	\$118,91

longo do período da fundamental, conforme esperado.

A Fig. 17 mostra a distribuição de perdas no inversor obtida por meio do *software* PLECS em modo CF, onde foi utilizado o modelo de IGBT IKW60N60H3 para as chaves inferiores e o IKW40N60H3 para as demais. Já o modelo STTH60RQ06WL integra os diodos de entrada. Nesse sistema, percebe-se que grande parte das perdas se concentra nos diodos de entrada (D_E), totalizando aproximadamente 2,5% do rendimento total do inversor. Para os diodos em anti-paralelo dos IGBT's, estima-se um percentual maior de perdas nos dispositivos superiores ($D_{s_{1,4,7}}$) e centrais ($D_{s_{2,5,8}}$), tanto em condução como em comutação. Já as perdas relacionadas aos IGBT's, percebe-se que as chaves inferiores ($s_{3,6,9}$) dissipam 39,57 e 47,42% de energia a mais que as chaves centrais ($s_{2,5,8}$) e superiores ($s_{1,4,7}$), uma vez que os dispositivos inferiores conduzem maiores correntes. Uma análise de rendimento foi realizada com o conversor B2B 2L-VSC acrescido de um conversor boost utilizando as mesmas especificações de potência, correntes, tensões e a mesma modulação utilizada no 9S-SSI. Foram empregados IGBT's do modelo IKW40N60H3 e diodo STTH60RQ06WL no conversor boost. Para o conversor B2B 2L-VSC foram empregados IGBT's do modelo IKW20N60H3.

A fim de avaliar o comportamento das saídas frente um filtro de primeira ordem, as Fig. 18(a) e 18(b) ilustram a WTHD das tensões de linha das portas xyz e abc , respectivamente. A WTHD da porta xyz depende do índice de modulação m e da duração do tempo de descarga d' , já que d' altera a distribuição de duração entre os vetores redundantes. Já para a porta abc , a WTHD é majoritariamente dependente do índice de modulação m .

A Tabela IV compara o rendimento total, o número de componentes semicondutores e o estresse total de tensão (TSE) nos interruptores de potência em ambas as topologias. O índice TSE representa, em termos práticos, o volume total de silício empregado na confecção das chaves semicondutoras de potência. Além disso, como o rendimento das topologias foi estimado considerando diferentes semicondutores, o preço total dos inversores foi estimado considerando os componentes disponíveis em [23]. Para o acionamento dos IGBTs, foi considerado o circuito *gate driver* modelo UCC21732QDWRQ1. Apesar do inversor proposto apresentar menor rendimento, este apresenta menor TSE e menor custo dos dispositivos semicondutores de potência quando comparado ao B2B + boost.

VII. RESULTADOS EXPERIMENTAIS

A fim de comprovar as análises teóricas realizadas, foi montado um protótipo experimental do inversor 9S-SSI de 750 W, apresentado na Fig. 19.

O inversor é composto por IGBT's IKW40N60H3 e diodos STTH3012W. Para gerar os pulsos PWM, foi utilizado o DSP

TABELA V
Parâmetros experimentais

Tensão de Entrada (V_E)	50 V	Tensão de Barramento (V_C)	200-250 V
Filtro Indutivo (L_F)	2 mH	Filtro Capacitivo (C_F)	60 μ F
Capacitor de Barramento (C)	1 mF	Frequência de Comutação (f_s)	10 kHz
Indutor de Entrada (L)	2 mH		

Modo de Operação CF		
	Saída abc	Saída xyz
Índice de modulação (m)	0,7348	0,7348
Tensão de Fase RMS	60 V	60 V
Frequência Fundamental (f)	60 Hz	60 Hz

Modo de Operação VF		
	Saída abc	Saída xyz
Índice de modulação (m)	0,3919	0,3919
Tensão de Fase RMS	40 V	40 V
Frequência Fundamental (f)	60 Hz	30 Hz

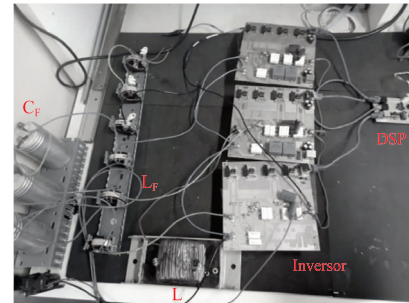


Fig. 19. Protótipo laboratorial.

XMC4500 da INFINEON. Os interruptores centrais $S_{2,5,8}$ tem seus sinais gerados por meio de um circuito empregando porta lógica NAND, como ilustrado na Fig. 20, onde $k = 1,3,4,6,7,9$. Na porta abc foi conectada uma carga resistiva trifásica de 83 Ω em estrela. Por outro lado, foi conectada uma carga resistiva de 67 Ω na porta xyz . A configuração dos filtros é a mesma apresentada na Fig. 13 e os parâmetros experimentais encontram-se na Tabela V.

As Fig. 21 e 22 contém os resultados experimentais para tensão de linha e corrente de saída. Foram obtidos resultados no modo de operação CF e também no modo VF a fim de demonstrar ambos modos de operação do inversor. A Fig. 21 apresenta os resultados para o modo CF onde ambas as portas trifásicas apresentam frequência igual a 60Hz e índice de modulação de aproximadamente 0,73. Por outro lado, a Fig. 22 apresenta os resultados para o modo VF em que as fases abc apresentam frequência de 60Hz enquanto que as fases

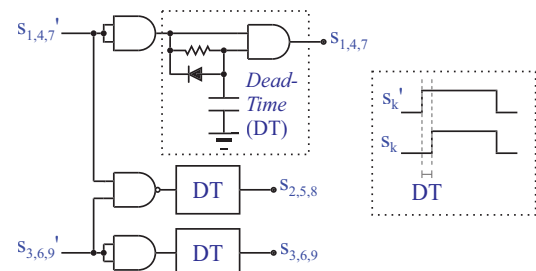
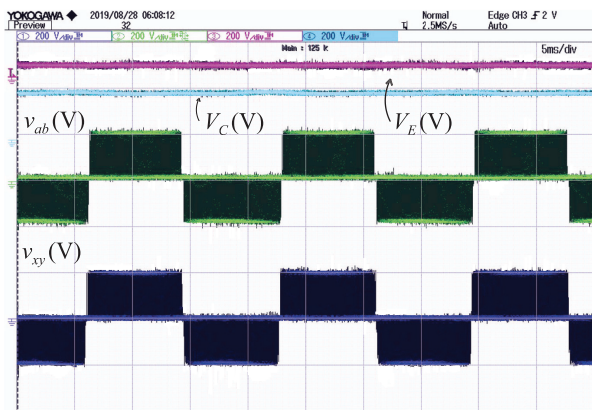
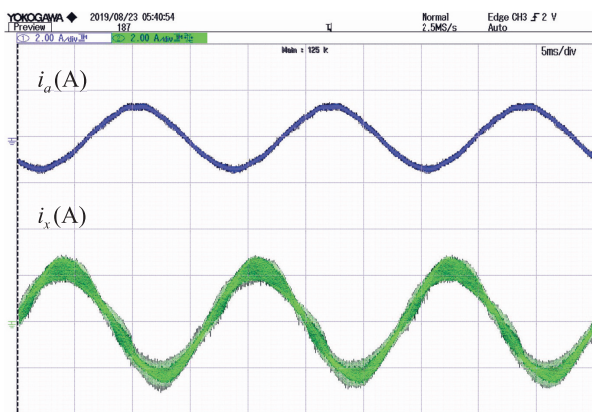


Fig. 20. Circuito de acionamento e de tempo morto (*Dead Time*) dos interruptores de potência.



(a)



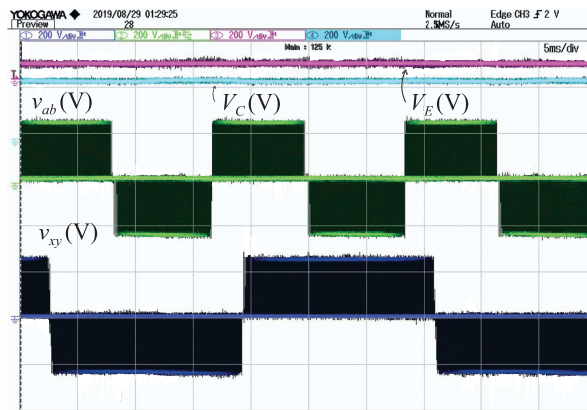
(b)

Fig. 21. Resultados experimentais no modo de operação CF (escala de tempo 5ms/DIV): (a) tensões de linha v_{ab} e v_{xy} , tensão de barramento CC V_C e tensão de entrada V_E (escala de tensão (200V/div)); (b) corrente nas fases i_a e i_x (escala de corrente (2A/div)).

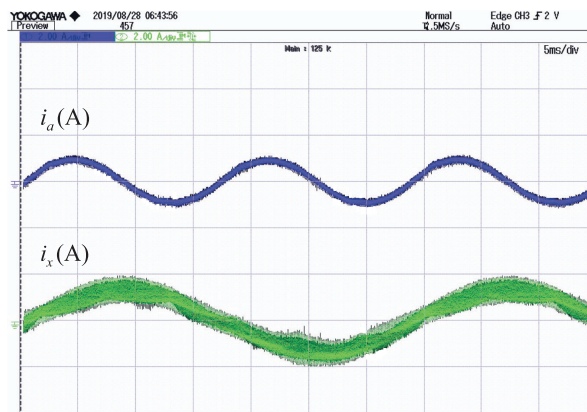
xyz apresentam frequência de 30Hz. O índice de modulação para ambas as saídas é aproximadamente 0,39, uma vez que o modo VF apresenta maior limitação de índice de modulação quando comparado com o modo CF. Além disso, devido a modulação proposta apresentar ganho CC constante, a tensão V_C não apresentou ondulação de baixa frequência, como previsto. Apesar da menor potência empregada no protótipo experimental, houve uma coerente correspondência com os resultados de simulação.

VIII. CONCLUSÕES

Este trabalho propôs o conversor 9S-SSI a partir da derivação do inversor 9S que agrega um estágio de elevação de tensão. A configuração proposta é útil para aplicações com baixa tensão de entrada, como sistemas fotovoltaicos, dispensando estágios adicionais de conversão CC-CC elevadores. Entretanto, a topologia resulta em baixo índice de modulação quando são utilizados pequenos ganhos de tensão. Portanto, a topologia proposta se torna mais interessante para aplicações com ganhos CC teóricos elevados, porém devem ser respeitadas características práticas de limitação de ganho inerentes aos conversores boost. Além disso, foi proposta uma estratégia de modulação PWM sob abordagem vetorial e por abordagem escalar. As duas



(a)



(b)

Fig. 22. Resultados experimentais no modo de operação VF (escala de tempo 5ms/DIV): (a) tensões de linha v_{ab} e v_{xy} , tensão de barramento CC V_C e tensão de entrada V_E (escala de tensão (200V/div)); (b) corrente nas fases i_a e i_x (escala de corrente (2A/div)).

abordagens são equivalentes e resultam nos mesmos sinais modulantes para a implementação. Ademais, foram abordados os modos CF e VF de operação do inversor, bem como definidos os limites dos índices de modulação para a região linear de operação. Resultados de simulação e práticos, bem como uma análise das perdas do inversor foram realizados para verificar e comprovar a aplicabilidade da topologia proposta.

REFERÊNCIAS

- [1] N. Jarutus, Y. Kumsuwan, "Novel modulation strategy based on generalized two-level PWM theory for nine-switch inverter with reduction of switching commutation", *IECON Proceedings (Industrial Electronics Conference)*, pp. 3529–3534, Oct 2016.
- [2] J. Rodriguez, M. Rivera, J. W. Kolar, P. W. Wheeler, "A Review of Control and Modulation Methods for Matrix Converters", *IEEE Transactions on Industrial Electronics*, vol. 59, no. 1, pp. 58–70, Jan 2012.
- [3] J. W. Kolar, T. Friedli, J. Rodriguez, P. W. Wheeler, "Review of Three-Phase PWM AC-AC Converter Topologies", *IEEE Transactions on Industrial Electronics*, vol. 58, no. 11, pp. 4988–5006, Nov 2011.

- [4] T. Friedli, J. W. Kolar, J. Rodriguez, P. W. Wheeler, “Comparative Evaluation of Three-Phase AC AC Matrix Converter and Voltage DC-Link Back-to-Back Converter Systems”, *IEEE Transactions on Industrial Electronics*, vol. 59, no. 12, pp. 4487–4510, Dec 2012.
- [5] C. Liu, B. Wu, N. R. Zargari, D. Xu, J. Wang, “A Novel Three-Phase Three-Leg AC/AC Converter Using Nine IGBTs”, *IEEE Transactions on Power Electronics*, vol. 24, no. 5, pp. 1151–1160, May 2009.
- [6] P. C. Loh, H. Gao, F. Gao, Y. Tang, D. Li, L. Zhang, “Optimal Pulsewidth Modulation of Nine-Switch Converter”, *IEEE Transactions on Power Electronics*, vol. 25, no. 9, pp. 2331–2343, Apr 2010.
- [7] G. N. Goyal, M. V. Aware, “A comparative performance of six-phase nine switch inverter operation with SPWM and SVPWM”, *PEDES 2012 - IEEE International Conference on Power Electronics, Drives and Energy Systems*, pp. 1–6, Dec 2012.
- [8] F. Bradaschia, L. Rodrigues Limongi, F. Corrêa de Andrade, G. Medeiros de Souza Azevedo, “A Generalized Scalar Pulse-width Modulation For Nine-switch Inverters”, *Eletrônica de Potência*, vol. 19, no. 2, pp. 182–193, Oct 2015.
- [9] A. Abdelhakim, P. Mattavelli, G. Spiazzi, “Three-Phase Split-Source Inverter (SSI): Analysis and Modulation”, *IEEE Transactions on Power Electronics*, vol. 31, no. 11, pp. 7451–7461, Nov 2016.
- [10] E. C. d. S. Jr., “Configuration 5S: A Bi-Directional AC-DC Converter”, *Eletrônica de Potência*, vol. 53, no. 9, pp. 1–30, May 2012, doi:10.18618/REP.2012.2.529537.
- [11] D. Dong, D. Boroyevich, R. Wang, I. Cvetkovic, “A two-stage high power density single-phase AC-DC bi-directional PWM converter for renewable energy systems”, in *2010 IEEE Energy Conversion Congress and Exposition*, pp. 3862–3869, Sep. 2010.
- [12] S. S. Lee, A. S. T. Tan, D. Ishak, R. Mohd-Mokhtar, “Single-Phase Simplified Split-Source Inverter (S3I) for Boost DC-AC Power Conversion”, *IEEE Transactions on Industrial Electronics*, vol. 66, no. 10, pp. 7643–7652, Dec 2019.
- [13] S. S. Lee, Y. E. Heng, “Improved Single-Phase Split-Source Inverter with Hybrid Quasi-Sinusoidal and Constant PWM”, *IEEE Transactions on Industrial Electronics*, vol. 64, no. 3, pp. 2024–2031, Nov 2017.
- [14] A. Abdelhakim, P. Mattavelli, P. Davari, F. Blaabjerg, “Performance Evaluation of the Single-Phase Split-Source Inverter Using an Alternative DC-AC Configuration”, *IEEE Transactions on Industrial Electronics*, vol. 65, no. 1, pp. 363–373, Jun 2017.
- [15] A. Abdelhakim, P. Mattavelli, G. Spiazzi, “Three-Phase Three-Level Flying Capacitors Split-Source Inverters: Analysis and Modulation”, *IEEE Transactions on Industrial Electronics*, vol. 64, no. 6, pp. 4571–4580, Dec 2017.
- [16] F. Akbar, H. Cha, H. F. Ahmed, A. A. Khan, “A Family of Single-Stage High-Gain Dual-Buck Split-Source Inverters”, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, pp. 1–1, Jan 2019.
- [17] C. Yin, M. Chen, L. Ming, P. C. Loh, “Single-Phase Active Split-Source Inverter with High AC Gain”, in *IECON 2019 - Annual Conf. of the IEEE Industrial Electronics Society*, vol. 1, pp. 4411–4416, Oct 2019.
- [18] S. M. Dehghan, A. Amiri, M. Mohamadian, M. A. E. Andersen, “Modular space-vector pulse-width modulation for nine-switch converters”, *IET Power Electronics*, vol. 6, no. 3, pp. 457–467, March 2013.
- [19] T. Kominami, Y. Fujimoto, “A Novel Nine-Switch Inverter for Independent Control of Two Three-Phase Loads”, in *2007 IEEE Industry Applications Annual Meeting*, pp. 2346–2350, Sep. 2007.
- [20] S. R. Bowes, Yen-Shin Lai, “The relationship between space-vector modulation and regular-sampled PWM”, *IEEE Transactions on Industrial Electronics*, vol. 44, no. 5, pp. 670–679, Dec 1997.
- [21] M. J. Ryan, R. D. Lorenz, R. De Doncker, “Modeling of multileg sine-wave inverters: a geometric approach”, *IEEE Transactions on Industrial Electronics*, vol. 46, no. 6, pp. 1183–1191, Dec 1999.
- [22] A. Abdelhakim, P. Mattavelli, V. Boscaino, G. Lullo, “Decoupled Control Scheme of Grid-Connected Split-Source Inverters”, *IEEE Transactions on Industrial Electronics*, vol. 64, no. 8, pp. 6202–6211, Mar 2017.
- [23] “MOUSER ELECTRONICS”, URL: <<https://www.mouser.com/>>. Acesso em 20 de Ago. de 2020.

DADOS BIOGRÁFICOS

Leonardo Acosta Rodrigues nasceu em Rosário do Sul, Brasil, em 1998. É engenheiro eletricitista (2019) pela Universidade Federal do Pampa, UNIPAMPA, Alegrete, Brasil. Atualmente é aluno de mestrado no programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina, UFSC, Florianópolis, Brasil. Suas áreas de interesse na eletrônica de potência incluem estratégias de modulação, modelagem e controle aplicados a conversores estáticos de potência.

Diego Brum Chaves nasceu em Osório, Brasil, em 1997. É engenheiro eletricitista (2019) pela Universidade Federal do Pampa, UNIPAMPA, Alegrete, Brasil. Atualmente é aluno de mestrado no programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Maria, UFSM, Santa Maria, Brasil. Suas áreas de interesse incluem estratégias de modulação para conversores estáticos de potência, conversores multiníveis e sistemas não isolados de conversão de energia.

Felipe Bovolini Grigoletto nasceu em Restinga Seca, Brasil, em 1985. Obteve os títulos de graduação (2007), mestrado (2009) e doutorado (2013) em Engenharia Elétrica pela Universidade Federal de Santa Maria, UFSM, Santa Maria, Brasil. Atualmente é Professor da Universidade Federal do Pampa, UNIPAMPA, Alegrete, Brasil. Seus interesses de pesquisa incluem sistemas de conversão de energia oriundos de fontes renováveis, modelagem, controle e modulação de conversores estáticos de potência. É membro das sociedades SOBRAEP e IEEE.