

CONVERSOR CC-CC ISOLADO DO TIPO SEPIC COM REDUÇÃO DOS ESFORÇOS DE TENSÃO NOS SEMICONDUTORES

Marcos V. M. Ewerling¹, Telles B. Lazzarin¹, Carlos H. Illa Font²

¹Instituto de Eletrônica de Potência - INEP, Universidade Federal de Santa Catarina (UFSC), Florianópolis - SC

²Departamento Acadêmico de Eletrônica, Universidade Tecnológica Federal do Paraná (UTFPR), Ponta Grossa - PR

e-mail: marcos.ewerling@inep.ufsc.br, telles@inep.ufsc.br, illafont@utfpr.edu.br

Resumo – Este trabalho propõem uma topologia baseada no conversor CC-CC SEPIC convencional isolado. A topologia proposta reduz os esforços de tensão sobre os interruptores e diodos e promove a divisão de corrente nos diodos do estágio de saída quando comparada com o conversor SEPIC convencional. Estas características ampliam a faixa de tensão e potência dos conversores da família SEPIC. O artigo apresenta a topologia, etapas de operação, análise teórica no modo de condução descontínuo (MCD), metodologia de projeto, resultados experimentais com um circuito de grampeamento passivo dissipativo e análise comparativa com o conversor SEPIC convencional. O conversor CC-CC proposto foi validado em um protótipo de 500 W de potência de saída, 400 V de tensão de entrada, 120 V de tensão de saída e 50 kHz de frequência de comutação. O conversor atingiu 91,87% de rendimento em potência nominal.

Palavras-chave – Conversor CC-CC, Conversor SEPIC, Modo de condução descontínuo, Reduzidos esforços nos semicondutores.

ISOLATED DC-DC SEPIC CONVERTER WITH REDUCED VOLTAGE STRESS ON SEMICONDUCTORS

Abstract – This work proposes a topology based on the conventional isolated dc-dc SEPIC converter. The proposed topology reduces the voltage stress on the switches and diodes and promotes the current division in the output diodes when compared to the conventional SEPIC converter. These characteristics extend the voltage and power range of SEPIC family converters. The article presents the topology, operation stages, theoretical analysis in the discontinuous conduction mode (DCM), design methodology, experimental results with a passive dissipative snubber cell and comparative analysis with the conventional SEPIC converter. The proposed dc-dc converter was validated in a prototype of 500 W of output power, 400 V of input voltage, 120 V of output voltage and 50 kHz of switching frequency. The converter achieved 91.87 % of efficiency in rated power.

Keywords – Dc-dc Converter, Discontinuous conduction mode, Reduced voltage stress on the semiconductors, SEPIC converter.

I. INTRODUÇÃO

Os conversores derivados do conversor SEPIC (Single-Ended Primary-Inductance Converter) são amplamente utilizados na conversão CC-CC e CA-CC para realizar correção do fator de potência [1]–[4], *driver* para LED (*light-emitting diode*) [5]–[8], carregadores de baterias [9]–[11] e processamento de energias renováveis [12]–[15]. Além destas aplicações, os conversores derivados da estrutura SEPIC podem ser utilizados como segundo estágio de fontes de alimentação ou de retificadores multipulsos [16] e em microrredes de corrente contínua [17].

As estruturas derivadas do conversor SEPIC possuem características interessantes como: (i) operação como elevador ou abaixador sem inverter a polaridade da tensão de saída (diferentemente dos conversores buck-boost e Cúk); (ii) a corrente de entrada é contínua com baixa ondulação; (iii) a saída tem característica de fonte de tensão, o que é atrativo em algumas aplicações; (iv) a isolamento galvânica entre a entrada e a saída é natural através de indutores acoplados; (v) a isolamento também possibilita trabalhar com múltiplas saídas [18], [19].

A família dos conversores SEPIC também apresenta desvantagens, as quais limitam sua faixa de aplicação. Uma delas, talvez a principal, é o elevado nível de tensão sobre os semicondutores, sendo igual à somatória das tensões de entrada e saída. Estudos que minimizam essa desvantagem são encontrados na literatura [20]–[23], propondo variações topológicas do SEPIC convencional para reduzir os esforços de tensão sobre os semicondutores.

Em [20] uma estrutura três níveis baseada no conversor SEPIC foi proposta. Para isto, foi adicionado três capacitores, um interruptor e um diodo na estrutura do conversor SEPIC convencional. Com a adição de um capacitor na saída e de um interruptor, criou-se um ponto neutro entre esses elementos, diminuindo pela metade os esforços de tensão nos interruptores e diodos. As estruturas apresentadas em [21]–[23] utilizam uma técnica multiplicadora de tensão que proporciona redução dos esforços de tensão sobre os interruptores e promove o aumento do ganho estático. Analisando a estrutura do conversor SEPIC apresentada em [21] e [22], pode-se observar um capacitor e um diodo extra comparada à estrutura do conversor SEPIC convencional, enquanto que a estrutura apresentada em [23] possui dois capacitores e um diodo extra.

Outra forma de incrementar o ganho do conversor SEPIC é a utilização de isolamento galvânica. Porém, quando se utiliza isolamento galvânica surge outra desvantagem da estrutura SEPIC. A energia armazenada na indutância de dispersão, intrínseca aos indutores acoplados, não encontra caminho

Manuscript received 07/16/2020; first revision 10/08/2020; accepted for publication 11/09/2020, by recommendation of Editor Demercil de Souza Oliveira Jr. <http://dx.doi.org/10.18618/REP.2020.4.0041>

para circular quando os semicondutores são bloqueados, causando sobretensões nestes elementos, podendo ocasionar a sua falha. Assim, o conversor SEPIC necessita de um circuito auxiliar de comutação para não danificar os semicondutores. Trabalhos como de [24]–[27] buscam meios de contornar essa desvantagem, utilizando diferentes estruturas de grampeamento.

Este artigo apresenta uma estrutura isolada baseada no conversor SEPIC com reduzidos esforços de tensão sobre os semicondutores e reduzidos esforços de corrente nos diodos de saída. Um estudo prévio da topologia foi apresentado em [28], que mostra a topologia, faz uma breve análise teórica do conversor ideal em MCD e mostra resultados de simulação numérica. Neste artigo é abordado uma análise completa da estrutura proposta em MCD, etapas de operação, principais formas de onda, equações de projeto e validação experimental utilizando um circuito de grampeamento passivo dissipativo RCD. Adicionalmente, realiza-se uma comparação, tanto teórica quanto experimental, com um conversor SEPIC convencional isolado, projetado para operar com as mesmas especificações do conversor SEPIC estudado neste artigo.

II. ANÁLISE DO CONVERSOR CC-CC SEPIC PROPOSTO

A estrutura do conversor SEPIC proposto (Figura 1) é obtida a partir da união de dois conversores SEPIC CC-CC convencionais (Figura 2). Esta união resulta na diminuição dos esforços de tensão sobre os semicondutores, solucionando o ponto crítico da estrutura convencional. A redução dos esforços de tensão sobre os semicondutores permite selecionar componentes de menor tensão de bloqueio, o que pode tornar o conversor mais barato, apresentar melhor desempenho em termos de rendimento e conter menos problemas de comutação devido ao menor nível de tensão de operação. Além disso, a saída dos dois conversores base é conectada em paralelo para promover a divisão dos esforços de corrente nos diodos de saída, utilizando assim apenas um capacitor na saída.

A estrutura da Figura 1 é composta por dois indutores de entrada (L_{i1} e L_{i2}), dois interruptores (S_1 e S_2), dois capacitores de entrada (C_{i1} e C_{i2}), dois indutores acoplados (L_{o1} e L_{o2}), dois diodos de saída (D_1 e D_2) e um capacitor de saída (C_o). Destaca-se que os interruptores são acionados com o mesmo pulso de comando, porém, os pulsos devem ser isolados, pois os interruptores estão em referenciais diferentes.

A. Etapas de Operação

Os estados topológicos do conversor SEPIC proposto são similares aos do conversor SEPIC convencional. A operação em MCD, foco neste estudo, apresenta três etapas de operação durante um período de comutação, as quais são descritas a seguir e visualizadas na Figura 3.

1) *Primeira etapa de operação*: Na primeira etapa de operação (Figura 3.a), os dois interruptores S_1 e S_2 são comandados a conduzir, enquanto os diodos D_1 e D_2 estão bloqueados. Os indutores L_{i1} , L_{i2} , L_{o1} e L_{o2} recebem energia da fonte V_{in} e dos capacitores C_{i1} e C_{i2} , enquanto o capacitor de saída C_o fornece energia para a carga. Durante esta etapa, as correntes dos indutores L_i e L_o crescem linearmente seguindo,

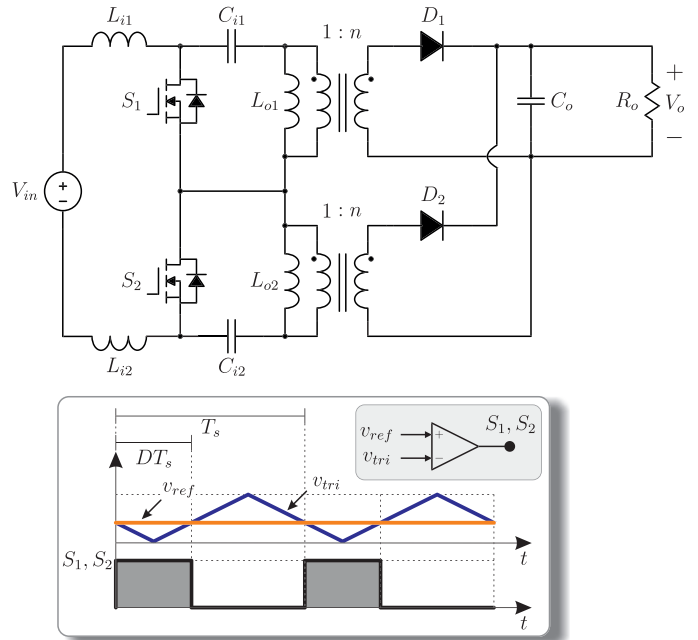


Fig. 1. Estrutura do conversor CC-CC SEPIC proposto com a estratégia de modulação para acionamento dos interruptores.

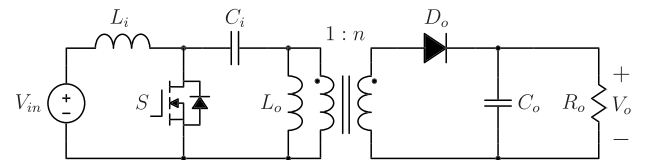


Fig. 2. Estrutura do conversor CC-CC SEPIC convencional isolado.

respectivamente, as relações $V_{in}/2L_i$ e $V_{in}/2L_o$, sendo que $L_i = L_{i1} = L_{i2}$ e $L_o = L_{o1} = L_{o2}$.

2) *Segunda etapa de operação*: A segunda etapa de operação (Figura 3.b) tem início com o bloqueio dos interruptores, polarizando diretamente os diodos de saída para entrarem em condução. Durante esta etapa de operação a fonte V_{in} e os indutores L_{i1} , L_{i2} , L_{o1} e L_{o2} fornecem energia para os capacitores C_{i1} , C_{i2} e C_o e para a carga. As correntes dos indutores L_i e L_o decrescem, respectivamente, de acordo com as relações $-V_o/nL_i$ e $-V_o/nL_o$.

3) *Terceira etapa de operação*: A terceira etapa de operação tem início com a igualdade das correntes dos indutores L_{o1} e L_{o2} com às correntes dos indutores L_{i1} e L_{i2} , bloqueando assim os diodos D_1 e D_2 , como observa-se na Figura 3.c. Esta etapa caracteriza a descontinuidade de operação do conversor. O capacitor C_o fornece energia para a carga durante este período. O fim da etapa ocorre quando os interruptores S_1 e S_2 são comandados a conduzir novamente, retornando para a primeira etapa de operação.

B. Principais Formas de Onda

As formas de onda de corrente e tensão nos indutores L_{i1} , L_{i2} , L_{o1} e L_{o2} , interruptores S_1 e S_2 , diodos D_1 e D_2 e capacitores C_{i1} , C_{i2} e C_o durante um período de comutação são ilustradas na Figura 4. Observa-se que os esforços de tensão nos semicondutores e nos capacitores de entrada são proporcionais à $V_{in}/2$, diferente do SEPIC convencional

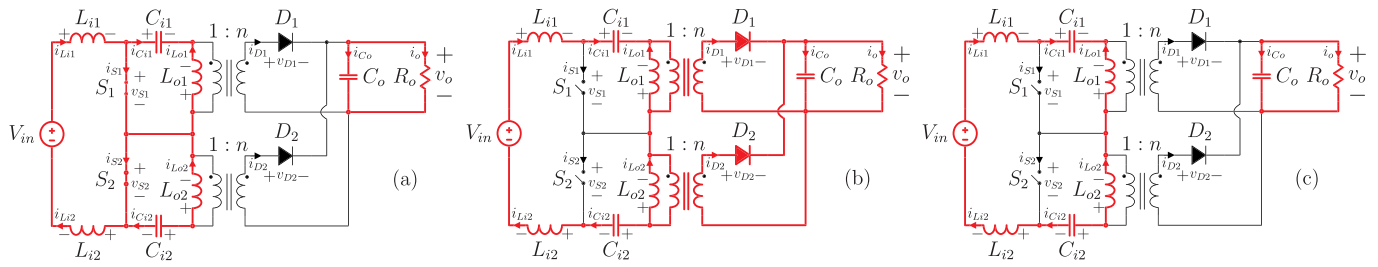


Fig. 3. Etapas de operação: (a) Primeira etapa de operação; (b) Segunda etapa de operação; e (c) Terceira etapa de operação.

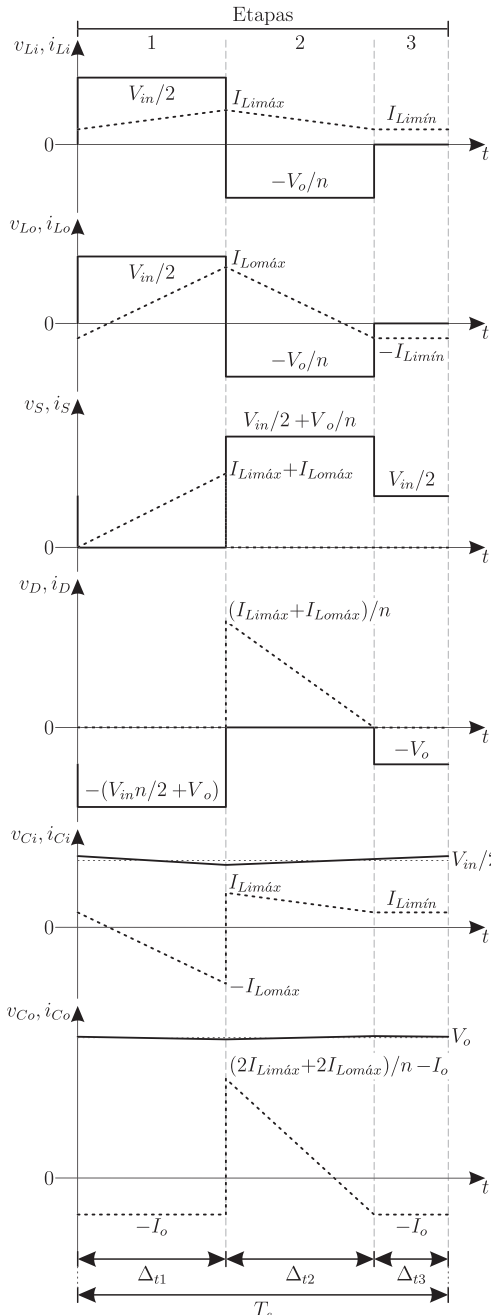


Fig. 4. Principais formas de onda de tensão e corrente.

que são proporcionais à V_{in} . Esta é a principal vantagem do conversor proposto, pois o alto esforço de tensão nos componentes do conversor SEPIC convencional limita a sua faixa de aplicação.

III. PRINCIPAIS EQUAÇÕES DE PROJETO

Esta seção tem como objetivo apresentar as principais equações de projeto do conversor SEPIC proposto. Destaca-se que as equações descrevem a operação do conversor em regime permanente e são utilizadas para realizar o projeto dos elementos de potência.

A. Ganho Estático

O ganho estático (M), relação da tensão de saída (V_o) pela tensão de entrada (V_{in}), é obtido a partir da igualdade entre as expressões que representam o valor médio da corrente de saída, o qual é obtido a partir de

$$I_o = \frac{V_{in}^2 D^2 (L_i + L_o)}{4V_o L_i L_o f_s} \quad (1)$$

e

$$I_o = \frac{V_o}{R_o}, \quad (2)$$

onde: D é a razão cíclica nominal, f_s é a frequência de comutação e R_o a resistência de carga.

Substituindo (2) em (1), obtém-se

$$M = \frac{V_o}{V_{in}} = Dk_a, \quad (3)$$

que representa o ganho estático do conversor, sendo

$$k_a = \sqrt{\frac{R_o(L_i + L_o)}{4L_i L_o f_s}}. \quad (4)$$

Observando o parâmetro k_a , pode-se notar que para o conversor com frequência de comutação e indutâncias fixas, haverá uma curva de ganho estático para cada valor de resistência de carga.

O comportamento do ganho estático em função de alguns valores de k_a e D é visto nas curvas da Figura 5. Nota-se que existe um valor máximo de razão cíclica para cada valor de k_a que garante o MCD. Este valor é o limite entre os modos MCD e MCC (modo de condução contínua). Dentro da região MCD, considerando um k_a fixo (que significa parâmetros e carga fixos), a variação do ganho é linear em função de D .

B. Indutores L_i e L_o

Os valores das indutâncias de entrada (L_i) são obtidos a partir do critério da máxima ondulação de corrente no período de comutação. Assim, os valores são determinados por

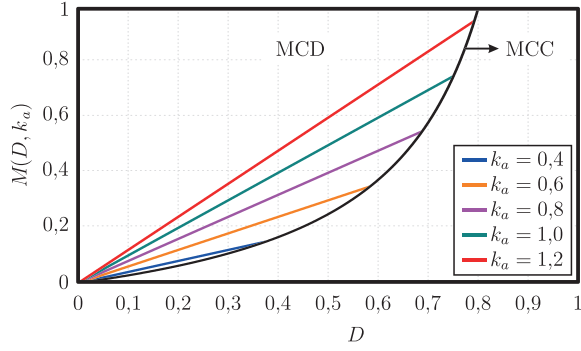


Fig. 5. Ganho estático em função da razão cíclica D e de k_a .

$$L_i = \frac{V_{in}D}{2\Delta_{iL_i}f_s}, \quad (5)$$

onde Δ_{iL_i} é a ondulação de corrente.

Os valores das indutâncias magnetizantes (L_o) são definidos para garantir a operação no MCD. Substituindo (4) em (3) e isolando L_o obtém-se:

$$L_o = \frac{V_{in}^2 D^2 L_i R_o}{4V_o^2 L_i f_s - V_{in}^2 D^2 R_o}. \quad (6)$$

Os valores máximos e eficazes de corrente nos indutores L_i e L_o são obtidos a partir da análise matemática das formas de onda apresentadas na Figura 4, dadas por:

$$I_{L_i_m\acute{a}x} = \frac{V_{in}D[4V_oL_o + D(2V_oL_i - V_{in}nL_o)]}{8V_oL_iL_o f_s}, \quad (7)$$

$$\alpha_1 \sqrt{3D \left[L_o^2 \begin{bmatrix} 16V_o^2 \\ -3V_{in}^2 n^2 D \\ +4V_{in}V_o(2-3D) \\ +12V_o^2 D(L_i^2 + 2L_iL_o) \end{bmatrix} \right]}, \quad (8)$$

$$I_{L_o_m\acute{a}x} = \frac{V_{in}D[4V_oL_i - D(2V_oL_i - V_{in}nL_o)]}{8V_oL_iL_o f_s}, \quad (9)$$

e

$$\alpha_1 \sqrt{\frac{3D}{2} \begin{bmatrix} 3V_{in}^2 n^2 L_o D(4L_i + L_o) \\ +8V_o^2 L_i^2(4-3D) \\ +8V_{in}nV_o L_i^2(2-3D) \end{bmatrix}}. \quad (10)$$

sendo n a relação de transformação e α_1 determinado por

$$\alpha_1 = \frac{V_{in}D}{24V_oL_iL_o f_s}. \quad (11)$$

C. Capacitores C_i e C_o

Os capacitores C_i e C_o são projetados com o critério de ondulação de tensão no período de comutação, sendo seus valores definidos por:

$$C_i = \frac{V_{in}D^2[2V_oL_i(2-D) + V_{in}nDL_o]^2}{64V_o^2L_i^2L_o f_s^2 \Delta_{VC_i}} \quad (12)$$

e

$$C_o = \frac{V_{in}^2 D^2 (L_i + L_o) (V_{in}nD - 4V_o)^2}{64V_o^3 L_i L_o f_s^2 \Delta_{VC_o}}, \quad (13)$$

onde Δ_{VC_i} e Δ_{VC_o} são as ondulações de tensão no período de comutação nos capacitores C_i e C_o , respectivamente.

Assim como nos indutores, as equações das correntes eficazes nos capacitores são obtidas a partir da análise das formas de onda e operações matemáticas, sendo os valores dados por:

$$\alpha_1 \sqrt{3D \left[\begin{array}{c} I_{C_i_eficaz} = \\ V_{in}nL_o \begin{bmatrix} 4V_o(3L_iD + 2L_o) \\ -3V_{in}nL_oD \\ +4V_o^2L_i^2(4-3D) \end{bmatrix} \end{array} \right]} \quad (14)$$

e

$$I_{C_o_eficaz} = \frac{V_{in}D(L_i + L_o)}{12V_oL_iL_o f_s} \sqrt{\frac{3V_{in}D(8V_o - 3V_{in}nD)}{n}}. \quad (15)$$

D. Semicondutores

Os interruptores são selecionados a partir dos esforços de máxima tensão e de corrente eficaz, enquanto os diodos são escolhidos a partir da máxima tensão e de corrente média. Esses valores podem ser calculados, respectivamente, por:

$$V_{S_m\acute{a}x} = \frac{V_{in}}{2} + \frac{V_o}{n}, \quad (16)$$

$$I_{S_eficaz} = \frac{V_{in}D(L_i + L_o)}{6L_iL_o f_s} \sqrt{3D}, \quad (17)$$

$$V_{D_m\acute{a}x} = \frac{V_{in}n}{2} + V_o, \quad (18)$$

e

$$I_{D_m\acute{e}dio} = \frac{V_{in}^2 D^2 (L_i + L_o)}{8V_oL_iL_o f_s}. \quad (19)$$

E. Restrições de Operação

A operação limitada ao MCD apresenta duas restrições, sendo uma associada à resistência crítica e a outra associada ao máximo valor de razão cíclica. O valor mínimo da resistência indica que, utilizando uma resistência equivalente igual ou superior ao valor da resistência crítica, o conversor opera em MCD, enquanto o valor máximo de razão cíclica indica que, para o conversor operar em MCD, o valor de razão cíclica admitido deve ser sempre inferior ao valor máximo. Esses limites são descritos, respectivamente, em:

$$R_{om\acute{i}n} = \frac{n^2 L_i L_o f_s}{(1-D)^2 (L_i + L_o)} \quad (20)$$

e

$$D_{m\acute{a}x} = 1 - \sqrt{\frac{n^2 L_i L_o f_s}{R_o (L_i + L_o)}}. \quad (21)$$

IV. CIRCUITO DE GRAMPEAMENTO

O conversor SEPIC proposto apresenta isolamento galvânica em alta frequência e, assim como o SEPIC convencional isolado, possuirá uma sobretensão sobre os interruptores causada pela indutância de dispersão (L_{dp}). Isto acontece devido a energia armazenada na indutância de dispersão, que

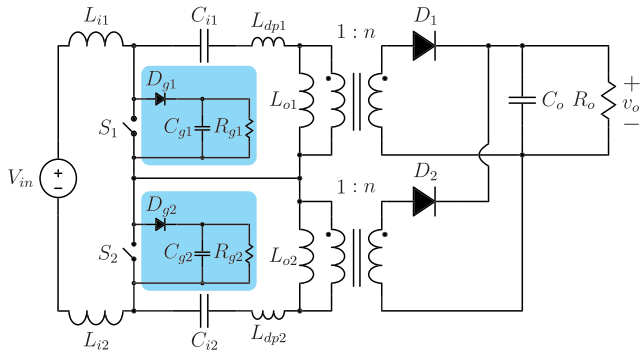


Fig. 6. Conversor CC-CC SEPIC com grampeamento RCD.

não possui um caminho para circular quando os interruptores são bloqueados. Uma solução bem conhecida na literatura para contornar este problema é a inserção de um circuito de grampeamento. A literatura apresenta algumas soluções, sendo que uma das mais utilizadas é o grampeamento passivo dissipativo RCD [29]–[31]. Este circuito de grampeamento é composto por um diodo, um capacitor e um resistor. As principais vantagens desta solução são: a simplicidade na estrutura, baixo custo, número reduzido de componentes e, principalmente, não altera o princípio de operação do conversor. Entretanto, a energia proveniente da indutância de dispersão é dissipada em um resistor, o que diminui o rendimento da estrutura. Na Figura 6 apresenta-se o circuito de grampeamento passivo dissipativo RCD inserido no conversor SEPIC proposto.

Com a adição do circuito de grampeamento, a máxima tensão sobre os interruptores passa a ser um valor especificado, denominado como V_{gramp} . Esse valor máximo de tensão ocorre no instante em que os interruptores são bloqueados. Com isso, os diodos de grampeamento entram em condução, transferindo a energia das indutâncias de dispersão para os capacitores de grampeamento, sendo essa energia posteriormente dissipada pelos resistores. Quando as correntes das indutâncias de dispersão se igualam à corrente dos indutores de entrada, os diodos de grampeamento bloqueiam e os interruptores ficam submetidos à tensão $V_{S_m\acute{a}x}$, apresentada em (16). Vale ressaltar que o tempo de operação do circuito de grampeamento é muito inferior aos tempos de operação do conversor, podendo-se negligenciar sua operação nas análises anteriores.

Sendo assim, o dimensionamento deste circuito de grampeamento ocorre a partir da especificação de um valor de tensão (V_{gramp}) e do valor das indutâncias de dispersão (L_{dp}). A partir destes valores, o capacitor C_g é calculado por

$$C_g = \frac{L_{dp} I_{S_m\acute{a}x}^2}{2\Delta V_{Cg}(V_{gramp} - V_{S_m\acute{a}x})}, \quad (22)$$

sendo ΔV_{Cg} a ondulação de tensão do capacitor C_g e $I_{S_m\acute{a}x}$ o valor máximo de corrente nos interruptores, obtido a partir de

$$I_{S_m\acute{a}x} = \frac{V_{in}D(L_i + L_o)}{2L_iL_o f_s}. \quad (23)$$

O valor do resistor de grampeamento é obtido a partir de

$$R_g = \frac{2V_{gramp}(V_{gramp} - V_{S_m\acute{a}x})}{L_{dp} I_{S_m\acute{a}x}^2 f_s}. \quad (24)$$

Vale ressaltar que este resistor do grampeamento deve ser escolhido com uma potência suficiente para dissipar a energia vinda da indutância de dispersão, sendo a potência dissipada pelo circuito de grampeamento calculada utilizando

$$P_g = \frac{V_{gramp}^2}{R_g}. \quad (25)$$

Destaca-se que o circuito de grampeamento RCD é apresentado em detalhe por [30], contendo as etapas de operação do conversor SEPIC convencional com o circuito de grampeamento, as principais formas de onda, princípio de operação e as equações de projeto.

V. RESULTADOS EXPERIMENTAIS

A validação da topologia e da análise teórica foi realizada com um protótipo de 500 W, projetado e construído a partir das especificações e dos elementos apresentados nas Tabelas I e II, respectivamente. Para efeito comparativo, um protótipo do conversor SEPIC convencional foi construído a partir das especificações e dos elementos apresentados nas Tabelas I e III, respectivamente. Os esquemáticos dos conversores SEPIC convencional e proposto estão apresentados na Figura 7 (I) e (II), respectivamente.

Os resultados experimentais foram obtidos com os conversores operando em potência nominal (500 W) e em malha aberta. A referência de tensão (v_{ref}) e o modulador PWM foram gerados de forma digital, utilizando o *DSP (digital signal processor)* TMS320F28027 da *Texas Instruments*. Dois *drivers* isolados foram utilizados para o acionamento dos interruptores do conversor SEPIC proposto, uma vez que estes não apresentam o mesmo referencial, conforme mostrado na Figura 7 (II). Para o acionamento do conversor SEPIC convencional utilizou-se um *driver* isolado, como pode-se observar na Figura 7 (I), com o intuito de utilizar o mesmo protótipo para validação da malha fechada. As formas de ondas e as curvas foram medidas através do osciloscópio DPO 5054 da Tektronix e do analisador de potência WT500 da Yokogawa, para ambos os protótipos.

TABELA I
Especificações de Projeto

Especificação	SEPIC convencional	SEPIC proposto
Tensão de entrada (V_{in})	400 V	400 V
Tensão de saída (V_o)	120 V	120 V
Potência de saída (P_o)	500 W	500 W
Razão cíclica (D)	0,3	0,45
Frequência de comutação (f_s)	50 kHz	50 kHz
Ondulação de tensão nos capacitores de entrada (ΔV_{Ci})	10%	10%
Ondulação de tensão em C_o (ΔV_{Co})	1%	1%
Ondulação de corrente nos indutores de entrada (Δi_{Li})	20%	20%
Máxima tensão do grampeamento ($V_{snubber}$)	800 V	550 V

A relação de transformação (n), sendo $n = N_s/N_p$, onde N_p é o número de espiras do primário e N_s o número de espiras do secundário, é atribuída com base no ganho estático, a fim de se obter uma faixa adequada de razão cíclica para operação, sempre respeitando o valor máximo de razão cíclica ($D_{máx}$). A partir das especificações de projeto, define-se $n = 0,5$.

Outra vantagem do conversor SEPIC proposto, em relação ao conversor SEPIC convencional, está na escolha da razão cíclica. Para os mesmos valores de tensão de entrada, tensão

de saída, potência de saída e frequência de comutação, o conversor SEPIC proposto possibilita trabalhar com um valor maior de razão cíclica, diminuindo assim os valores máximo e eficaz de corrente nos elementos do conversor. A Figura 8 apresenta as curvas de ganho estático e o ponto de operação do conversor SEPIC convencional e do conversor SEPIC proposto. Como pode-se visualizar, a curva do ganho estático do conversor proposto atinge valores maiores de razão cíclica. O parâmetro k_a , indicador que determina a inclinação da curva do ganho estático, do conversor SEPIC convencional é igual a 1, enquanto que para o conversor SEPIC proposto o parâmetro

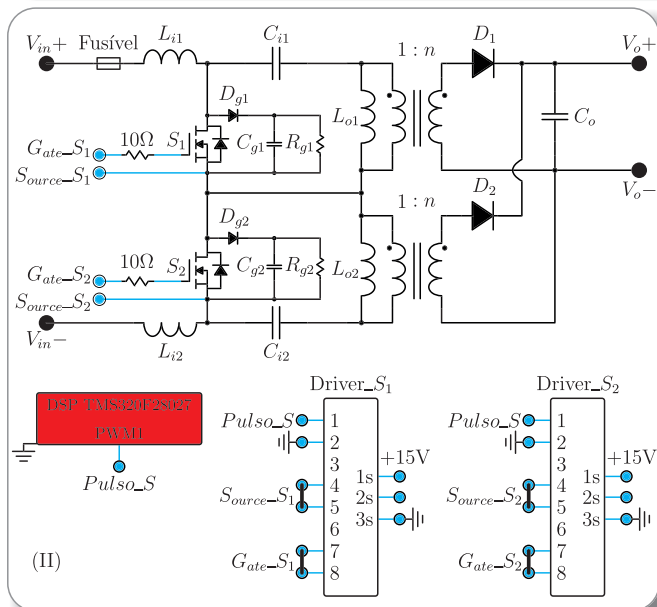
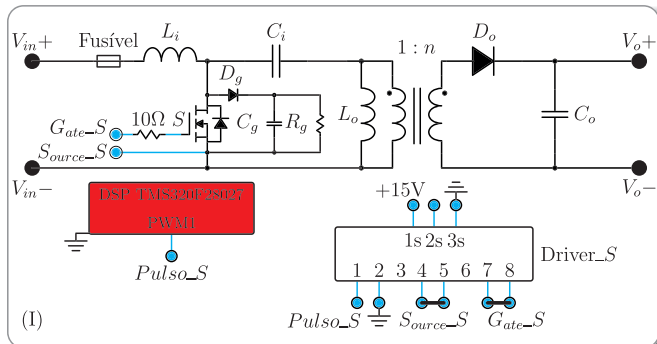


Fig. 7. Esquemático do conversor CC-CC: (I) SEPIC convencional e (II) SEPIC proposto.

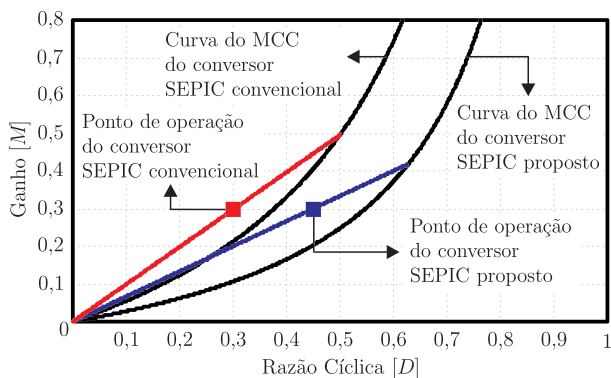


Fig. 8. Curvas do ganho estático em função da razão cíclica dos conversores SEPIC convencional e proposto.

TABELA II

Lista dos Componentes do Conversor SEPIC Proposto

Componente	Descrição
Indutores L_{i1} e L_{i2}	Indutância L_{i1} : 7,26 mH
	Indutância L_{i2} : 7,28 mH
	Nº de espiras: 297 Fio: 41x38 AWG
Indutores L_{o1} e L_{o2}	Núcleo: 0088083A7 AmoFlux
	Indutância L_{o1} : 342,28 μ H
	Indutância L_{o2} : 343,99 μ H n : 0,5; N_p : 40 e N_s : 20; Fio primário: 86x41 AWG Fio secundário: 150x38 AWG Núcleo: EE 42/21/15
Interruptores S_1 e S_2	IPW65R019C7 (650 V/62 A)
Diodos D_1 e D_2	C3D12065A (650 V/16 A)
Capacitores C_{i1} e C_{i2}	360 nF/630 V
Capacitor C_o	40 μ F/500 V
Diodos D_{g1} e D_{g2}	MUR4100 (1000 V/4 A)
Capacitores C_{g1} e C_{g2}	100 nF/1600 V
Resistores R_{g1} e R_{g2}	22 k Ω /50 W

TABELA III

Lista dos Componentes do Conversor SEPIC Convencional

Componente	Descrição
Indutor L_i	Indutância: 9,4571 mH
	Nº de espiras: 262
	Fio: 41x38 AWG
Indutor L_o	Núcleo: 0088439A7 AmoFlux
	Indutância: 305,271 μ H
	n : 0,5; N_p : 30 e N_s : 15; Fio primário: 41x34 AWG Fio secundário: 180x38 AWG Núcleo: EE 55/28/21
Interruptor S	C3M0075120K (1200 V/30 A)
Diodo D_o	C3D12065A (650 V/16 A)
Capacitor C_i	470 nF/630 V
Capacitor C_o	40 μ F/500 V
Diodo D_g	MUR4100 (1000 V/4 A)
Capacitor C_g	100 nF/1600 V
Resistor R_g	18 k Ω /50 W

k_a é igual a 0,667. Vale ressaltar que estes valores de k_a são obtidos a partir dos valores de projeto e dos elementos, apresentados nas Tabelas I, II e III. Os valores máximos de razão cíclica ($D_{máx}$) são iguais a 0,5 e 0,625 para os conversores SEPIC convencional e proposto, respectivamente. Estes valores de $D_{máx}$ podem ser visualizados na Figura 8, sendo os valores limites com a curva do MCC.

A. Resultados Experimentais dos Conversores SEPIC Convencional e Proposto

As formas de onda da tensão e da corrente de saída, dos conversores SEPIC convencional e proposto, são mostradas na Figura 9 (I) e (II), respectivamente. O conversor SEPIC convencional apresentou valores médios de tensão e corrente de 119,07 V e 4,36 A, fornecendo aproximadamente 519,2 W de potência para a carga, enquanto que os valores médios de tensão e corrente no conversor SEPIC proposto foram de 120,26 V e 4,398 A, totalizando uma potência de 528,94 W entregue à carga.

A Figura 10 (I) e (II) apresenta a corrente do indutor L_i do conversor SEPIC convencional e do indutor L_{i1} do conversor proposto, sendo igual a corrente de entrada. Os valores eficaz e médio da corrente de entrada do conversor SEPIC convencional são respectivamente iguais a 1,453 A e 1,444 A, com ondulação de aproximadamente 535 mA. Os valores eficaz e médio da corrente de entrada, do conversor SEPIC proposto, são iguais a 1,429 A e 1,425 A, respectivamente, com ondulação de aproximadamente 300 mA. Esses valores, do conversor SEPIC proposto, estão em concordância com o projeto, como pode-se visualizar na Tabela IV. Vale ressaltar que os valores experimentais são mais elevados pelo fato do conversor não ser ideal e processar uma potência de aproximadamente 530 W.

A Figura 11 (I) ilustra as formas de onda experimentais da tensão e da corrente do interruptor S e a tensão de grampeamento do conversor SEPIC convencional. A máxima tensão teórica sobre o interruptor é igual a somatória da tensão de entrada e da tensão de saída refletida para o lado primário (640 V). Entretanto, devido a sobretensão causada pela indutância de dispersão do transformador isolador, a máxima tensão sobre o interruptor é definida pelo projeto do circuito de grampeamento (800V). Analisando a forma de onda da tensão sobre o interruptor e da tensão de grampeamento, pode-se observar que este valor é igual a 796 V. Após o período de comutação e da dissipação da energia proveniente da indutância de dispersão, a máxima tensão sobre o interruptor é equivalente a 672 V. O máximo valor de corrente no

interruptor é igual a 15,09 A, com valor eficaz de 2,54 A.

A tensão sobre os interruptores S_1 e S_2 , do conversor SEPIC proposto, são apresentadas na Figura 11 (II), assim como as tensões de grampeamento. A tensão teórica máxima sobre os terminais dos interruptores é de 440 V, conforme (16). Este valor despreza os fenômenos da comutação e a ondulação de tensão nos capacitores. Ao analisar a tensão experimental após a comutação, nota-se que seu valor está em 463 V em S_1 e 457 V em S_2 , de acordo com o valor teórico. Também é possível visualizar na Figura 11 (II) que, no instante em que os interruptores são bloqueados, a tensão começa a se elevar até atingir o patamar da tensão do grampeamento. Os máximos valores de tensão sobre os interruptores S_1 e S_2 são, respectivamente, iguais a 556 V e 536 V. Destaca-se que a máxima tensão sobre os interruptores adotada no projeto do circuito de grampeamento foi de 550 V. As três etapas de operação do MCD são destacadas nas formas de onda.

As formas de onda experimentais da tensão e da corrente do diodo D_o , do conversor SEPIC convencional, e dos diodos D_1 e D_2 , do conversor SEPIC proposto, são apresentadas, respectivamente, na Figura 12 (I) e (II). O máximo valor de tensão no diodo D_o , Figura 12 (I), é igual a -334 V, enquanto que as correntes máxima e média são iguais a 25,8 A e 4,708 A. Os valores máximos de tensão sobre os diodos D_1 e D_2 são iguais a, respectivamente, -313,2 V e -355,2 V, devido aos fenômenos da comutação. Após os fenômenos da comutação, os valores máximos de tensão sobre os diodos passam a ser iguais a -227,62 V e -242,63 V. Os valores médios de corrente são iguais a 2,576 A e 2,335 A, com valor máximo de 16,66 A e 14,98 A. Valores estes em acordo com a teoria, conforme a Tabela IV.

A Figura 13 (I) apresenta a forma de onda da tensão sobre os capacitores C_i , do conversor SEPIC convencional. O valor médio teórico da tensão sobre este capacitor é igual a tensão de entrada (400 V). A tensão média experimental foi de 402,7 V, com ondulação de 59,5 V. As formas de onda das tensões sobre os capacitores C_{i1} e C_{i2} , do conversor SEPIC proposto, são apresentadas na Figura 13 (II). Destaca-se que a tensão média teórica sobre esses capacitores é igual à metade da tensão de entrada (200 V). Nos resultados experimentais, a tensão média é, respectivamente, igual a 194,9 V e 205,5 V, com ondulação de 55,8 V e 42,6 V.

As curvas de rendimento teórica e experimental do conversor proposto com circuito de grampeamento RCD são vistas na Figura 14. O máximo valor de rendimento experimental foi de 91,87% em plena carga (528,94 W). O máximo rendimento teórico também se deu em plena

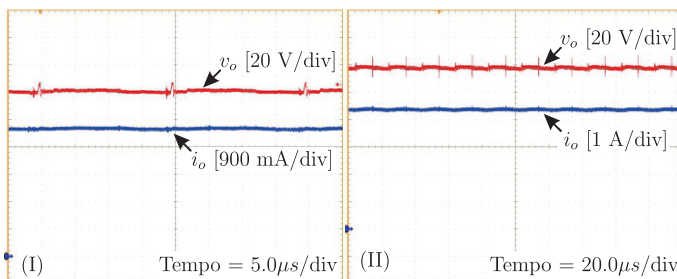


Fig. 9. Formas de onda experimentais da tensão e corrente de saída: (I) conversor SEPIC convencional e (II) conversor SEPIC proposto.

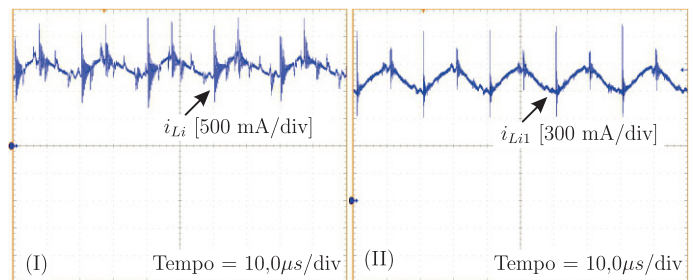


Fig. 10. Formas de onda experimentais da corrente de entrada: (I) conversor SEPIC convencional e (II) conversor SEPIC proposto.

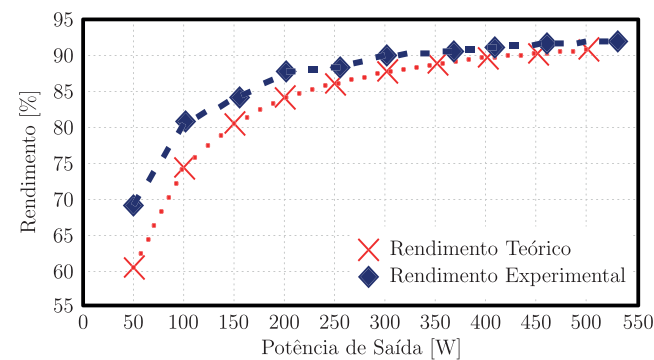
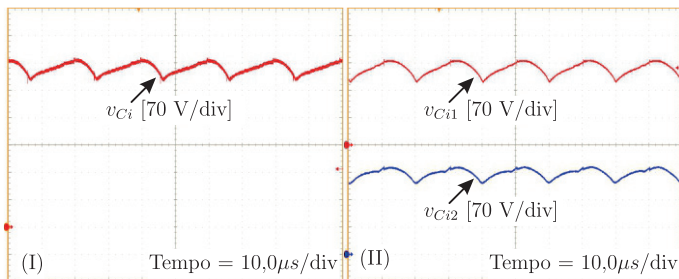
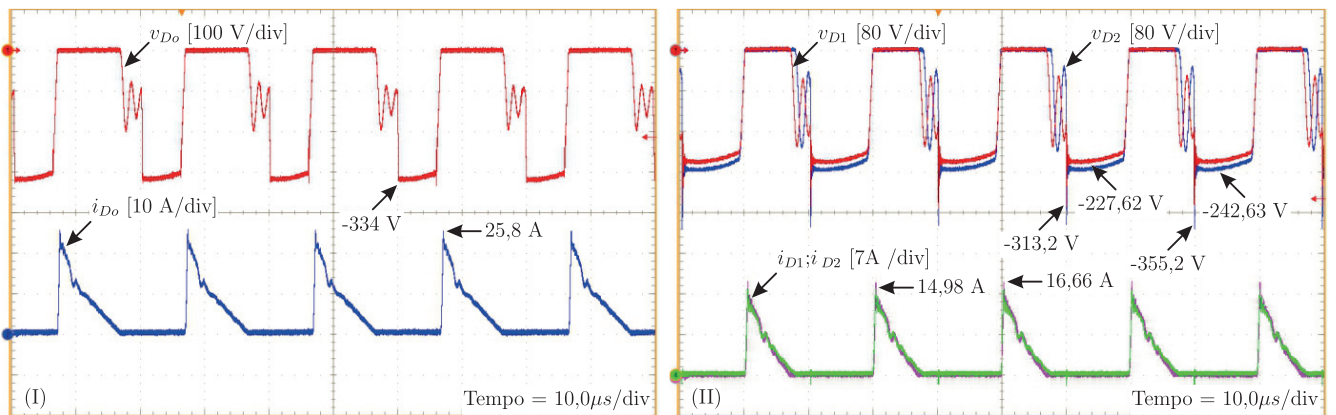
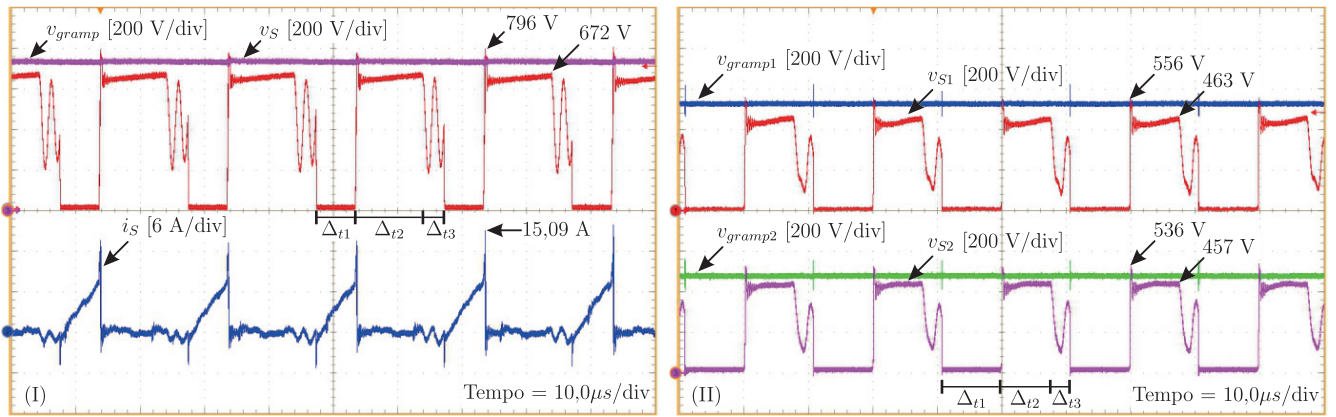


Fig. 14. Curvas de rendimento teórica e experimental do conversor SEPIC proposto.

carga (500 W) e é igual a 90,76%. O resultado teórico tem um rendimento menor pelo fato de se utilizar valores conservativos dos parâmetros fornecidos nos *datasheets* (sempre o pior caso). Além disso, a maior parte das perdas está no grampeamento (53,87%), causado pela energia presente na indutância de dispersão e a necessidade de limitar a tensão sobre os interruptores.

B. Análise Comparativa entre os Conversores SEPIC Proposto e SEPIC Convencional

Esta seção faz uma comparação do conversor SEPIC proposto com o conversor SEPIC convencional isolado, ambos operando em MCD.

A Tabela V apresenta uma análise quantitativa entre as duas estruturas. Nota-se que o conversor SEPIC proposto possui um indutor acoplado, um capacitor, um interruptor e um diodo extra. O uso de um interruptor extra também provoca o uso de uma célula de circuito de grampeamento e um *driver* adicional. Vale ressaltar que o circuito do conversor SEPIC proposto apresentado na Figura 1 possui dois indutores na entrada (L_{i1} e L_{i2}). Esta representação foi utilizada apenas para demonstrar o conversor de forma simétrica, sendo que esses indutores podem ser substituídos por um único indutor, uma vez que estão em série, não contabilizando como um elemento extra na análise quantitativa.

Uma análise qualitativa é apresentada na Figura 15. Os gráficos de barras mostram que os esforços de tensão sobre

os interruptores e os diodos do conversor SEPIC proposto são menores que no SEPIC convencional. Também pode-se observar que o esforço de corrente nos diodos do conversor SEPIC convencional é o dobro do esforço do conversor SEPIC proposto. Entretanto, o esforço de corrente no capacitor de saída aumenta em 40%. Destaca-se que os valores dos esforços são apresentados em pu (*Per-unit*), sendo cada esforço normalizado pelo respectivo valor do conversor SEPIC proposto.

Em termos de rendimento experimental, apresenta-se na

TABELA IV

Comparação entre os Valores Teóricos, Simulados e Experimentais do Conversor SEPIC Proposto

Grandeza	Valor Teórico	Valor Simulado*1	Valor Experimental
V_o	120 V	123,51 V	120,26 V
I_o	4,167 A	4,288 A	4,398 A
P_o	500 W	529,619 W	528,94 W
I_{Li1_eficaz}	1,253 A	1,327 A	1,429 A
$I_{Li1_médio}$	1,25 A	1,324 A	1,425 A
$V_{S1_máx}$	440 V	450,385 V	463 V*2
$V_{D1_máx}$	-220 V	-232,144 V	-313,2 V
$I_{D1_médio}$	2,083 A	2,15 A	2,576 A
$I_{D1_máx}$	11,111 A	11,42 A	16,66 A

*1 Simulação realizada considerando o conversor proposto ideal.

*2 Máximo valor após a comutação do interruptor.

TABELA V

Análise Quantitativa entre o Conversor SEPIC Proposto e o Conversor SEPIC Convencional

Características	SEPIC Proposto em MCD	SEPIC Convencional em MCD
Número de indutores	1	1
Número de indutores acoplados	2	1
Número de capacitores	3	2
Número de interruptores	2	1
Número de diodos	2	1
Circuito de grampeamento	2	1

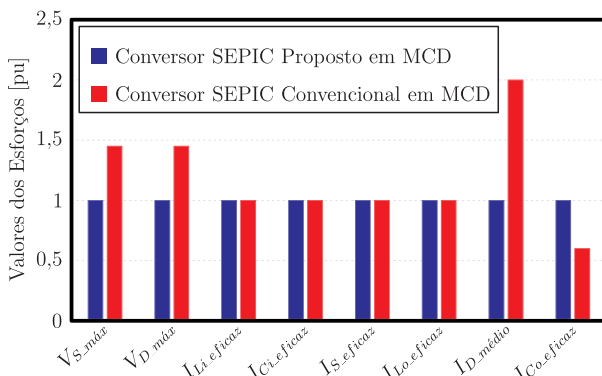


Fig. 15. Análise qualitativa dos esforços em pu, sendo a base o conversor proposto.

Figura 16 as curvas de rendimento do conversor SEPIC proposto e do conversor SEPIC convencional. O conversor SEPIC convencional apresenta um rendimento máximo de 85,6% em 519,2 W. Nota-se que a curva de rendimento do conversor SEPIC proposto é superior, em torno de 6%, durante toda faixa de potência. Destaca-se ainda que as curvas de rendimento foram realizadas para as mesmas especificações de projeto, exceto pelo valor de razão cíclica, mesma metodologia de projeto e utilizando os mesmos equipamentos durante os testes experimentais.

A Figura 17 apresenta a distribuição das perdas teóricas dos conversores SEPIC convencional e proposto (em potência nominal e com o circuito de grampeamento RCD). Como pode-se observar, um pouco mais da metade das perdas dos conversores concentram-se nos circuitos de grampeamento, sendo equivalente à dissipação da energia proveniente das indutâncias de dispersão.

VI. CONCLUSÃO

Este artigo propôs um conversor SEPIC isolado com reduzidos esforços de tensão sobre os semicondutores e esforços reduzidos de corrente nos diodos de saída. A topologia é obtida a partir da união de dois conversores SEPIC convencionais.

Uma das principais desvantagens da topologia SEPIC é o alto esforço de tensão sobre os semicondutores. Esses valores são proporcionais a somatória das tensões de entrada e de saída. A topologia proposta reduz os esforços de tensão dos semicondutores. Nela, os esforços são proporcionais a somatória da metade da tensão de entrada com a tensão de saída. Essa vantagem permite utilizar a estrutura SEPIC em tensões de entrada maiores com o uso de interruptores da família dos 600 V de tensão de bloqueio, o que pode ampliar a faixa de aplicação dos conversores do tipo SEPIC.

Os resultados experimentais validaram a topologia proposta e suas principais características. Um rendimento máximo de 91,87% foi obtido em plena carga (528,94 W) com o uso de um grampeador dissipativo (maior fonte de perdas segundo a análise teórica de perdas). Comparado com o conversor SEPIC convencional, além de apresentar reduzidos esforços sobre os semicondutores, o conversor proposto apresentou rendimento superior durante toda faixa de potência, mesmo contendo um maior número de componentes. Acredita-se que o rendimento do conversor pode ser incrementado com o uso de um grampeamento não dissipativo, ou então, de uma

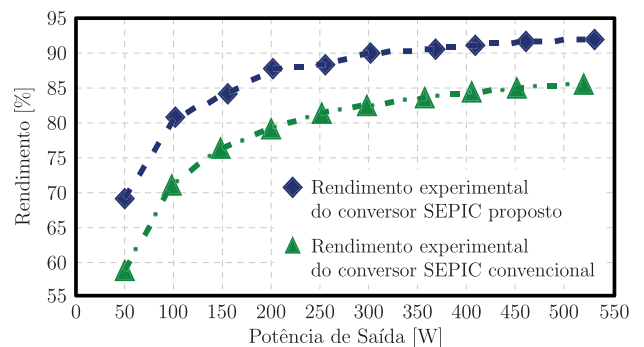


Fig. 16. Curvas de rendimento experimentais do conversor SEPIC proposto e do conversor SEPIC convencional.

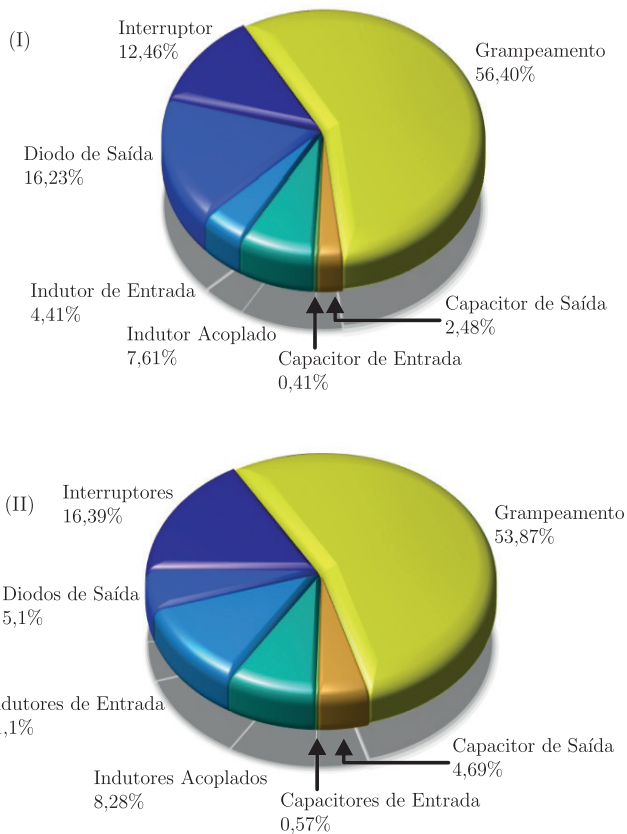


Fig. 17. Distribuição de perdas: (I) do conversor SEPIC convencional e (II) do conversor SEPIC proposto.

metodologia de projeto dos indutores acoplados que reduza a indutância de dispersão.

REFERÊNCIAS

- [1] D. S. L. Simonetti, J. Sebastian, J. Uceda, "The discontinuous conduction mode Sepic and Cuk power factor preregulators: analysis and design", *IEEE Transactions on Industrial Electronics*, vol. 44, no. 5, pp. 630–637, October 1997.
- [2] D. C. Martins, A. H. d. Oliveira, I. Barbi, "Retificador Trifásico isolado com correção do fator de potência empregando o conversor cc-cc SEPIC em condução contínua", *Eletrônica de Potência*, vol. 6, no. 1, pp. 8–15, Dezembro 2001.
- [3] M. Mahdavi, H. Farzanehfard, "Bridgeless SEPIC PFC rectifier with reduced components and conduction losses", *IEEE Transactions on Industrial Electronics*, vol. 58, no. 9, pp. 4153–4160, November 2010.
- [4] P. J. S. Costa, C. H. Illa Font, T. B. Lazzarin, "A family of single-phase voltage-doubler high-power-factor SEPIC rectifiers operating in DCM", *IEEE Transactions on Power Electronics*, vol. 32, no. 6, pp. 4279–4290, August 2016.
- [5] H.-J. Chiu, Y.-K. Lo, J.-T. Chen, S.-J. Cheng, C.-Y. Lin, S.-C. Mou, "A high-efficiency dimmable LED driver for low-power lighting applications", *IEEE Transactions on Industrial Electronics*, vol. 57, no. 2, pp. 735–743, July 2009.
- [6] H. Ma, J.-S. Lai, Q. Feng, W. Yu, C. Zheng, Z. Zhao, "A novel valley-fill SEPIC-derived power supply without electrolytic capacitor for LED lighting application", *IEEE Transactions on Power Electronics*, vol. 27, no. 6, pp. 3057–3071, November 2011.
- [7] I. Burgardt, E. Agostini Junior, C. H. Illa Font, C. B. Nascimento, "A sepic-energy-regenerative-snubber with linear current regulator for power leds", in *11th IEEE/IAS International Conference on Industry Applications*, pp. 1–6, December 2014.
- [8] I. Burgardt, E. Agostini Jr, C. H. Illa Font, C. B. Nascimento, "A Flicker-Free Power LEDs Driver Based on The Non-Isolated SEPIC Rectifier Using a Regenerative Snubber", *Eletrônica de Potência*, vol. 20, no. 1, pp. 31–39, Fevereiro 2015.
- [9] B. Singh, R. Kushwaha, "A PFC Based EV Battery Charger Using a Bridgeless Isolated SEPIC Converter", *IEEE Transactions on Industry Applications*, vol. 56, no. 1, pp. 477–487, November 2019.
- [10] R. Kushwaha, B. Singh, "An Improved SEPIC PFC Converter for Electric Vehicle Battery Charger", in *Industry Applications Society Annual Meeting*, pp. 1–8, September 2019.
- [11] R. H. Eckstein, T. B. Lazzarin, G. Waltrich, "Two-Stage SEPIC-Buck Topology for Neighborhood Electric Vehicle Charger", in *15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)*, pp. 1–4, December 2019.
- [12] S. Chiang, H.-J. Shieh, M.-C. Chen, "Modeling and control of PV charger system with SEPIC converter", *IEEE Transactions on Industrial Electronics*, vol. 56, no. 11, pp. 4344–4353, September 2008.
- [13] A. C.-C. Hua, B. C.-y. Tsai, "Design of a wide input range DC/DC converter based on SEPIC topology for fuel cell power conversion", in *International Power Electronics Conference-ECCE ASIA-*, pp. 311–316, August 2010.
- [14] P. K. Maroti, S. Padmanaban, F. Blaabjerg, L. Martirano, P. Siano, "A novel multilevel high gain modified SEPIC DC-to-DC converter for high voltage/low current renewable energy applications", in *12th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG 2018)*, pp. 1–6, April 2018.
- [15] T. M. K. Faistel, C. H. I. Font, A. M. S. S. Andrade, M. L. da Silva Martins, "Família de Conversores Isolados com Células R2P2 e Multiplicador de Tensão para Microgeradores PV", *Eletrônica de Potência*, vol. 24, no. 3, pp. 378–388, Setembro 2019.
- [16] A. C. Lourenço, F. J. Seixas, J. C. P. Junior, P. S. Oliveira, "Conversor Trifásico Multipulso com regulação da tensão de saída através de estágios cc/cc SEPIC", *Eletrônica de Potência*, vol. 22, no. 1, pp. 31–39, Março 2017.
- [17] P. J. S. Costa, T. B. Lazzarin, F. A. B. Batista, C. H. Illa Font, "Conexão de aerogeradores de pequeno porte em microrredes de corrente contínua utilizando um

- retificador trifásico modular SEPIC”, *Eletrônica de Potência*, vol. 21, no. 3, pp. 212–223, Setembro 2016.
- [18] C. A. Canesin, I. Barbi, “A unity power factor multiple isolated outputs switching mode power supply using a single switch”, in *Sixth Annual Applied Power Electronics Conference and Exhibition (APEC)*, pp. 430–436, March 1991.
- [19] S. Singh, G. Bhuvaneswari, B. Singh, “Improved power quality based bridgeless multiple outputs power supply”, in *2013 International Conference on Computer Communication and Informatics*, pp. 1–5, June 2014.
- [20] K. Mohanraj, S. Bharathnarayanan, “Three Level SEPIC For Hybrid Wind-Solar Energy Systems”, *Energy Procedia*, vol. 117, pp. 120–127, June 2017.
- [21] P. F. de Melo, R. Gules, E. F. R. Romaneli, R. C. Annunziato, “A modified SEPIC converter for high-power-factor rectifier and universal input voltage applications”, *IEEE Transactions on Power Electronics*, vol. 25, no. 2, pp. 310–321, August 2009.
- [22] R. Gules, W. M. Dos Santos, F. A. Dos Reis, E. F. R. Romaneli, A. A. Badin, “A modified SEPIC converter with high static gain for renewable applications”, *IEEE Transactions on Power Electronics*, vol. 29, no. 11, pp. 5860–5871, December 2013.
- [23] Y. Wang, S. Gao, D. Xu, “A 1-MHz-modified SEPIC with ZVS characteristic and low-voltage stress”, *IEEE Transactions on Industrial Electronics*, vol. 66, no. 5, pp. 3422–3426, July 2018.
- [24] M. P. Hirth, *Conversor CA-CC monofásico de estágio único empregando o conversor SEPIC com interruptores do lado CA*, Dissertação de Mestrado, Universidade Tecnológica Federal do Paraná, 2015.
- [25] G. Tibola, E. Lemmen, J. Duarte, “Comparison between dissipative snubber and passive regenerative snubber cells as applied to isolated DCM SEPIC converters”, in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, pp. 1–10, September 2016.
- [26] S.-W. Lee, H.-L. Do, “Isolated SEPIC DC–DC converter with ripple-free input current and lossless snubber”, *IEEE Transactions on Industrial Electronics*, vol. 65, no. 2, pp. 1254–1262, July 2017.
- [27] D. Wu, R. Ayyanar, “Single-Phase Active-Clamped Isolated SEPIC PFC Converter with Partial Power Processing Output Stage”, in *IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1285–1291, March 2020.
- [28] M. V. M. Ewerling, T. B. Lazzarin, C. H. Illa Font, “Proposal of an Isolated Two-Switch DC-DC SEPIC Converter”, in *15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)*, pp. 1–6, December 2019.
- [29] C. H. Illa Font, *Grampeamento ativo para estágios retificadores de saída de conversores CC-CC isolados*, Dissertação de Mestrado, Universidade Federal de Santa Catarina, 2003.
- [30] G. Tibola, E. Lemmen, J. L. Duarte, I. Barbi, “Passive regenerative and dissipative snubber cells for isolated

SEPIC converters: Analysis, design, and comparison”, *IEEE Transactions on Power Electronics*, vol. 32, no. 12, pp. 9210–9222, January 2017.

- [31] M. V. M. Ewerling, *Conversor CA-CC bridgeless monofásico de estágio único com PFC baseado no conversor SEPIC operando no modo de condução contínuo*, Dissertação de Mestrado, Universidade Tecnológica Federal do Paraná, 2017.

DADOS BIOGRÁFICOS

Marcos Vinícius Mosconi Ewerling, nasceu em São Mateus do Sul, Paraná, Brasil, em 1993. Recebeu o título de Engenheiro Eletricista pela Universidade do Contestado (UnC) e Mestre em Engenharia Elétrica pela Universidade Tecnológica do Paraná (UTFPR) em 2015 e 2018, respectivamente. Atualmente é aluno de doutorado no Instituto de Eletrônica de Potência (INEP) da Universidade Federal de Santa Catarina (UFSC). Tem interesse na área de eletrônica de potência, atuando com os temas: conversores estáticos, fontes chaveadas e correção de fator de potência. É membro da Associação Brasileira de Eletrônica de Potência (SOBRAEP).

Telles Brunelli Lazzarin, nasceu em Criciúma, Santa Catarina, Brasil, em 1979. Ele se formou em Engenharia Elétrica (2004), Mestrado (2006) e Doutorado (2010) em Engenharia Elétrica com Ênfase em Eletrônica de Potência, na Universidade Federal de Santa Catarina (UFSC). Desde de 2013 ele é professor Adjunto do Departamento de Engenharia Elétrica e Eletrônica e professor do Programa de Pós-Graduação em Engenharia Elétrica da UFSC. Em 2006 trabalhou com engenheiro de desenvolvimento da WEG Motor Drivers & Controls. Entre 2011 e 2013 foi professor do Instituto Federal de Santa Catarina (IFSC). Ele também fez um Pós-doutorado na UFSC em 2011 e foi pesquisador visitante na Northeastern University, Boston, USA entre 2017 e 2018. Suas áreas de interesse incluem: conversores a capacitor chaveado, conversores CC-CC com alta taxa de ganho, inversores, retificadores e geração eólica em pequenos aerogeradores. Dr. Lazzarin é membro da SOBRAEP, IEEE Industry Applications Society (IAS), IEEE Power Electronics Society (PELS) e IEEE Industrial Electronics Society (IES).

Carlos Henrique Illa Font, nasceu em Eral Grande, Rio Grande do Sul, Brasil, em 1976. Recebeu os títulos de Engenheiro Eletricista, Mestre em Engenharia Elétrica e Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina, Florianópolis, Brasil, em 2001, 2003 e 2009, respectivamente. Desde 2010 é Professor da Universidade Tecnológica Federal do Paraná, Câmpus Ponta Grossa, Brasil, onde ocupa o cargo de Professor Associado. Suas áreas de interesse incluem correção do fator de potência, retificadores com elevado fator de potência, conversores estáticos para energia eólica e fotovoltaica de pequeno porte e sistemas de armazenamento com baterias. Prof. Carlos é Membro da Associação Brasileira de Eletrônica de Potência (SOBRAEP), Member do IEEE Power Electronics Society e IEEE Industrial Electronics Society.