

MINIMIZAÇÃO DE CAPACITÂNCIA EM LUMINÁRIAS A LED BASEADA NA CONEXÃO OTIMIZADA DE CONVERSORES ESTÁTICOS

Douglas Camponogara¹, Diogo Ribeiro Vargas¹, Marco Antônio Dalla Costa¹,
Alexandre Campos¹, Tiago Bandeira Marchesan¹, José Marcos Alonso²

Universidade Federal de Santa Maria, Santa Maria - RS¹, Universidade de Oviedo, Gijon - Espanha²

douglas.camponogara@ieee.org

Resumo - Este artigo apresenta uma estrutura de conversor estático, utilizando processamento parcial de energia, para minimizar capacitâncias em luminárias à base de LEDs aplicadas na iluminação pública, onde potências maiores que 70 W geralmente são requisitadas. A estrutura da topologia é baseada em dois conversores, conectados de maneira que o segundo conversor processe apenas uma pequena parcela da potência total enviada à carga. Além disso, com o intuito de diminuir a capacitância do primeiro estágio, uma estratégia de controle é utilizada com o objetivo de compensar ativamente essa ondulação. Os conversores utilizados, a modelagem matemática e a estrutura do controle são mostrados em detalhes. Um protótipo foi montado, com 75 W de potência para 220 V_{rms} de tensão de entrada, a fim de demonstrar a funcionalidade da ideia e suas principais características.

Palavras-chave - Conversores CA-CC, Eficiência Energética, Fonte de Potência Chaveada, Lâmpadas LED.

CAPACITANCE MINIMIZATION ON LED FIXTURES BASED ON OPTIMIZED CONNECTION OF STATIC CONVERTERS

Abstract - This paper presents a converter structure, with partial energy processing, to minimize capacitances on LED fixtures applied to street lighting, where power levels higher than 70 W are required. The topology structure is based on two converters, connected in such a way that the second converter processes only a fraction of the total load power. In addition, in order to reduce the capacitance of the first stage, a control strategy is designed with the objective of making an active ripple compensation. The proposed converter, the mathematical model and the control structure are shown in detail. Finally, a laboratory prototype, with a rated power of 75 W for a rated input voltage of 220 V_{rms}, was built to show the feasibility of the idea.

Keywords - AC-DC power converters, Energy Efficiency, LED Lamps, Switched-Mode Power Supply.

I. INTRODUÇÃO

Atualmente, os LEDs se destacam por possuírem alta relação lúmens por Watt (lm/W) e longa vida útil, sendo

Artigo submetido em 18/11/2012. Revisado em 16/01/2013. Aceito para publicação em 18/01/2013 por recomendação dos editores Ricardo Nederson do Prado e Pedro F. Donoso-Garcia.

que o seu uso está em crescente expansão. Entretanto, um sistema formado por LEDs é composto não só pelos mesmos, mas também pelo dispositivo que faz a interface com a rede, ou seja, o *driver*. Para que uma lâmpada a LED seja eficiente e tenha uma longa vida útil é necessário que o *driver* que componha o sistema também tenha tais características. Neste ponto reside o principal desafio ao aplicar LEDs em iluminação pública ou qualquer sistema a LED com potências elevadas.

Os LEDs apresentam em seu modelo equivalente uma fonte de tensão em série com uma resistência (geralmente pequena). Logo, pequenas variações na tensão aplicada causam grandes oscilações na corrente circulante. Caso essa corrente possua uma oscilação de baixa frequência, vale lembrar que o valor máximo não pode ultrapassar o limite estipulado pelo fabricante. Portanto, quanto maior o valor da componente alternada, menor será a corrente média que poderá ser aplicada ao LED e menor será a luminosidade emitida. Visando um melhor aproveitamento das características do LED, o *driver* deve manter em sua saída uma tensão contínua com o menor valor possível de componente alternada de baixa frequência.

Para filtrar a baixa frequência proveniente da rede, um capacitor de valor elevado, é utilizado na saída do estágio de Correção do Fator de Potência (CFP). Entretanto, como as temperaturas de operação em *drivers* para LED são altas, é necessário o uso de capacitores que suportem tais temperaturas. Contudo, grandes valores de capacitância e temperaturas de operação altas, elevam o custo do capacitor. Por isso, muitos trabalhos na literatura tendem a diminuir a capacitância empregada [1], [2], [3], [4], [5], [6], [7]. Outros trabalhos fazem uma filtragem menos rigorosa da componente de baixa frequência por técnicas de controle, eliminando assim o capacitor de baixa frequência e colocando um capacitor reduzido para filtrar apenas a alta frequência [8]. Portanto, pode-se dividir os conversores utilizados em *drivers* para LEDs em dois grupos: os de estágio único e os de dois estágios.

Os conversores de estágio único possuem apenas um estágio de processamento de energia. A principal função deste conversor é garantir a correção do fator de potência, de maneira a cumprir com a norma IEC61000-3-2. Além disso, no caso de LEDs ligados em série, também é feito o controle da corrente na saída, com base em uma referência estipulada. Tal estratégia se destaca pela simplicidade e alto rendimento. No entanto, a fim de garantir um bom aproveitamento das características do LED uma corrente não pulsada é exigida, sendo necessário para isso uma grande capacitância na saída. Em iluminação pública, as lâmpadas a LED requerem potências geralmente superiores a 70 W, o que

praticamente obriga o uso de capacitor eletrolíticos nesse tipo de conversor. Como o valor de pico da corrente dos LEDs não pode ultrapassar o valor especificado pelo fabricante, quando se trabalha com oscilações maiores (capacitância menor) é necessário reduzir o valor médio da corrente nos LEDs, reduzindo assim sua luminosidade média e subutilizando os mesmos.

Em topologias de dois estágios a saída do estágio CFP é ligada a um segundo conversor, chamado de Conversor de Potência (CP). Isso possibilita um aumento da ondulação de baixa frequência na saída do estágio CFP, o que diminui a capacitância necessária nesse conversor, pois o estágio CP opera de maneira a manter o mais constante possível a tensão sobre os LEDs. Diminuindo a capacitância necessária, outras tecnologias de capacitores podem ser empregadas, aumentando assim a vida útil do sistema. Entretanto, ao resolver a questão da durabilidade, cria-se um novo problema com a inserção de um segundo estágio; a diminuição do rendimento pelo duplo processamento da energia, reduzindo a eficácia efetiva da luminária LED [9], [10], [11]).

Uma maneira de contornar esse problema é fazendo com que o CP processe menos energia. Com isso, o seu impacto no rendimento total será reduzido e as perdas serão menores. Este conceito é conhecido na literatura como Redução do Processamento Redundante de Potência (*Reduced Redundant Power Processing, R²P²*) [12]. Existem trabalhos publicados demonstrando a funcionalidade desta técnica [6], [7], entretanto os mesmos apresentam questões com relação ao custo elevado de implementação e complexidade de operação.

A topologia proposta neste trabalho foca no conceito de *R²P²*. A topologia proposta é chamada de cascata otimizada. O segundo conversor processa energia de maneira apenas a controlar a corrente nos LEDs e possibilitar uma redução da capacitância do estágio CFP, mantendo dessa maneira um alto rendimento.

II. TOPOLOGIA PROPOSTA

A Figura 1 demonstra a estratégia de conexão proposta neste trabalho. A tensão total de saída (V_{out}) é formada pela soma das tensões do conversor CFP (V_{cfp}) e do conversor CP (V_{cp}) (1):

$$V_{out} = V_{cfp} + V_{cp} \quad (1)$$

Por estarem em série, o valor médio da corrente de saída de ambos os conversores e da carga é igual (I_{cfp} e I_{cp}) e da carga (I_{led}) é igual (2):

$$I_{led} = I_{cfp} = I_{cp} \quad (2)$$

Assim, a potência de saída (P_{out}) é formada por:

$$P_{out} = V_{out} \cdot I_{led} = (V_{cp} + V_{cfp}) \cdot I_{led} = P_{cp} + P_{cfp} \quad (3)$$

Entretanto, nota-se que o conversor CFP entrega não apenas a parcela relativa à sua participação na tensão de saída, mas também a parcela relativa ao CP, visto que sua entrada é conectada na saída do conversor CFP. Portanto, a porção de energia que passa pelo conversor CP acaba sendo processada

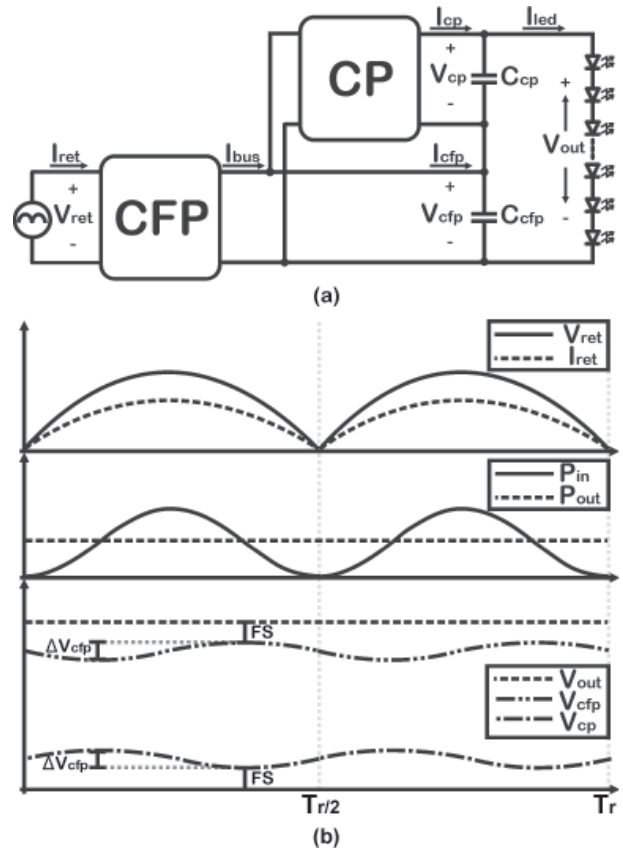


Fig. 1. (a) Estrutura da cascata otimizada (b) Formas de ondas principais

duas vezes. O fator que relaciona a potência total e a potência processada duplamente é denominado k , sendo determinado por (4):

$$k = \frac{V_{cp}}{V_{out}} \quad (4)$$

Este é um fator importante pois impacta diretamente no rendimento da topologia cascata otimizada. A equação que define o rendimento neste tipo de processamento parcial é mostrada em (5).

$$\eta = \eta_{cfp} \cdot (1 - k \cdot (\eta_{cp} - 1)) \quad (5)$$

Onde:

η_{cfp} - Rendimento do conversor CFP;

η_{cp} - Rendimento do conversor CP.

O CP tem como principal função impedir que a ondulação de baixa frequência, presente na tensão de saída do CFP (tensão de barramento), seja repassada à carga. Para isso, o seu controlador é projetado de maneira a produzir em sua saída uma tensão em fase oposta à tensão de barramento, como mostra a Figura 1. Além disso, o CP também controla a corrente média na saída ajustando o valor médio de sua tensão de saída.

A tensão de saída é resultado da soma da tensão do conversor CFP e da tensão do conversor CP. A primeira é mantida fixa pelo controle, sendo o valor médio da segunda

responsável pelo controle do valor médio da corrente nos LEDs. Entretanto, uma prerrogativa de projeto adotada é a operação do conversor CP com tensão de saída positiva. Assim, uma margem segura entre a tensão mínima de saída do CP e a tensão zero deve ser prevista em projeto. Essa margem, chamada de Fator de Segurança (FS), evita possíveis problemas que a variação paramétrica, devido à temperatura, poderia causar nos LEDs.

Como visto na Introdução, a ondulação de baixa frequência é totalmente indesejada em sistemas com LEDs devido o subaproveitamento das características luminosas dos mesmos. Para solucionar essa questão, geralmente, aumenta-se a capacitância de barramento. Na cascata otimizada, o segundo estágio fica responsável por corrigir essa ondulação de baixa frequência, permitindo menores capacitâncias e possibilitando o uso de diferentes tecnologias de capacitor. Em (6) é mostrada a equação de projeto de capacitor (a dedução esta equação encontra-se na seção III.A).

$$C_{cfp} = \frac{P_{out}}{\pi f_r} \cdot \frac{1}{2 \cdot V_{cftp} \cdot \Delta V_{cftp}} \quad (6)$$

Para verificar o impacto da ondulação de baixa frequência na redução da capacitância de barramento, é exposto em (7) uma relação normalizada de uma capacitância para um determinado ΔV_{cftp} e uma capacitância para uma ondulação de 1%.

$$C_{norm}(\Delta V_{cftp}) = \frac{C_{cftp}(\Delta V_{cftp})}{C_{cftp}(1\%)} = \frac{0,01}{\Delta V_{cftp}} \quad (7)$$

A Figura 2 mostra a taxa normalizada de redução da capacitância comparada com o aumento da ondulação na tensão de barramento.

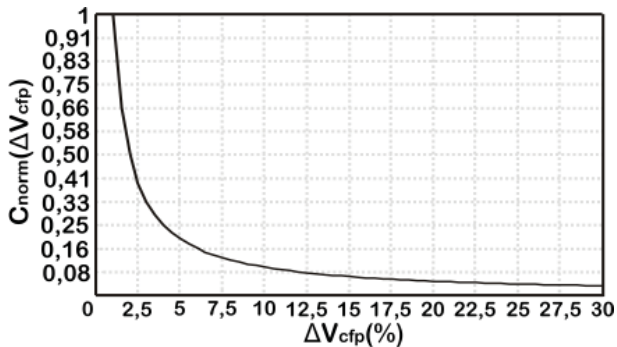


Fig. 2. Capacitância normalizada requisitada na saída do CFP para diferentes porcentagens da ondulação da tensão de barramento

Conforme a ondulação de barramento aumenta, é necessário aumentar a participação do conversor CP, a fim de manter a corrente nos LEDs o mais constante possível. Com o aumento da participação do CP, aumenta o fator k , fazendo com que o conversor CP impacte de maneira mais relevante no rendimento total da topologia, conforme pode ser visto na Figura 3. Entretanto, com um pequeno fator de participação (e.g. $k = 0,2$), é possível uma redução significativa do valor de capacitância.

Deve ser ressaltado que nem todas as topologias podem ser utilizadas em cada estágio. No estágio CFP, é esperada uma

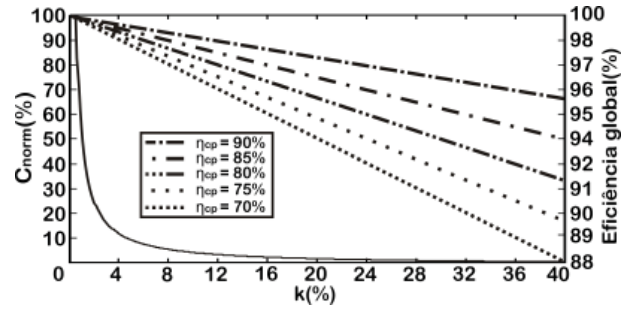


Fig. 3. Gráfico da capacitância normalizada (linha contínua), com a redução do rendimento (linhas pontilhadas) para diversos valores de η_{cp} , assumindo $\eta_{cftp} = 1$

ondulação consideravelmente alta na tensão de barramento. Logo, nas topologias como a *buck* ou *boost*, deve ser analisado até onde essa ondulação irá impactar na distorção da corrente de entrada. Já no estágio CP, cabe notar que a saída negativa e a entrada positiva possuem uma conexão, proveniente do método de conexão imposto pela cascata otimizada, como mostra a Figura 1. Portanto, a topologia a ser utilizada neste estágio ou deve ser isolada (e.g. *flyback*), ou deve permitir em sua estrutura este tipo de conexão (e.g. *buck-boost*).

III. PROJETO DOS CONVERSORES

Nesta seção será detalhado o projeto de cada etapa do protótipo implementado, onde seu esquemático é mostrado na Figura 4. A primeira subseção trata do projeto do conversor CFP e a segunda subseção do projeto do conversor CP. A Tabela I lista os parâmetros de projeto estipulados neste protótipo, sendo os componentes projetados mostrados na Tabela II.

A. Projeto do Conversor CFP

Com o intuito de reduzir a capacitância de barramento, uma ondulação de 30% do valor de V_{cftp} foi admitida na tensão de barramento. Essa é um valor considerado alto, o qual poderia causar distorções na corrente de entrada caso o valor de tal corrente fosse dependente da tensão de barramento. Como a potência de saída é baixa ($< 100 W$) e com o intuito de utilizar uma malha de controle simples, o Modo de Condução Descontínuo (MCD) foi escolhido. A fim de evitar problemas com a Distorção Harmônica Total (DHT) e com injeção de harmônicas na rede, um conversor *buck-boost* operando em MCD foi utilizado como CFP.

O cálculo do indutor do CFP foi feito com base na seguinte equação [3]:

$$L_{cftp} = \frac{V_{pret}^2 \cdot D_{maxcftp}^2}{4 \cdot f_{cftp} \cdot P_{out}} \quad (8)$$

Onde:

V_{pret} - Valor de pico da tensão de entrada;

$D_{maxcftp}$ - Razão cíclica máxima no CFP;

f_{cftp} - Frequência de comutação no CFP.

Já para o cálculo do capacitor de barramento (C_{cftp}), o método da energia acumulada foi utilizado. Para chegar em

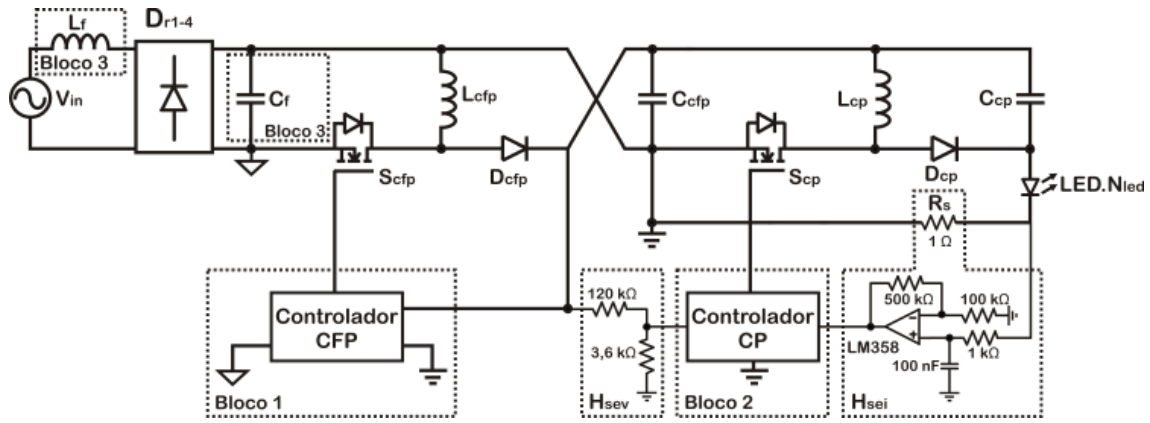


Fig. 4. Esquemático da topologia implementada

TABELA I: Parâmetros de projeto

Símbolo	Descrição	Valor
V_{in}	Tensão de entrada (RMS)	220 V
f_r	Frequência da entrada	60 Hz
n_{leds}	Número de LEDs	40
P_{out}	Potência de saída	75 W
I_{leds}	Corrente de saída	0,6 A
V_{cftp}	Tensão de barramento	101 V
f_{cftp}	Freq. de comutação do CFP	50 kHz
f_{cp}	Freq. de comutação do CP	50 kHz
$D_{maxcftp}$	Razão cíclica máxima no CFP	0,2
ΔI_{lcp}	Ond. da corrente no indutor CP	20%
$F.S.$	Fator de Segurança	10 V
k	Fator de participação	0,2

TABELA II: Valores dos componentes projetados

Símbolo	Descrição	Valor
L_{cftp}	Indutor do CFP	236 μH
L_{cp}	Indutor do CP	6,235 mH
C_{cftp}	Capacitância de barramento	68 μF
C_{cp}	Capacitor do CP	6,77 μF
$D_{r1}-D_{r4}$	Diodos retificadores	1N4007
$D_{cftp}-D_{cp}$	Diodos dos conversores	MUR160
S_{cftp}	MOSFET do CFP	SPP08N80C3
S_{cp}	MOSFET do CP	IRFB31N20
C_f	Capacitor do filtro	330 nF
L_f	Indutor do filtro	3,07 mH

tal equação, é necessário saber a potência envolvida neste componente, sendo essa definida por:

$$p_{cap}(t) = p_{in}(t) - p_{out}(t)$$

$$p_{cap}(t) = V_{pret} \cdot I_{pret} \cdot \sin^2(2\pi f_r t) - p_{out}(t) \quad (9)$$

Onde:

p_{cap} - Potência instantânea no capacitor de barramento;

I_{pret} - Valor de pico da corrente de entrada;

f_r - Frequência da rede.

Sabe-se que a potência média de entrada, após o retificador, é dada por:

$$P_{in} = \frac{1}{\pi} \int_0^{\pi} V_{pret} \cdot I_{pret} \cdot \sin^2(\omega t) d\omega t$$

$$P_{in} = \frac{V_{pret} \cdot I_{pret}}{\pi} \cdot \frac{1}{2} (\omega t - \sin(\omega t) \cdot \cos(\omega t))_0^{\pi}$$

$$P_{in} = \frac{V_{pret} \cdot I_{pret}}{2} \quad (10)$$

Considerando um rendimento unitário no conversor:

$$P_{out} = P_{in}$$

$$P_{out} = \frac{V_{pret} \cdot I_{pret}}{2}$$

$$2 \cdot P_{out} = V_{pret} \cdot I_{pret} \quad (11)$$

Logo, substituindo (11) em (9), tem-se:

$$p_{cap}(t) = P_{out} \cdot (2 \cdot \sin^2(2\pi f_r t) - 1)$$

$$p_{cap}(t) = -P_{out} \cdot \cos(4\pi f_r t) \quad (12)$$

O que demonstra que a potência no capacitor de barramento varia o dobro da frequência da rede. Em termos de armazenagem de energia, o capacitor absorve energia em um quarto do ciclo principal e devolve o mesmo montante no outro quarto de ciclo. A energia acumulada pode ser calculada por:

$$e_{cap}(t) = \int -P_{out} \cdot \cos(4\pi f_r t) \cdot dt + E_{initcap}$$

$$e_{cap}(t) = -\frac{P_{out}}{4\pi f_r} \sin(4\pi f_r t) + E_{initcap} \quad (13)$$

Onde:

E_{cap} - Energia instantânea no capacitor;

$E_{initcap}$ - Energia inicial presente no capacitor.

A energia instantânea acumulada pelo capacitor também pode ser definida por:

$$e_{cap}(t) = C_{cfp} \frac{v_{cfp}^2(t)}{2} \quad (14)$$

O gráfico da Figura 5 demonstra a potência de saída, a potência de entrada e a potência no capacitor. Cabe ressaltar que a tensão de entrada (V_{in}) está fora de escala.

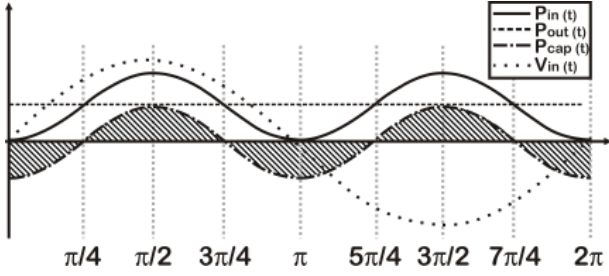


Fig. 5. Gráfico da potência de entrada, do capacitor e de saída

Para encontrar a capacitância necessária para acumular a energia da área hachurada na Figura 5, com os requisitos de ondulação previstos no projeto, iguala-se (13) com (14).

$$\begin{aligned} \frac{C_{cfp}}{2} \cdot (V_{cfpmax}^2 - V_{cfpmin}^2) &= E_{cap} \left(\frac{3\pi}{4} \right) - E_{cap} \left(\frac{\pi}{4} \right) \\ \frac{C_{cfp}}{2} &= \frac{-\frac{P_{out}}{4\pi f_r} (\sin(\frac{2 \cdot 3\pi}{4}) - \sin(\frac{2 \cdot \pi}{4}))}{(V_{cfpmax}^2 - V_{cfpmin}^2)} \\ C_{cfp} &= \frac{P_{out}}{\pi f_r} \cdot \frac{1}{(V_{cfpmax}^2 - V_{cfpmin}^2)} \\ C_{cfp} &= \frac{P_{out}}{\pi f_r} \cdot \frac{1}{2 \cdot V_{cfp} \cdot \Delta V_{cfp}} \end{aligned} \quad (15)$$

A capacitância projetada foi de $68\mu F$, conforme mostra a Tabela II. Os capacitores de filme B32678G3476K ($47\mu F$) e B32676G3206K ($20\mu F$) foram colocados em paralelo para atingir um valor próximo ao projetado.

B. Projeto do Conversor CP

O conversor CP tem como principal função a compensação ativa da ondulação de baixa frequência. Portanto, o seu ponto de projeto deve ser a situação mais crítica, ou seja, onde há a máxima transferência de potência. Tal ponto situa-se na menor tensão de barramento (ou a maior tensão de saída do CP). Visto o ponto de projeto, deve ser lembrado novamente que nem todos os conversores podem ser empregados para esta função. Com todos esses fatores em mente e buscando a simplicidade de implementação, a topologia *buck-boost* operando em Modo de Condução Contínuo (MCC) foi escolhida para este estágio.

O projeto do indutor foi realizado considerando o ponto de operação estipulado anteriormente:

$$L_{cp} = \frac{(V_{cpmax}) \cdot (1 - D_{cpmax})}{f_{cp} \cdot \Delta I_{lcp} \cdot I_{lcpmax}} \quad (16)$$

Onde:

V_{cpmax} - Tensão máxima de saída do CP;

D_{cpmax} - Razão cíclica máxima do CP;

f_{cp} - Frequência de comutação do CP;

ΔI_{lcp} - Ondulação da corrente no indutor CP;

I_{lcpmax} - Corrente máxima no indutor do CP.

Ao contrário do capacitor do CFP, o capacitor do CP tem como foco a filtragem da alta frequência. Assim, o seu equacionamento fica conforme (17):

$$C_{cp} = \frac{I_{led} \cdot D_{cpmax}}{\Delta V_{cp} \cdot V_{cpmax} \cdot f_{cp}} \quad (17)$$

Onde:

ΔV_{cp} - Ondulação da tensão de saída do CP.

IV. PROJETO DO CONTROLE

Nesta seção será detalhado como foi desenvolvida a modelagem e o projeto da malha de controle de cada conversor. A divisão das subseções é feita da seguinte maneira: modelo do LED, modelo dos conversores, projeto do controlador do CFP e projeto do controlador do CP.

A. Modelo do LED

O modelo do LED considerado neste caso é composto por uma fonte de tensão (V_f), uma resistência (R_f) e um diodo ideal, como mostrado na Figura 6 [5]. Pelo fato de a resistência R_f ser de valor baixo e a tensão V_f ser de valor relativamente alto, pequenas variações na tensão aplicada em um LED causam grandes variações em sua corrente. Por isso seu comportamento não pode ser modelado simplesmente por uma resistência equivalente.

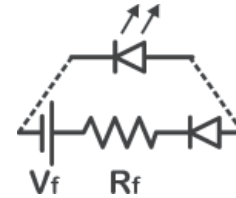


Fig. 6. Modelo equivalente do LED

B. Modelo dos conversores

Os conversores foram modelados utilizando o método média do espaço de estados (*State Space Averaging, SSA*). Neste método, a operação do conversor é dividida em seus respectivos intervalos, extraídas as equações diferenciais de cada intervalo e feita uma média dessas. O formato do sistema equacionado é mostrado em (18):

$$\begin{aligned} \dot{\hat{X}} &= A \cdot \hat{X} + B \cdot \hat{U} \\ \hat{Y} &= C \cdot \hat{X} + E \cdot \hat{U} \end{aligned} \quad (18)$$

As equações médias resultantes são não-lineares, o que impossibilita a aplicação das ferramentas de controle clássico. Logo, é necessária a aplicação de um método de linearização em torno de um ponto de operação.

O modelo médio resultante do conversor *buck-boost* operando em MCD é dado em (19). É importante ressaltar que foi necessária a multiplicação por um termo de correção [13], devido à sua operação em modo descontinuo. Como as saídas consideradas foram as próprias variáveis de estado, a matriz C acaba por ser uma matriz identidade e a matriz E nula.

O ponto de operação escolhido para a linearização é dado no momento em que a potência de entrada é igual à potência de saída.

$$\dot{X} = \begin{bmatrix} \frac{2 \cdot V_{cftp} \cdot f_{cftp}}{D_{cftp} \cdot V_{ret}} & \frac{D_{cftp}}{L_{cftp}} \\ \frac{1}{C_{cftp}} & \frac{D_{cftp}}{R_{eq} \cdot C_{cftp}} \end{bmatrix} \begin{bmatrix} I_{lcp} \\ V_{cftp} \end{bmatrix} + \begin{bmatrix} \frac{D_{cftp}}{L_{cftp}} \\ \frac{D_{cftp}^2}{2 \cdot L_{cftp} \cdot C_{cftp} \cdot f_{cftp}} \end{bmatrix} [V_{ret}]$$

$$Y = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} I_{lcp} \\ V_{cftp} \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} [V_{ret}] \quad (19)$$

Onde:

R_{eq} - Resistência equivalente da carga conectada ao conversor CFP;

V_{ret} - Tensão de entrada retificada.

Já o modelo matemático do conversor *buck-boost* operando em MCC é representado em (20). Neste caso, como uma das saídas é a corrente nos LEDs, as matrizes C e E têm um valor diferente do modelo anterior, sendo portanto mostradas neste equacionamento.

$$\dot{X} = \begin{bmatrix} \frac{-1}{C_{cp} \cdot R_f} & \frac{1-D_{cp}}{C_{cp}} \\ \frac{-(1-D_{cp})}{L_{cp}} & 0 \end{bmatrix} \begin{bmatrix} V_{cp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} \frac{-1}{C_{cp} \cdot R_f} & \frac{1}{C_{cp} \cdot R_f} \\ \frac{D_{cp}}{L_{cp}} & 0 \end{bmatrix} \begin{bmatrix} V_{cftp} \\ V_f \end{bmatrix}$$

$$\hat{Y} = \begin{bmatrix} \frac{1}{R_f} & 0 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} V_{cp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} \frac{1}{R_f} & \frac{-1}{R_f} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_{cftp} \\ V_f \end{bmatrix} \quad (20)$$

C. Projeto do controlador do CFP

O controlador do conversor CFP tem como objetivo manter a tensão de barramento dentro do valor médio estipulado em projeto. Entretanto, o controle não pode distorcer a forma de onda da corrente de entrada. A malha de controle é ilustrada na Figura 7.

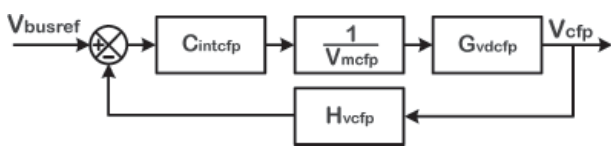


Fig. 7. Diagrama de blocos do controle do conversor CFP

A função de transferência G_{vdcfp} (21) relaciona a tensão de barramento com a razão cíclica, sendo extraída do modelo matemático em (19), considerando os parâmetros mostrados na Tabela II.

$$G_{vdcfp}(s) = \frac{2,5 \cdot 10^6 s + 3,442 \cdot 10^8}{s^2 + 1,436 \cdot 10^5 s + 2,953 \cdot 10^7} \quad (21)$$

Entretanto, para projetar o controlador, é necessário definir a função de transferência em malha aberta do sistema, a qual é dada por (22):

$$G_{olcftp}(s) = \frac{H_{vcfp} G_{vdcfp}}{V_{mcp}}$$

$$G_{olcftp}(s) = \frac{1,871 \cdot 10^4 s + 2,576 \cdot 10^6}{s^2 + 1,436 \cdot 10^5 s + 2,953 \cdot 10^7} \quad (22)$$

Onde:

H_{vcfp} - Ganho do divisor resistivo do controlador do CFP (0,0247);

V_{mcp} - Amplitude da moduladora do PWM (3,3V).

O controlador CFP foi implementado com um SG3524, por isso a amplitude da moduladora do PWM é de 3,3V. O controlador deste conversor deve garantir uma frequência de cruzamento abaixo de 6 Hz, a fim de que a ação de controle não distorça a forma de onda da corrente de entrada. Para tal, neste caso, um simples controle integrador é suficiente. A equação (23) mostra a função de transferência do controlador:

$$C_{intcftp}(s) = 428,7 \frac{1}{s} \quad (23)$$

D. Projeto do controlador do CP

São dois os objetivos no controle do conversor CP: garantir que a média da corrente esteja dentro dos valores estipulados e reduzir o impacto da ondulação de baixa frequência do capacitor de barramento. Para tal, o controle será formado por dois laços: um controle lento, para manter a média da corrente nos LEDs constante e um controle rápido, responsável pela compensação ativa da ondulação de baixa frequência na saída. O diagrama do controle do conversor CP é mostrado na Figura 8:

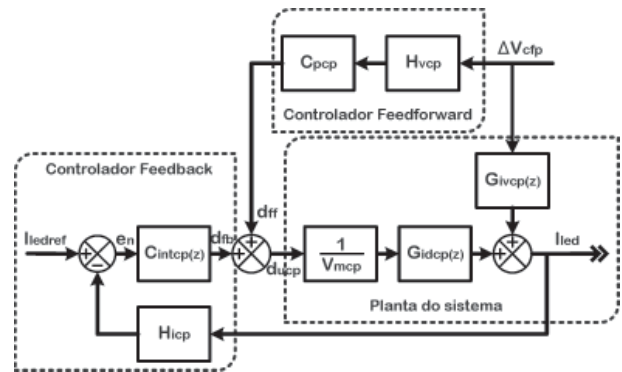


Fig. 8. Diagrama de blocos do controle do conversor CP

Para implementar este controlador, o microcontrolador MCF51AC128 foi utilizado. Por isso o projeto do controle foi feito no domínio discreto, o que levou à discretização da função de transferência da planta. A frequência de discretização foi escolhida igual à frequência de comutação, ou seja, 50 kHz. Dois canais de um contador são utilizados: um para comandar o conversor (PWM) e outro para disparar a conversão Analógica para Digital (A/D). Como a leitura do conversor A/D está sincronizada com o sinal PWM de comando do conversor, pôde-se evitar ruídos na leitura das variáveis de controle. Por fim, o programa conta com

uma rotina de limitação da razão cíclica, o que impede sobrecorrente sobre os LEDs devido à ação do controle durante a partida.

O ganho H_{icp} é composto pelo ganho do A/D do microcontrolador com o ganho do sensor de corrente, um resistor *shunt* neste caso. A equação é dada por (24):

$$H_{icp} = \frac{2^{N_b} H_{sei}}{V_{hr} - V_{lr}} = \frac{2^{12} \cdot 5}{5 - 0} = 4096 \quad (24)$$

Onde:

N_b - Número de bits do A/D;

H_{sei} - Ganho do sensor de corrente;

V_{hr} - Tensão de referência alta do A/D;

V_{lr} - Tensão de referência baixa do A/D.

Como pode ser observado pela Figura 4, existe um circuito de ganho após o resistor *shunt*, formado por um amplificador operacional. Esse circuito, juntamente com o resistor *shunt*, forma o ganho do sensor de corrente (H_{sei}). O amplificador operacional foi projetado para fornecer um ganho positivo de 5 vezes e atuar como um filtro passa-baixas. Isso porque a intenção ao observar a corrente de saída é apenas controlar a sua média.

A função de transferência em malha aberta (25) é composta pela função de transferência G_{idpc} , o ganho H_{ipc} e o ganho do modulador ($1/V_{mcp}$). A amplitude da modulação (V_{mcp}) é determinada pelo microcontrolador, a qual é 503 para um PWM assimétrico.

$$G_{olcp}(z) = \frac{H_{icp} \cdot G_{idpc}(z)}{zV_{mcp}}$$

$$G_{olcp}(z) = \frac{-0,5496z + 0,7691}{z^3 - 1,869z^2 + 0,875z} \quad (25)$$

Como pode ser observado na Figura 8, a razão cíclica final é formada por duas parcelas: uma provinda do controle da corrente média e a outra do controle da ondulação de baixa frequência. A razão cíclica do controle da corrente média é gerada por um controle integrador lento. A frequência de cruzamento desse controlador é de 12 Hz, pois tal frequência encontra-se uma década abaixo da frequência da ondulação da tensão de barramento. O função de transferência desse controlador é dado por (26):

$$C_{intcp}(z) = \frac{2,805 \cdot 10^{-5}}{z - 1} \quad (26)$$

O ganho H_{vcp} é o ganho do controle do sensoriamento da tensão de barramento. Tal ganho é composto pelo ganho do conversor A/D do microcontrolador e o ganho do sensor de tensão, um divisor resistivo neste caso. A equação é mostrada em (27).

$$H_{vcp} = \frac{2^{N_b} H_{sev}}{V_{hr} - V_{lr}} = \frac{2^{12} \cdot 0,0296}{5 - 0} = 24,2483 \quad (27)$$

Onde

H_{sev} - Ganho do divisor resistivo.

A ideia do controle *feedforward* é usar apenas a ondulação de baixa frequência (sem o nível médio), inverter sua fase e jogar como ação preventiva no conversor CP. Para tal, após a ondulação de barramento passar pelo ganho do sensoriamento, essa é multiplicada por um ganho negativo, o C_{pcp} . Este ganho relaciona o valor da ondulação de barramento com a razão cíclica do conversor. A saída deste ganho, por conseguinte, é uma razão cíclica, a qual será somada com a razão cíclica do controle de corrente média. O valor do ganho C_{pcp} deve garantir uma boa compensação da ondulação de baixa frequência sem causar instabilidade no capacitor de barramento. O valor resultante é mostrado em (28).

$$C_{pcp} = \frac{-V_{mcp}}{V_{cftp} H_{vcp}} = \frac{-503}{101 \cdot 24,2483}$$

$$C_{pcp} = -205,383 \cdot 10^{-3} \quad (28)$$

V. RESULTADOS EXPERIMENTAIS

A Figura 9 mostra a forma de onda da tensão e corrente de entrada em potência nominal e com uma tensão de entrada de 220 V_{rms} . A corrente de entrada tem uma forma senoidal com uma DHT de 9,66% e um fator de potência de 0,99.

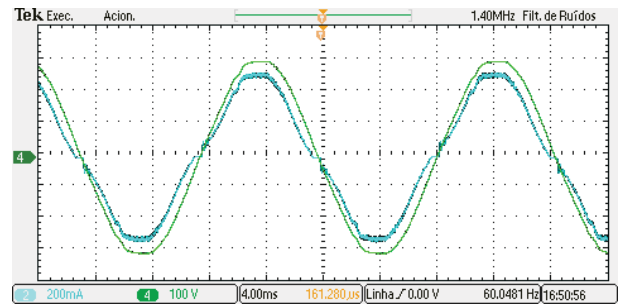


Fig. 9. Tensão de entrada e corrente de entrada na potência nominal com 220 V_{rms} de tensão de entrada (100V/div, 0,2A/div, 4ms/div)

A Figura 10 mostra a tensão de saída (a mesma aplicada sobre o grupo de LEDs), a tensão de barramento e a tensão na saída do conversor CP. Nota-se que a tensão no conversor CP tem um comportamento em fase oposta com a tensão de barramento, o que resulta em uma tensão de saída com uma reduzida ondulação de baixa frequência ($\Delta V_{out} = 2V$). Isso demonstra uma operação eficaz por parte do controlador do conversor CP. Além disso, é possível observar que a tensão de barramento está precisamente regulada em 101 V, evidenciando uma operação correta do controlador do conversor CFP. Por fim, a tensão média do conversor CP é de 20 V, com um fator de segurança de 10 V. Tais valores diferem um pouco do especificado em projeto devido às variações paramétricas do LED, o que era algo esperado e por esse motivo foi implementado o fator de segurança.

Por fim, a Figura 11 mostra a tensão aplicada no grupo de LEDs, bem como a corrente que circula pelos mesmos. A ondulação de baixa frequência nos LEDs tem um valor de 124 mA (21% do valor médio da corrente), sendo o seu valor médio na prática de 575 mA. Essa ondulação, ainda

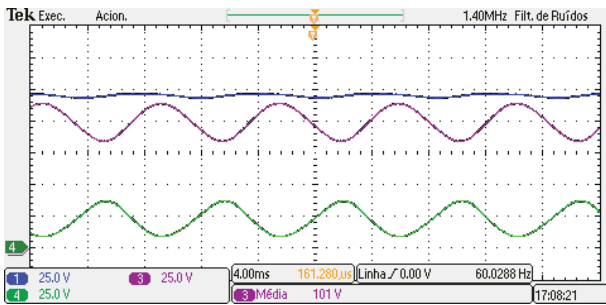


Fig. 10. Tensões na potência nominal. Acima: Tensão de saída (25V/div). Meio: Tensão de barramento (25V/div). Abaixo: Tensão de saída do CP (25V/div). Escala Horizontal: 4ms/div

presente, deve-se à limitação de atuação tanto do conversor quanto da estratégia de controle. O rendimento do conversor (sem considerar as fontes auxiliares) é de 90%.

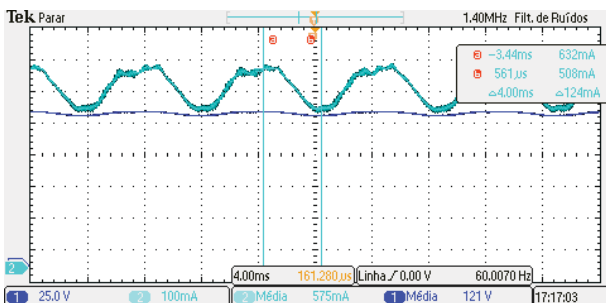


Fig. 11. Tensão e corrente na lâmpada com potência nominal. (25V/div, 0,2A/div, 4ms/div)

VI. CONCLUSÕES

A topologia tratada neste artigo, chamada de cascata otimizada, foi introduzida como uma solução flexível para as questões que mais se discutem atualmente em *drivers* para LED: vida útil do sistema e eficiência. Flexível pois através da correta escolha do parâmetro k é possível ter um bom balanço de eficiência com redução da capacitância de barramento, o que possibilita o uso de capacitores não eletrolíticos.

Para conseguir tal redução, foi permitida uma ondulação maior de baixa frequência. Essa ondulação é compensada pelo conversor CP, o qual também é responsável por manter em um nível desejado o valor médio da corrente nos LEDs. Além disso, a tensão de saída é consequência da soma da tensão do conversor CFP com o conversor CP. Isso não só possibilita a operação do CP como compensador de ondulação, como também possibilita o processamento de apenas uma parte da potência, evitando assim um duplo processamento e por fim ajudando a manter um rendimento elevado no conversor.

Além da ideia da topologia, a segunda contribuição deste artigo foi o método de controle empregado no conversor CP, onde um controle *feedforward* é utilizado em conjunto com um controle *feedback* lento para manter a corrente nos LEDs dentro de um valor médio especificado e com o menor nível possível de ondulação de baixa frequência.

Um protótipo de 75 W foi implementado. Os resultados práticos mostraram que a topologia e o controlador propostos

funcionaram de acordo com o projetado. Foi obtido um rendimento de 90%, com uma DHT da corrente de entrada de 9,66% e um fator de potência de 0,99. Vale ressaltar que todas as harmônicas da corrente de entrada estão abaixo do máximo especificado pela norma IEC61000-3-2 Classe C. Além disso, nenhum capacitor eletrolítico foi utilizado neste protótipo, o que possibilita uma maior vida útil.

AGRADECIMENTOS

Os autores agradecem à CAPES e ao CNPq pelo suporte financeiro dessa pesquisa.

REFERÊNCIAS

- [1] Huang-Jen Chiu, Yu-Kang Lo, Jun-Ting Chen, Shih-Jen Cheng, Chung-Yi Lin, and Shann-Chyi Mou. A high-efficiency dimmable LED driver for low-power lighting applications. *Industrial Electronics, IEEE Transactions on*, 57(2):735–743, feb. 2010.
- [2] R.A. Pinto, M.R. Cosetin, T.E. Bolzan, T.B. Marchesan, A. Campos, J.M. Alonso, M.A. Dalla Costa, and R.N. do Prado. A bidirectional buck-boost converter to supply LEDs from batteries during peak load time. In *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*, pages 2848–2853, nov. 2011.
- [3] J.M. Alonso, J. Vina, D.G. Vaquero, G. Martinez, and R. Osorio. Analysis and design of the integrated double buck-boost converter as a high-power-factor driver for Power-LED lamps. *Industrial Electronics, IEEE Transactions on*, 59(4):1689–1697, abril 2012.
- [4] J.M. Alonso, D. Gacio, J. Garcia, M. Rico-Secades, and M.A. Dalla Costa. Analysis and design of the integrated double buck-boost converter operating in full dcm for LED lighting applications. In *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*, pages 2889–2894, nov. 2011.
- [5] D. Gacio, J.M. Alonso, A.J. Calleja, J. Garcia, and M. Rico-Secades. A universal-input single-stage high-power-factor power supply for HB-LEDs based on integrated buck-flyback converter. In *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, pages 570–576, feb. 2009.
- [6] Qingcong Hu and R. Zane. Off-line LED driver with bidirectional second stage for reducing energy storage. In *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pages 2302–2309, sept. 2011.
- [7] S. Wang, X. Ruan, K. Yao, S. Tan, Y. Yang, and Z. Ye. A flicker-free electrolytic capacitor-less AC-DC LED driver. *Power Electronics, IEEE Transactions on*, PP(99):1, 2011.
- [8] Beibei Wang, Xinbo Ruan, Kai Yao, and Ming Xu. A method of reducing the peak-to-average ratio of LED current for electrolytic capacitor-less ac-dc drivers. *Power Electronics, IEEE Transactions on*, 25(3):592–601, march 2010.
- [9] B. Weir and F. Cathell. LED streetlight demands smart power supply. Technical report, Power Electronics Technology, February 2008.

- [10] D.R. Nuttall, R. Shuttleworth, and G. Routledge. Design of a LED street lighting system. In *Power Electronics, Machines and Drives, 2008. PEMD 2008. 4th IET Conference on*, pages 436–440, april 2008.
- [11] J. Garcia, A.J. Calleja, E.L. Corominas, D. Gacio, and J. Ribas. Electronic driver without electrolytic capacitor for dimming high brightness LEDs. In *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, pages 3518–3523, nov. 2009.
- [12] C.K. Tse, M.H.L. Chow, and M.K.H. Cheung. A family of PFC voltage regulator configurations with reduced redundant power processing. *Power Electronics, IEEE Transactions on*, 16(6):794–802, nov 2001.
- [13] Jian Sun, D.M. Mitchell, M.F. Greuel, P.T. Krein, and R.M. Bass. Averaged modeling of PWM converters operating in discontinuous conduction mode. *Power Electronics, IEEE Transactions on*, 16(4):482–492, jul 2001.

DADOS BIOGRÁFICOS

Douglas Camponogara nascido em 30/08/1987 em Bagé/RS é Engenheiro Eletricista (2010) e Mestre (2012) pela Universidade Federal de Santa Maria (UFSM), onde atualmente realiza seu Doutorado, também em Engenharia Elétrica. Suas áreas de interesse são: iluminação com LEDs, eletrônica de potência, controle de conversores estáticos.

Diogo Ribeiro Vargas é Engenheiro Eletricista (2010) e Mestre em Engenharia Elétrica (2012) pela UFSM. Atualmente é aluno de Doutorado em Engenharia Elétrica da mesma instituição. Suas áreas de interesse incluem sistemas embarcados, sistemas de controle eletrônicos, eletrônica de potência e sistemas de iluminação.

Marco Antônio Dalla Costa nascido em 03/10/1978 em Santa Maria/RS, possui graduação em Engenharia Elétrica e Mestrado em Eletrônica de Potência pela UFSM (2002 e 2004, respectivamente). Finalizou o curso de doutorado na Universidad de Oviedo - Espanha em fevereiro de 2008. Desde 2009 é Professor Adjunto na UFSM. É autor de mais de 30 artigos completos publicados em periódicos internacionais Qualis A1, e mais de 80 artigos científicos publicados em congressos internacionais e nacionais. Tem experiência na área de Engenharia Elétrica, com ênfase em Eletrônica de Potência, atuando principalmente nos seguintes temas: circuitos de alimentação de LEDs, reatores eletrônicos para lâmpadas de descarga, comando auto-oscilante, dimming de lâmpadas de descarga de alta e baixa pressão, ressonâncias acústicas, eficiência de circuitos eletrônicos, fontes alternativas de energia e transformadores de estado sólido.

Alexandre Campos graduou-se em Engenharia Elétrica pela UFSM (1981), mestrado em Engenharia Elétrica pela Universidade Federal de Santa Catarina (1986) e Ph.D. em Engenharia Elétrica pela Concordia University, Montreal (1994). Atualmente é Professor Associado na UFSM. Tem experiência na área de Engenharia Elétrica e de Computação,

com ênfase em Medição, Controle, Correção e Proteção de Sistemas Eletrônicos de Potência, atuando principalmente nos seguintes temas: reatores eletrônicos, conversores estáticos de potência, compensadores e filtros estáticos de potência, sistemas de iluminação, sistemas lógicos programáveis, sistemas embarcados e processamento de sinais. Atua também na área de educação, principalmente na utilização de metodologias de ensino usando o empreendedorismo e a inovação como base. É especialista na metodologia CEFE.

Tiago Bandeira Marchesan possui graduação em Engenharia Elétrica pela UFSM (2003) e doutorado em Engenharia Elétrica (2007) pela mesma Universidade. Realizou seu doutorado com estágio na Universidad de Oviedo, Espanha. Atualmente é Professor Adjunto do Departamento de Eletrônica e Computação da UFSM. Tem experiência na área de Engenharia Elétrica, tendo atuado como pesquisador do Grupo WEG (Weg Equipamentos Elétricos S.A.), professor do curso de Engenharia Elétrica da Universidade do Vale do Rio dos Sinos (UNISINOS) e da Universidade do Noroeste do Estado do RS (UNIJUI). Atua, principalmente, nas seguintes áreas: Projeto e desenvolvimento de reatores eletrônicos para lâmpadas de descarga em alta e baixa pressão, fontes chaveadas, métodos de correção do fator de potência, controle de intensidade luminosa, e em inovações na área de transformadores de potência (Grupo WEG T & D).

José Marcos Alonso Álvarez nascido em Gijón, Espanha, possui graduação em Engenharia Industrial e Doutorado pela Universidade de Oviedo, Espanha, em 1990 e 1994, respectivamente. De 1990 a 1994 trabalhou como Professor Assistente no Departamento de Eletrônica da Universidade de Oviedo. De 1997 a 2007 foi Professor Associado no mesmo departamento, onde desde 2007 é Professor Catedrático. Prof. Alonso é coautor de mais de 250 artigos publicados em congressos e jornais internacionais. Seus tópicos de interesse incluem: reatores eletrônicos de alta frequência, modelagem de lâmpadas de descarga, conversores eletrônicos para aplicações eletrostáticas e geração de ozônio, topologias para correção do fator de potência e conversores estáticos de alta frequência em geral. Prof. Alonso tem sido orientador de seis teses de doutorado na área de eletrônica de potência e possui seis patentes espanholas concedidas. Prof. Alonso foi premiado pelo governo espanhol no Programa de Intensificação de Atividades de Pesquisa, no período de 2008-2012. Também recebeu o prêmio intitulado Early Career Award, da IEEE Industrial Electronics Society em 2006 e três prêmios a artigos publicados na IEEE. Prof. Alonso tem colaborado como organizador de várias seções especiais em congressos e jornais do IEEE e é membro do International Steering Committee of the European Conference on Power Electronics and Exposition (EPE).