

ESTUDO E IMPLEMENTAÇÃO DE UM CONDICIONADOR UNIFICADO DE QUALIDADE DE ENERGIA DUAL UTILIZANDO CONVERSORES FOUR-LEG

Rodrigo A. Modesto¹, Sérgio A. Oliveira da Silva¹, Azauri Albano de Oliveira Jr.²
Universidade Tecnológica Federal do Paraná – UTFPR, Cornélio Procópio – PR, Brasil¹
Universidade de São Paulo – EESC–USP, São Carlos – SP, Brasil²
e-mail: rodrigomodesto@utfpr.edu.br¹, augus@utfpr.edu.br¹, azauri@sc.usp.br²

Resumo - Este artigo apresenta o estudo e a implementação de um condicionador de qualidade de energia unificado (UPQC - Unified Power Quality Conditioner) utilizando uma estratégia de compensação dual, o qual é aplicado em sistemas trifásicos a quatro fios, permitindo: i. supressão de correntes harmônicas e a compensação da potência reativa da carga; ii. compensação dos desbalanços das correntes de carga; iii. compensação dos desbalanços e supressão das tensões harmônicas da rede elétrica; iv. regulação das tensões da carga. A topologia de UPQC proposta é implementada por meio de dois conversores PWM four-leg controlados de maneira dual. O primeiro, conectado em paralelo com a carga, é controlado para operar como uma fonte de tensão senoidal. Já o segundo, colocado em série entre a rede elétrica e a carga, opera como fonte de corrente senoidal. Os controladores de tensão e de corrente são implementados no referencial síncrono ($dq0$). Além disso, a técnica de modulação vetorial espacial tridimensional é empregada nos conversores. Resultados experimentais são apresentados a fim de validar a estratégia dual de compensação e avaliar o desempenho do UPQC.

Palavras-Chave – Condicionamento Ativo de Potência, Conversores PWM Four-Leg, Supressão de Harmônicos.

STUDY AND IMPLEMENTATION OF A DUAL UNIFIED POWER QUALITY CONDITIONER USING FOUR-LEG INVERTERS

Abstract – This paper presents the study and implementation of a unified power quality conditioner (UPQC) using a dual compensation strategy, which is applied to three-phase four-wire systems, allowing: i. suppression of harmonic currents and reactive power compensation of the load; ii. unbalance compensation of the load currents; iii. unbalance compensation, and harmonic suppression of the utility grid voltages; iv. regulation of the output voltages. The proposed UPQC topology is implemented by means of two four-leg PWM converters using a dual control. The first, which is connected in parallel with the load, operates as a sinusoidal voltage source. The second, which is connected in series between the power source and the load, is

controlled to operate as a sinusoidal current source. Both voltage and current controllers are implemented into the synchronous rotating reference frame ($dq0$ -axes). In addition, the series and parallel converters use three-dimensional space vector modulation technique. Experimental results are presented in order to validate the dual compensation strategy and to evaluate the good performance of the UPQC.

Keywords – Active Power-Line Conditioning, Four-Leg PWM Inverters, Harmonic Suppression.

I. INTRODUÇÃO

A utilização de cargas com características não lineares, seja por consumidores industriais, comerciais ou residenciais tem influenciado na degradação da qualidade da energia elétrica (QEE), em função dos elevados níveis de correntes harmônicas que as cargas não lineares drenam da rede elétrica. A interação das correntes harmônicas com a impedância da rede elétrica provoca distorções nas tensões no ponto de acoplamento comum.

Formas de mitigar alguns problemas relacionados com a QEE se concentram na utilização de condicionadores ativos de potência, podendo-se citar os filtros ativos de potência (FAP) paralelos [1]-[7], série [7], [8], ou híbridos [9], [10], restauradores dinâmicos de tensão (DVR – *Dynamic Voltage Restorers*) [11], condicionadores unificados de qualidade de energia (UPQC– *Unified Power Quality Conditioners*) [12]-[23], sistema de energia ininterrupta (UPS – *Uninterruptible Power Supply*) [24], [29], dentre outros.

Os FAP paralelos (FAPP) normalmente operam como fontes de corrente controladas. Estes têm a finalidade de injetar na rede elétrica parcelas de corrente, como forma de minimizar os efeitos negativos causados pela circulação de correntes harmônicas e reativas no sistema elétrico. Já os FAP série (FAPS), os quais geralmente operam como fontes de tensão controladas, têm sido empregados na compensação de perturbações das tensões da rede, tais como desequilíbrios, afundamentos, elevações e harmônicos. Já, as tarefas de realizar as compensações de tensão e corrente simultaneamente, podem ser obtidas empregando UPQCs.

As topologias de UPQCs convencionais consistem na utilização em um único barramento CC, o qual é compartilhado por dois conversores, onde um deles é colocado em paralelo com a carga, e o outro em série entre a rede elétrica e a carga. Neste caso, o conversor paralelo desempenha a função de FAPP, enquanto o conversor série opera como FAPS. Neste caso, em aplicações convencionais de UPQCs, tanto as tensões como as correntes sintetizadas pelos conversores não são senoidais [12-14], [20-23].

Artigo submetido em 11/05/2014. Primeira revisão em 14/08/2014, segunda revisão em 20/11/2014. Aceito para publicação em 20/11/2014 por recomendação do Editor Cassiano Rech.

Por outro lado, o UPQC também pode operar utilizando uma estratégia de controle dual àquela citada anteriormente. Desse modo, o conversor série passa a operar como fonte de corrente senoidal, sintetizando correntes senoidais, enquanto o conversor paralelo passa a operar como fonte de tensão senoidal, ou seja, sintetizando tensões senoidais [16-19], [24]. Dependendo da estratégia de controle adotada, ambos os conversores podem ser controlados para operarem em fase com a tensão de entrada.

O fato de tanto as tensões quanto as correntes de referência serem senoidais, traz vantagens quando comparada com a estratégia de controle convencional, cujas correntes possuem características não senoidais [19]. Além disso, pelo fato do conversor paralelo operar sempre como uma fonte de tensão senoidal, as perturbações presentes nas tensões da rede são indiretamente compensadas e naturalmente absorvidas pelos transformadores de acoplamento série [16]-[18]. Sendo assim, os cálculos das referências de compensação de tensão, tradicionalmente calculados por alguma determinada teoria [5], [12], torna-se desnecessária para esta aplicação.

Em [18], o UPQC dual foi implementado para operar em sistemas trifásicos a quatro fios adotando a estrutura de potência composta por dois inversores PWM three-leg (3-L) compartilhando um mesmo barramento capacitivo com derivação central (*split-capacitor*). Já, o UPQC proposto neste trabalho, o qual está mostrado na Figura 1, emprega dois inversores PWM four-leg (4-L) também controlados para operarem no modo dual na realização das compensações ativas de potência série e paralela.

Quando a topologia inversora 4-L é comparada com a 3-L *split-capacitor*, esta apresenta a vantagem de possibilitar a diminuição da amplitude de tensão do barramento CC, o que representa um atrativo. Ou seja, enquanto a tensão do barramento CC do inversor 4-L deve ser superior à tensão de pico de linha da rede, o inversor 3-L *split-capacitor* necessita que a tensão total no barramento seja superior a duas vezes o pico da tensão de fase da rede, ou seja, isto representa um

aumento de 1,15 vezes em relação ao inversor 4-L. Além disso, a estrutura 3-L *split-capacitor* necessita de uma malha de controle adicional para compensar os desequilíbrios de tensão no barramento CC [18]. Por outro lado, o inversor 4-L apresenta um número maior de chaves semicondutoras quando comparado ao inversor 3-L. No entanto, a utilização de um quarto braço inversor permite maior controlabilidade na compensação da corrente de neutro [3].

Em [21] e [22], foi adotada no UPQC uma estrutura de potência composta por dois inversores 4-L (Figura 1), operando por meio da estratégia convencional de compensação.

Este trabalho, apesar de utilizar a mesma estrutura de potência citada, apresenta como principal contribuição a adoção da estratégia dual de compensação. Sendo assim, uma vez que as tensões e correntes controladas pelos inversores são senoidais, as referências de controle do UPQC podem ser contínuas no referencial síncrono $dq0$. Desse modo, uma vez que neste trabalho controladores Proporcional-Integral (PI) são adotados nas malhas de controle de corrente e tensão neste mesmo referencial, implica na redução dos erros estáticos em regime permanente. A detecção de ângulo de fase da rede (θ), usado para a obtenção das coordenadas do vetor unitário no referencial síncrono ($\text{sen}\theta$ e $\text{cos}\theta$), é feita por meio do sistema PLL (*Phase-Locked Loop*) trifásico utilizado em [24]. Este opera em conjunto com um filtro auto-sintonizado (STF – *Self-Tuning Filter*) apresentado em [25], cuja função é minimizar os efeitos dos harmônicos da tensão da rede sobre o PLL.

Este artigo está organizado da seguinte forma: a Seção II descreve a estrutura do sistema UPQC e suas principais características. Na Seção III, os controladores de tensão e corrente são apresentados, enquanto na Seção IV são discutidas as estratégias usadas na geração das tensões e correntes de referência do UPQC. Na Seção V o desempenho do UPQC é avaliado por meio de resultados experimentais. Por fim, a Seção VI apresenta as conclusões do trabalho.

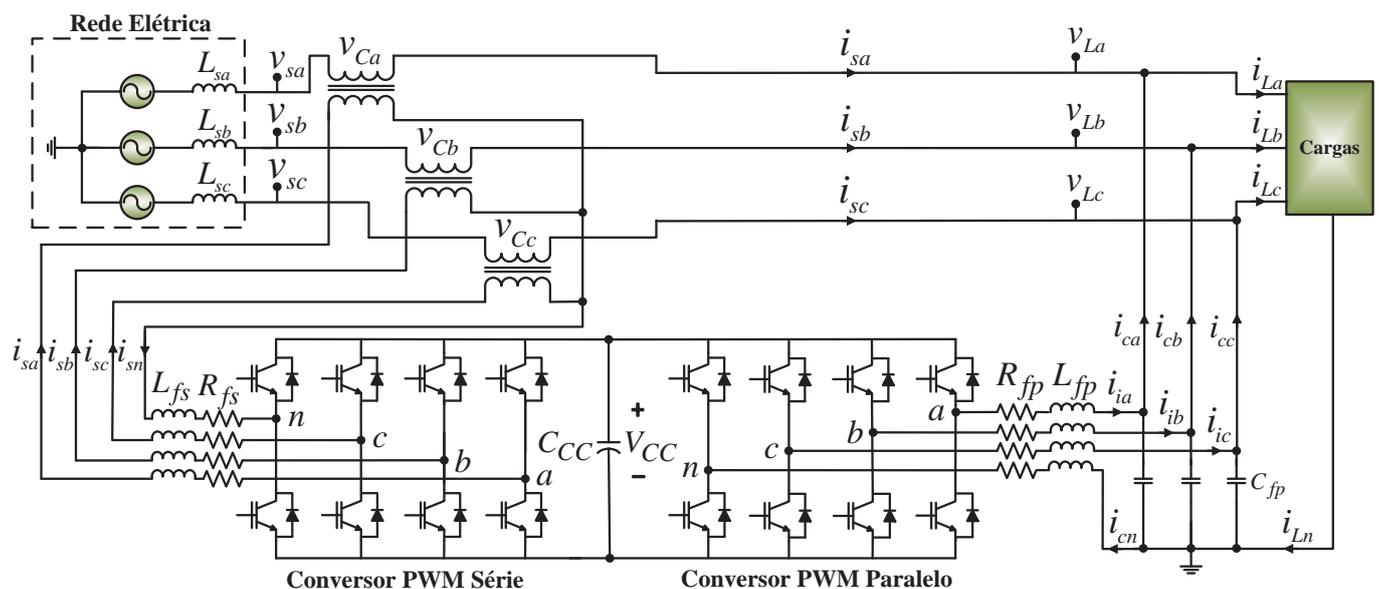


Fig. 1. Topologia do UPQC aplicado em sistemas trifásicos de quatro fios utilizando dois conversores PWM 4-L.

II. DESCRIÇÃO DA TOPOLOGIA DO UPQC

A topologia do UPQC trifásico proposto neste trabalho é apresentada na Figura 1. Esta é formada por dois conversores PWM 4-L, onde ambos compartilham o mesmo barramento CC composto por capacitores.

O conversor série controla as correntes de entrada realizando o condicionamento série de energia, tornando as correntes de entrada senoidais, equilibradas e em fase com as respectivas tensões da rede. Já o conversor paralelo é controlado em tensão e executa o condicionamento das tensões de saída, tornando-as senoidais, equilibradas e reguladas.

Uma vez que o conversor série comporta-se como uma fonte de corrente senoidal, a sua elevada impedância será suficiente para isolar a rede das correntes harmônicas da carga. Enquanto que, pelo fato do conversor paralelo comporta-se como uma fonte de tensão senoidal, sua baixa impedância será suficiente para absorver as correntes harmônicas da carga [17]. Desta forma, o UPQC caracteriza-se por possuir uma capacidade de filtragem universal.

O processamento de energia através do UPQC depende fundamentalmente das características da carga e da rede elétrica, as quais estão relacionadas a seguir: i. fator de potência fundamental (fator de deslocamento) da carga [26], ii. conteúdos harmônicos das correntes de carga e das tensões da rede, e iii. diferenças entre as amplitudes das tensões de entrada e de saída do UPQC (tensões sobre os transformadores de acoplamento série). Em outras palavras, a eficiência do UPQC está diretamente relacionada com a taxa de energia que circula através dos conversores PWM série e paralelo, sendo que a mesma está diretamente relacionada com as características da carga e da rede elétrica [24], [29].

III. MODELAGEM DOS CONVERSORES SÉRIE E PARALELO

Nesta seção as modelagens dos conversores série e paralelo são apresentadas. Além disso, os controladores de tensão e corrente utilizados no UPQC dual proposto são discutidos, os quais são implementados no sistema de eixos de referência síncrona ($dq0$).

A. Modelagem do Conversor Série

O controle do conversor série é implementado nos eixos de referência síncrona $dq0$. Dessa forma, sua modelagem matemática é apresentada de forma a obter o sistema de espaço de estados e as funções de transferência no referencial síncrono $dq0$. Para realizar a modelagem do conversor série, todas as indutâncias de acoplamento e suas resistências são consideradas idênticas, como segue: $L_{f_{sa}} = L_{f_{sb}} = L_{f_{sc}} = L_{f_{sn}} = L_{fs}$ e $R_{f_{sa}} = R_{f_{sb}} = R_{f_{sc}} = R_{f_{sn}} = R_{fs}$. Assim, a partir da Figura 1, as equações de estado do sistema podem ser expressas por:

$$u_{san_pwm} = R_{fs}i_{sa} + L_{fs}\frac{di_{sa}}{dt} + v_{ca} + L_{fs}\frac{di_{sn}}{dt} + R_{fs}i_{sn} \quad (1)$$

$$u_{sbn_pwm} = R_{fs}i_{sb} + L_{fs}\frac{di_{sb}}{dt} + v_{cb} + L_{fs}\frac{di_{sn}}{dt} + R_{fs}i_{sn} \quad (2)$$

$$u_{scn_pwm} = R_{fs}i_{sc} + L_{fsc}\frac{di_{sc}}{dt} + v_{cc} + L_{fs}\frac{di_{sn}}{dt} + R_{fs}i_{sn} \quad (3)$$

onde: u_{san_pwm} , u_{sbn_pwm} e u_{scn_pwm} são as respectivas tensões PWM do conversor série 4-L.

Considerando as tensões PWM do conversor série no referencial síncrono $dq0$ (u_{sd_pwm} , u_{sq_pwm} e u_{s0_pwm}), a equação em espaço de estados é dada por:

$$\dot{x}_{sdq0}(t) = A_{sdq0}x_{sdq0}(t) + B_{sdq0}u_{sdq0}(t) + F_{sdq0}w_{sdq0}(t) \quad (4)$$

onde:

$$\dot{x}_{sdq0}(t) = \begin{bmatrix} \frac{di_{sd}}{dt} \\ \frac{di_{sq}}{dt} \\ \frac{di_{s0}}{dt} \end{bmatrix}; x_{sdq0}(t) = \begin{bmatrix} i_{sd} \\ i_{sq} \\ i_{s0} \end{bmatrix}; u_{sdq0} = \begin{bmatrix} u_{sd_pwm} \\ u_{sq_pwm} \\ u_{s0_pwm} \end{bmatrix};$$

$$w_{sdq0}(t) = \begin{bmatrix} v_{Cd} \\ v_{Cq} \\ v_{C0} \end{bmatrix}; A_{sdq0} = \begin{bmatrix} -\frac{R_{fs}}{L_{fs}} & \omega & 0 \\ -\omega & -\frac{R_{fs}}{L_{fs}} & 0 \\ 0 & 0 & -\frac{R_{fs}}{L_{fs}} \end{bmatrix};$$

$$B_{sdq0} = \frac{1}{4L_{fs}} \begin{bmatrix} 4 & 0 & 0 \\ 0 & 4 & 0 \\ 0 & 0 & 1 \end{bmatrix}; F_{sdq0} = \frac{1}{4L_{fs}} \begin{bmatrix} -4 & 0 & 0 \\ 0 & -4 & 0 \\ 0 & 0 & -4 \end{bmatrix}.$$

O diagrama em blocos do sistema físico nas coordenadas $dq0$ está mostrado na Figura 2, onde d_{sd} , d_{sq} e d_{s0} são as razões cíclicas no referencial síncrono, V_{CC} é a tensão do barramento CC, K_{PWM} é o ganho do modulador PWM dado por $K_{PWM} = 1/P_{PWM}$ [27], sendo P_{PWM} o valor de pico da portadora PWM triangular implementada no DSP.

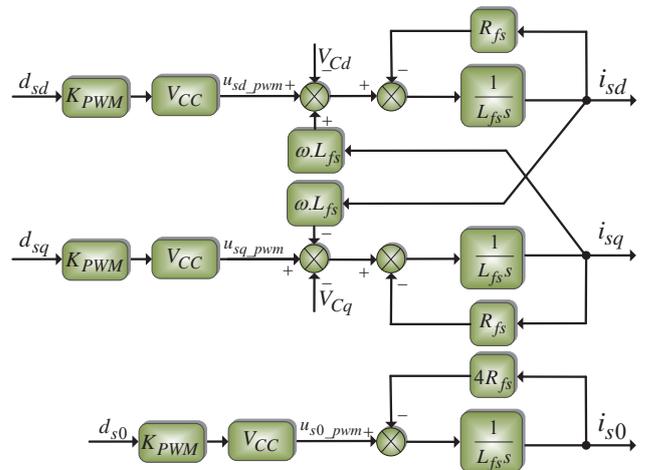


Fig. 2. Modelo do sistema físico do conversor série no referencial síncrono $dq0$.

Os efeitos causados pelo acoplamento de corrente entre os eixos são eliminados utilizando a estratégia apresentada na

Figura 3, onde os blocos em destaque representam o desacoplamento efetuado [30].

Sendo assim, uma vez conhecidas as funções de transferência da planta, obtidas pela Figura 2, assim como o modelo desacoplado apresentado na Figura 3, as funções de transferência do sistema em malha fechada podem ser representadas por (5) e (6), onde $Kp_{s(d,q)}$ e $Ki_{s(d,q)}$ são os ganhos proporcional e integral do controlador PI nas coordenadas dq e $Kp_{s(0)}$ e $Ki_{s(0)}$ são os ganhos proporcional e integral do controlador PI na coordenada 0 , conforme representados no diagrama em blocos do controlador série de corrente da Figura 4. Assim:

$$\frac{I_{S(d,q)}(s)}{I_{S(d,q)}^*(s)} = \frac{X_1(Kp_{s(d,q)}s + Ki_{s(d,q)})}{L_{fs}s^2 + (R_{fs} + X_1Kp_{s(d,q)})s + X_1Ki_{s(d,q)}} \quad (5)$$

$$\frac{I_{S(0)}(s)}{I_{S(0)}^*(s)} = \frac{X_1(Kp_{s(0)}s + Ki_{s(0)})}{4L_{fs}s^2 + (4R_{fs} + X_1Kp_{i(0)})s + X_1Ki_{i(0)}} \quad (6)$$

onde: $X_1 = K_{PWM}V_{CC}$.

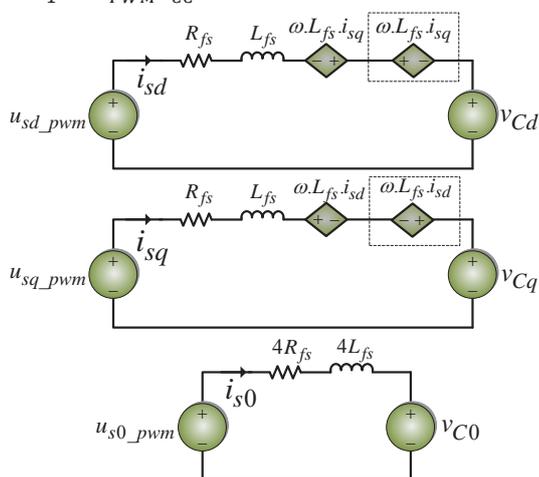


Fig. 3. Modelo do sistema desacoplado no referencial síncrono $dq0$.

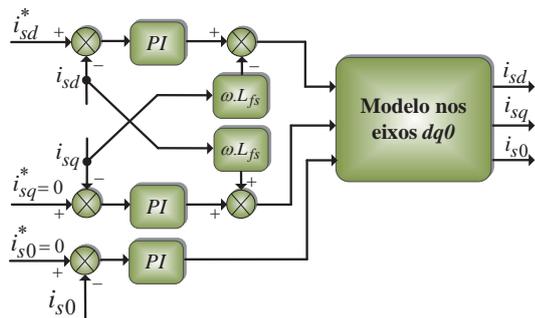


Fig. 4. Diagrama em blocos do controlador do conversor série.

B. Modelagem do Conversor Paralelo

O controle do conversor paralelo também é implementado no sistema de eixos de referência síncrona $dq0$. Dessa forma, a modelagem matemática é apresentada de forma a se obter o sistema de espaço de estados e as funções de transferência no referencial $dq0$. Para realizar a modelagem, todas as indutâncias de acoplamento, bem como suas resistências, além dos capacitores de filtragem são considerados idênticos,

como segue: $L_{fpa} = L_{fpb} = L_{fpc} = L_{fpn} = L_{fp}$; $R_{fpa} = R_{fpb} = R_{fpc} = R_{fpn} = R_{fp}$ e $C_{fpa} = C_{fpb} = C_{fpc} = C_{fp}$.

Assim, a partir da Figura 1, as equações de estado do sistema podem ser expressas por:

$$u_{pan_pwm} = R_{fp}i_{ia} + L_{fp} \frac{di_{ia}}{dt} + v_{La} + L_{fp} \frac{di_{cn}}{dt} + R_{fp}i_{cn} \quad (7)$$

$$u_{pbn_pwm} = R_{fp}i_{ib} + L_{fp} \frac{di_{ib}}{dt} + v_{Lb} + L_{fp} \frac{di_{cn}}{dt} + R_{fp}i_{cn} \quad (8)$$

$$u_{pcn_pwm} = R_{fp}i_{ic} + L_{fp} \frac{di_{ic}}{dt} + v_{Lc} + L_{fp} \frac{di_{cn}}{dt} + R_{fp}i_{cn} \quad (9)$$

onde u_{pan_pwm} , u_{pbn_pwm} e u_{pcn_pwm} são as respectivas tensões PWM do conversor paralelo 4-L.

Já as correntes nos capacitores dos filtros de saída (i_{cfpa} , i_{cfpb} , e i_{cfpc}) são dadas por:

$$i_{cfpa} = C_{fpa} \frac{dv_{La}}{dt} = i_{ia} - i_{ca} \quad (10)$$

$$i_{cfpb} = C_{fpb} \frac{dv_{Lb}}{dt} = i_{ib} - i_{cb} \quad (11)$$

$$i_{cfpc} = C_{fpc} \frac{dv_{Lc}}{dt} = i_{ic} - i_{cc} \quad (12)$$

onde i_{ia} , i_{ib} e i_{ic} são as respectivas correntes dos indutores L_{fpa} , L_{fpb} e L_{fpc} ; e i_{ca} , i_{cb} e i_{cc} são as correntes de saída do conversor paralelo.

Considerando as tensões PWM do conversor paralelo no referencial síncrono $dq0$ (u_{pd_pwm} , u_{pq_pwm} e u_{p0_pwm}), a equação em espaço de estados é dada por:

$$\begin{bmatrix} \dot{i}_{id} \\ \dot{i}_{iq} \\ \dot{i}_{i0} \\ \dot{v}_{Ld} \\ \dot{v}_{Lq} \\ \dot{v}_{L0} \end{bmatrix} = A_{pdq0} \begin{bmatrix} i_{id} \\ i_{iq} \\ i_{i0} \\ v_{Ld} \\ v_{Lq} \\ v_{L0} \end{bmatrix} + B_{pdq0} \begin{bmatrix} u_{pd_pwm} \\ u_{pq_pwm} \\ u_{p0_pwm} \end{bmatrix} + F_{pdq0} \begin{bmatrix} i_{cfpd} \\ i_{cfpq} \\ i_{cfp0} \end{bmatrix} \quad (13)$$

onde $A_{pdq0} = \begin{bmatrix} A_1 & A_2 \\ A_3 & A_4 \end{bmatrix}$;

$$A_1 = \begin{bmatrix} -\frac{R_{fp}}{L_{fp}} & \omega & 0 \\ \omega & -\frac{R_{fp}}{L_{fp}} & 0 \\ 0 & 0 & -\frac{R_{fp}}{L_{fp}} \end{bmatrix}; A_2 = \begin{bmatrix} -\frac{1}{L_{fp}} & 0 & 0 \\ 0 & -\frac{1}{L_{fp}} & 0 \\ 0 & 0 & -\frac{1}{4L_{fp}} \end{bmatrix};$$

$$A_3 = \begin{bmatrix} \frac{1}{C_{fp}} & 0 & 0 \\ 0 & \frac{1}{C_{fp}} & 0 \\ 0 & 0 & \frac{1}{C_{fp}} \end{bmatrix}; A_4 = \begin{bmatrix} 0 & \omega & 0 \\ -\omega & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$B_{pdq0} = \begin{bmatrix} B_1 \\ B_2 \end{bmatrix}; B_1 = \begin{bmatrix} \frac{1}{L_{fp}} & 0 & 0 \\ 0 & \frac{1}{L_{fp}} & 0 \\ 0 & 0 & \frac{1}{4L_{fp}} \end{bmatrix}; B_2 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix};$$

$$F_{pdq0} = \begin{bmatrix} F_1 \\ F_2 \end{bmatrix}; F_1 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}; F_2 = \begin{bmatrix} -\frac{1}{C_{fp}} & 0 & 0 \\ 0 & -\frac{1}{C_{fp}} & 0 \\ 0 & 0 & -\frac{1}{C_{fp}} \end{bmatrix}.$$

O diagrama em blocos do sistema no referencial síncrono é mostrado na Figura 5, onde d_{pd} , d_{pq} e d_{p0} são as respectivas razões cíclicas.

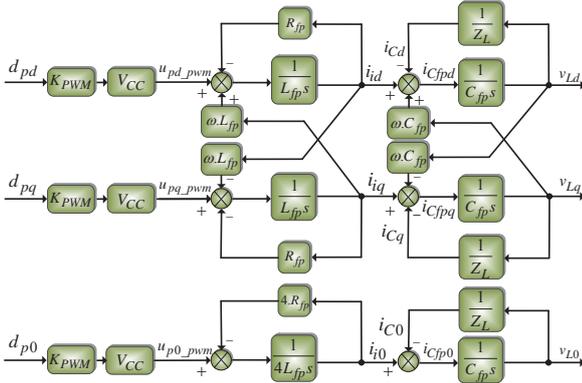


Fig. 5. Modelo do sistema físico do conversor paralelo no referencial síncrono $dq0$.

Os efeitos causados pelo acoplamento de corrente entre os eixos são eliminados utilizando a estratégia apresentada na Figura 6, onde os blocos em destaque representam o desacoplamento efetuado. Com as funções de transferência da planta, obtidas pela Figura 5, assim como o modelo desacoplado apresentado na Figura 6, as funções de transferência do sistema em malha fechada com o controle da malha interna de corrente (corrente nos indutores de filtragem L_{fp}) e com o controle da malha externa de tensão (tensão dos capacitores de filtragem C_{fp}) nos eixos $dq0$, podem ser representadas por (14) e (15), onde $Kp_p(d,q)$ e $Ki_p(d,q)$ são os ganhos proporcional e integral do controlador PI dos eixos dq , e $Kp_p(0)$ e $Ki_p(0)$ são os ganhos proporcional e integral do controlador PI do eixo 0 da malha externa do controle de tensão do conversor paralelo. Os ganhos $Kp_{pi}(d,q)$ e $Kp_{pi}(0)$ são os ganhos proporcional da malha interna de corrente nos eixos dq e 0 respectivamente, conforme representados no diagrama em blocos do controlador do conversor paralelo na Figura 7. As correntes dos capacitores de saída $i_{Cfp}(d,q,0)$ mostradas na Figura 7, são estimadas considerando as derivadas das tensões medidas de saída e as respectivas capacitâncias (C_{fp}). Dessa forma:

$$\frac{v_{L(d,q)}(s)}{v_{L(d,q)}^*(s)} = \frac{X_{1(d,q)}s^2 + X_{2(d,q)}s + X_{3(d,q)}}{Y_{1(d,q)}s^3 + Y_{2(d,q)}s^2 + Y_{3(d,q)}s + Y_{4(d,q)}} \quad (14)$$

$$\frac{v_{L(0)}(s)}{v_{L(0)}^*(s)} = \frac{X_{1(0)}s^2 + X_{2(0)}s + X_{3(0)}}{Y_{1(0)}s^3 + Y_{2(0)}s^2 + Y_{3(0)}s + Y_{4(0)}} \quad (15)$$

onde:

$$X_{1(d,q)} = K_{PWM}V_{CC}C_{fp}Kp_{pi}(d,q);$$

$$X_{2(d,q)} = K_{PWM}V_{CC}Kp_{pi}(d,q)Kp_p(d,q);$$

$$X_{3(d,q)} = Y_{4(d,q)} = K_{PWM}V_{CC}Kp_{pi}(d,q)Ki_p(d,q);$$

$$Y_{1(d,q)} = C_{fp}L_{fp};$$

$$Y_{2(d,q)} = C_{fp}(K_{PWM}V_{CC}Kp_{pi}(d,q) + R_{fp});$$

$$Y_{3(d,q)} = K_{PWM}V_{CC}Kp_{pi}(d,q)Kp_p(d,q) + 1;$$

$$X_{1(0)} = K_{PWM}V_{CC}C_{fp}Kp_{pi}(0);$$

$$X_{2(0)} = K_{PWM}V_{CC}Kp_{pi}(0)Kp_p(0);$$

$$X_{3(0)} = Y_{4(0)} = K_{PWM}V_{CC}Kp_{pi}(0)Ki_p(0);$$

$$Y_{1(0)} = 4C_{fp}L_{fp};$$

$$Y_{2(0)} = C_{fp}(K_{PWM}V_{CC}Kp_{pi}(0) + 4R_{fp});$$

$$Y_{3(0)} = K_{PWM}V_{CC}Kp_{pi}(0)Kp_p(0) + 1.$$

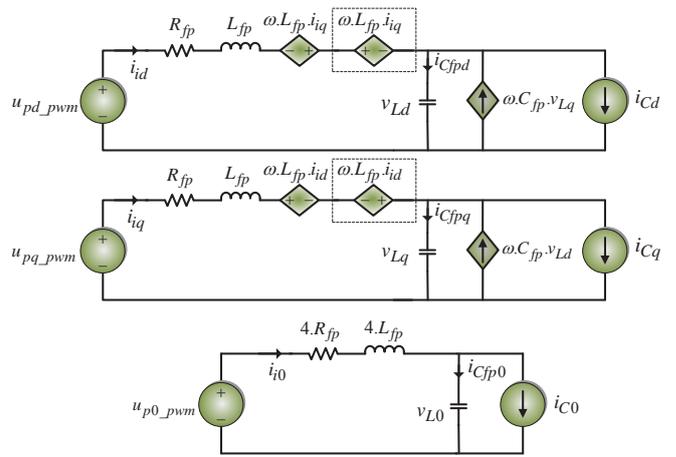


Fig. 6. Modelo do sistema desacoplado no referencial síncrono $dq0$.

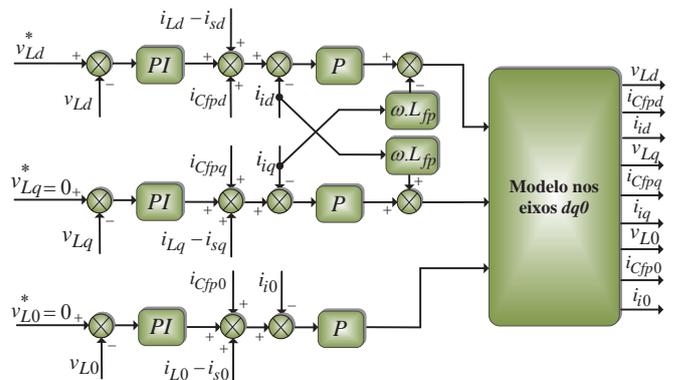


Fig. 7. Diagramas em blocos do controlador do conversor paralelo.

IV. GERAÇÃO DAS REFERÊNCIAS DE CONTROLE DOS CONVERSORES SÉRIE E PARALELO

O conversor série é controlado para tornar as correntes de entrada da UPQC (i_{sa} , i_{sb} , i_{sc}) senoidais e em fase com as respectivas tensões de entrada (v_{sa} , v_{sb} , v_{sc}). Da mesma forma o conversor paralelo controla as tensões de saída (v_{La} , v_{Lb} , v_{Lc}) para fornecer às cargas tensões senoidais, equilibradas, reguladas e em fase com as tensões da rede.

Desta forma, as grandezas de tensão e corrente controladas no referencial síncrono $dq0$ são constantes o que contribui para reduzir o erro em regime estacionário dos controladores PI implementados neste mesmo referencial.

A. Conversor Paralelo

O diagrama em blocos completo da malha de controle de tensão do inversor paralelo está representado na Figura 8. O valor da tensão de referência v_{Ld}^* no eixo direto d é um valor constante e representa as tensões impostas pelo UPQC na carga, ou seja, no sistema de eixos trifásico estacionário abc (v_{La}, v_{Lb}, v_{Lc}). Como se deseja tensões senoidais e equilibradas, as tensões de referência v_{Lq}^* e v_{L0}^* são definidas como zero.

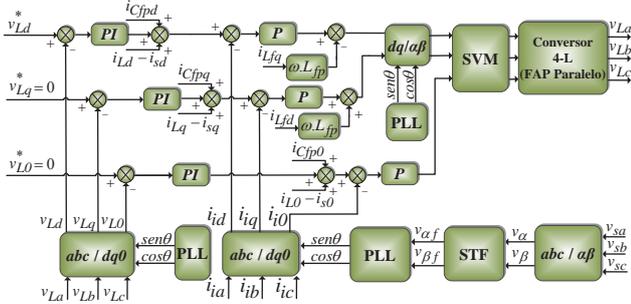


Fig. 8. Diagrama em blocos do controlador de tensão.

B. Conversor Série

O algoritmo de compensação das correntes do conversor série é baseado no método SRF (*Synchronous Reference Frame*), o qual tem por objetivo fornecer a referência de corrente i_{sd}^* (Figura 9) capaz de propiciar que o conversor série sintetize as correntes senoidais de entrada (i_{sa}, i_{sb}, i_{sc}).

O diagrama de controle para a compensação de corrente está mostrado na Figura 9. A corrente direta (i_d) é obtida por (17) e (18), enquanto as coordenadas do vetor unitário, $sen(\theta)$ e $cos(\theta)$ são obtidas a partir do sistema PLL trifásico utilizado em [24]:

$$\begin{bmatrix} i_\alpha \\ i_\beta \\ i_0 \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} i_{La} \\ i_{Lb} \\ i_{Lc} \end{bmatrix} \quad (17)$$

$$i_d = i_\alpha \cos\theta + i_\beta \sin\theta \quad (18)$$

Neste caso, o ângulo de fase estimado pelo PLL deve ser idêntico ao ângulo de fase da rede elétrica. Um filtro passa-baixa (FPB) é usado para extrair a componente i_{dCC} , a qual representa no referencial síncrono $dq0$, as parcelas ativas das correntes de carga (i_{La}, i_{Lb}, i_{Lc}).

A corrente total no eixo direto i_{sd}^* (Figura 9) é dada por (19), onde também aparece a corrente i_{BCC} , a qual representa ação de controle do controlador de tensão do barramento CC.

$$i_{sd}^* = i_{BCC} + i_{dCC} \quad (19)$$

Desse modo, independente do tipo de carga, a corrente i_{sd}^* representa as componentes de sequência positiva das correntes da carga. Adicionada a i_{sd}^* tem-se a corrente i_{BCC} , a qual é utilizada para manter a tensão do barramento CC constante, compensando as perdas inerentes dos elementos de filtragem, bem como dos dispositivos semicondutores.

Além disso, i_{BCC} tem a função de equilibrar o fluxo de potência no UPQC, em função das diferenças de amplitude entre as tensões de entrada (v_{sa}, v_{sb}, v_{sc}) e as respectivas tensões de saída (v_{La}, v_{Lb}, v_{Lc}), conforme tratado em [24] e [29] para aplicações similares envolvendo sistemas UPS.

Os controladores PI de corrente também são implementados no referencial $dq0$. O esquema completo do controle e de geração das referências de corrente é mostrado no diagrama em blocos da Figura 10. Nota-se que, devido ao fato do conversor série sintetizar correntes senoidais e equilibradas, as correntes de referência i_{sq}^* e i_{s0}^* são definidas como zero.

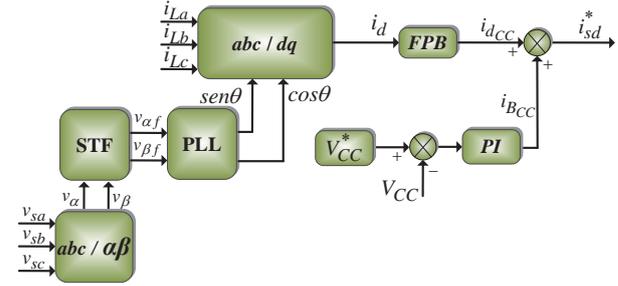


Fig. 9. Diagramas em blocos da geração da corrente de referência.

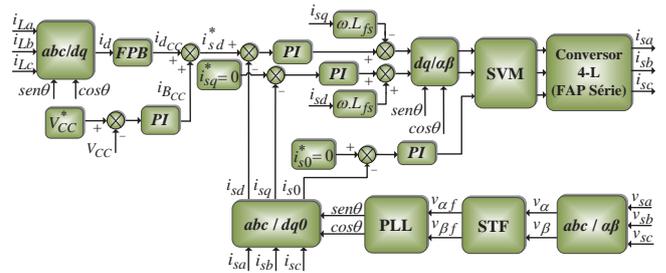


Fig. 10. Diagramas em blocos da geração da corrente de referência e controle de corrente.

V. RESULTADOS EXPERIMENTAIS

No intuito de validar o estudo e verificar o desempenho do UPQC por meio das estratégias utilizadas na geração das referências de controle de tensão e corrente, o protótipo mostrado na Figura 11 foi construído, o qual é baseado no esquema apresentado na Figura 1.

Nos experimentos práticos foram utilizados dois processadores digitais de sinais (DSP TMS320F28335), de forma a implementar digitalmente os algoritmos SRF e PLL, bem como os controladores de tensão do conversor paralelo, de tensão do barramento CC e de corrente do conversor série.

Cada um dos conversores four-leg é composto por quatro módulos IGBT (SK40GB 123 Semikron) com seus respectivos *drivers*. Os sensores de corrente LEM LA 100-P são usados para medir as correntes de carga, assim como as correntes de controle dos conversores série e paralelo. Já as tensões CA de entrada e saída e do barramento CC foram medidas por meio dos sensores LEM LV 25-P.

Os parâmetros do UPQC, os ganhos dos controladores e os tipos de cargas não lineares utilizadas nos testes experimentais estão mostrados nas Tabelas I, II e III, respectivamente. Neste trabalho, o método adotado para a sintonia dos controladores PI utiliza a resposta em frequência

baseada no diagrama de Bode, considerando a margem de fase e a frequência de cruzamento de ganho em 0dB como parâmetros de projeto [28]. Já os atrasos referentes à implementação digital foram desconsiderados no projeto.

TABELA I

Parâmetros Utilizados nos Ensaios Realizados do UPQC

Potência aparente da carga 1Φ 1	$S_a=1590$ VA, $S_b=1260$ VA, $S_c=950$ VA
Potência aparente da carga 1Φ 2	$S_{La}=1940$ VA, $S_{Lb}=1260$ VA, $S_{Lc}=950$ VA
Potência aparente da carga 3Φ	$S_L = 4170$ VA
Tensão eficaz nominal da rede (fase)	$V_{sa,b,c} = 127$ V
Frequência nominal da rede	$f_s = 60$ Hz
Frequência de chaveamento dos inversores	$f_{ch} = 20$ kHz
Indutâncias de acoplamento do conversor paralelo	$L_{jpa,b,c} = 1,0$ mH
Resistências série dos indutores de acoplamento (conversor paralelo)	$R_{Ljpa,b,c} = 0,12$ Ω
Capacitância do filtro paralelo	$C_{jpa,b,c} = 85$ μF
Indutâncias de acoplamento do conversor série	$L_{jsa,b,c} = 1,5$ mH
Resistências série dos indutores de acoplamento (conversor série)	$R_{Ljsa,b,c} = 0,15$ Ω
Indutâncias de dispersão dos transformadores de acoplamento série	$L_{di} = 0,42$ mH
Resistências dos transformadores de acoplamento série	$R_{ra,b,c} = 0,26$ Ω
Relação de transformação dos transformadores	$n = 1$
Tensão do barramento CC	$V_{cc} = 400$ V
Capacitância do barramento CC	$C_{cc} = 9400$ μF
Frequência de amostragem dos DSPs	$f_a = 40$ kHz
Ganho do modulador PWM	$K_{PWM} = 2,66 \cdot 10^{-4}$

TABELA II

Ganhos dos Controladores e Especificações de Projeto

Eixos $dq0$	Conversor Paralelo		Conversor Série		
	Laço Externo	Laço Interno	Kp_s	Ki_s	
	Kp_p	Ki_p			
dq	0,2333	549	90	233,10	1217639
0	0,2381	526	361	932,40	4870556
Ganho do controlador do barramento CC			0,0357	0,1202	
Ganho proporcional do PLL			$K_{Ppll} = 120$		
Ganho integral do PLL			$K_{Ipll} = 3000$		
Parâmetro K do STF			$K = 10$		
Frequência de cruzamento da malha interna de corrente do conversor paralelo			$\omega_{ci_p} = 2\pi f_s / 6 \text{ rad} / s$		
Margem de fase			$MF_{ip} = 75^\circ$		
Frequência de cruzamento da malha externa de tensão do conversor paralelo			$\omega_{cv_p} = 0,16 \omega_{ci_p} \text{ rad} / s$		
Margem de fase			$MF_{vp} = 55^\circ$		
Frequência de cruzamento da malha de corrente do conversor série			$\omega_{ci_s} = 2\pi f_s / 9 \text{ rad} / s$		
Margem de fase			$MF_{is} = 50^\circ$		
Frequência de cruzamento da malha de tensão do barramento CC			$\omega_{v_{cc}} = 42 \text{ rad} / s$		
Margem de fase			$MF_{v_{cc}} = 87,5^\circ$		

Para o sistema alimentando o conjunto de cargas monofásicas 1 (Tabela III), as correntes das cargas (i_{La} , i_{Lb} e i_{Lc}) e a corrente de neutro da carga (i_{Ln}) são mostradas na Figura 12.a. As correntes compensadas da fonte (i_{sa} , i_{sb} e i_{sc}) e a corrente de neutro da rede (i_{sn}) são mostradas na Figura 12.b, enquanto as correntes do conversor paralelo (i_{ca} , i_{cb} e i_{cc}) e a sua corrente de neutro (i_{cn}) são mostradas na Figura 12.c. A Figura 12.d apresenta as correntes do UPQC considerando apenas a fase “a”. Observa-se que as

correntes compensadas da rede tornaram-se equilibradas e muito próximas de uma senoide de forma que, para esta situação, i_{cn} é igual a i_{Ln} , enquanto i_{sn} é nula. Isso demonstra que, além dos harmônicos, o UPQC compensou as componentes de sequência negativa e zero, resultando no equilíbrio de corrente entre as fases e a eliminação da circulação da corrente de neutro na rede.

As Figuras 12, 13 e 14 mostram os resultados obtidos do UPQC na compensação das correntes de entrada, considerando os conjuntos de cargas mostrados na Tabela III.



Fig. 11. Protótipo do UPQC trifásico.

TABELA III

Parâmetros das Cargas Utilizadas nos Experimentos

Conjuntos de cargas monofásicas	Fase A	Fase B	Fase C	
Retificador 1Φ de onda completa	1	R=8,1 Ω L=380 mH	R=10,12 Ω L=346 mH	R=13,50 Ω L=357 mH
	2	R=13,5 Ω C=940 μF	R=10,12 Ω L=346 mH	R=8,1 Ω L=380 mH
Carga trifásica	Fases ABC			
Retificador 3Φ de onda completa	1	R=17,7 Ω		

Para o sistema alimentando a carga trifásica, as correntes das cargas (i_{La} , i_{Lb} e i_{Lc}), de compensação (i_{ca} , i_{cb} e i_{cc}), e da rede (i_{sa} , i_{sb} e i_{sc}) são mostradas, respectivamente, nas Figuras 14.a, b e c. A Figura 14.d apresenta as correntes do UPQC considerando apenas a fase “a”. Neste caso, observa-se também o bom desempenho do UPQC.

A Tabela IV mostra a distorção harmônica total (DHT) das correntes da carga (i_{La} , i_{Lb} e i_{Lc}) e da rede já compensadas (i_{sa} , i_{sb} e i_{sc}), para todos os experimentos mostrados, ou seja, para as cargas monofásicas 1 e 2 e carga trifásica. Em todos os casos houve uma significativa redução da DHT das correntes compensadas na rede.

TABELA IV

DHT das Correntes da Carga e da Rede

Conjunto de cargas monofásicas (1Φ) e trifásica (3Φ)	Distorção Harmônica Total (DHT%)					
	i_{La}	i_{Lb}	i_{Lc}	i_{sa}	i_{sb}	i_{sc}
Carga 1 (1Φ)	24,9	25,0	29,3	1,0	1,0	1,3
Carga 2 (1Φ)	62,7	25,0	24,9	1,2	1,0	1,3
Carga 3Φ	26,0	26,0	26,0	1,7	1,7	1,7

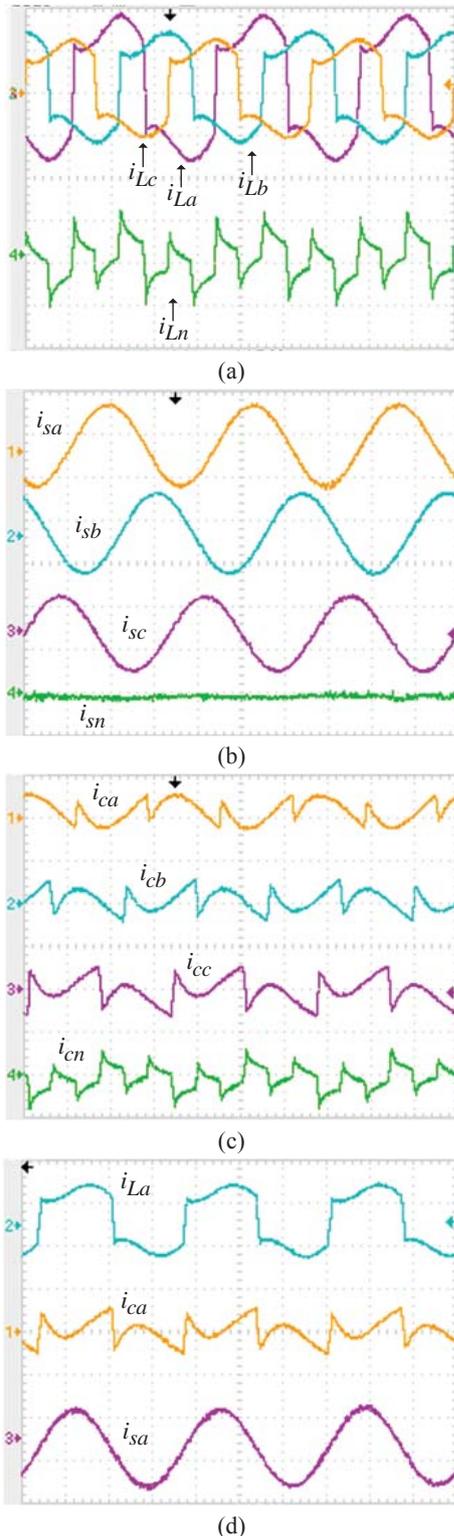


Fig. 12. Correntes do UPQC para a carga monofásica 1 (20 A/div, 5 ms/div): (a) Correntes das cargas (i_{La} , i_{Lb} , i_{Lc}) e i_{Ln} ; (b) Correntes compensadas da rede (i_{sa} , i_{sb} , i_{sc}) e i_{sn} ; (c) Correntes do conversor paralelo (i_{ca} , i_{cb} , i_{cc}) e i_{cn} ; (d) Correntes da fase “a”: carga i_{La} , conversor paralelo i_{ca} e rede i_{sa} .

O comportamento das tensões do UPQC é apresentado na Figura 15. Nas Figuras 15.a e 15.b são mostradas as tensões trifásicas da rede (v_{sa} , v_{sb} e v_{sc}) e de saída (v_{La} , v_{Lb} e v_{Lc}), juntamente com suas respectivas correntes da fase “b” (rede)

e fase “a” (carga). Observa-se que os harmônicos de tensão da rede foram atenuados como mostrado na Tabela V. O conversor paralelo fornece tensões senoidais, equilibradas e com baixa taxa de distorção harmônica para as cargas. As tensões sobre o transformador de acoplamento série (v_{cc}), considerando a fase “c” são mostradas nas Figuras 15.c e 15.d quando as tensões eficazes V_{sc} (127 V) > V_{Lc} (114 V) e quando V_{Lc} (140 V) > V_{sc} (127 V).

TABELA V
DHT das Tensões da Rede e da Carga

Conjunto de cargas monofásicas (1Φ) e trifásica (3Φ)	Distorção Harmônica Total (DHT%)					
	v_{sa}	v_{sb}	v_{sc}	v_{La}	v_{Lb}	v_{Lc}
Carga 1 (1Φ)	2,5	2,9	2,5	2,3	2,2	1,9
Carga 2 (1Φ)	2,2	2,9	2,2	2,7	2,2	1,9

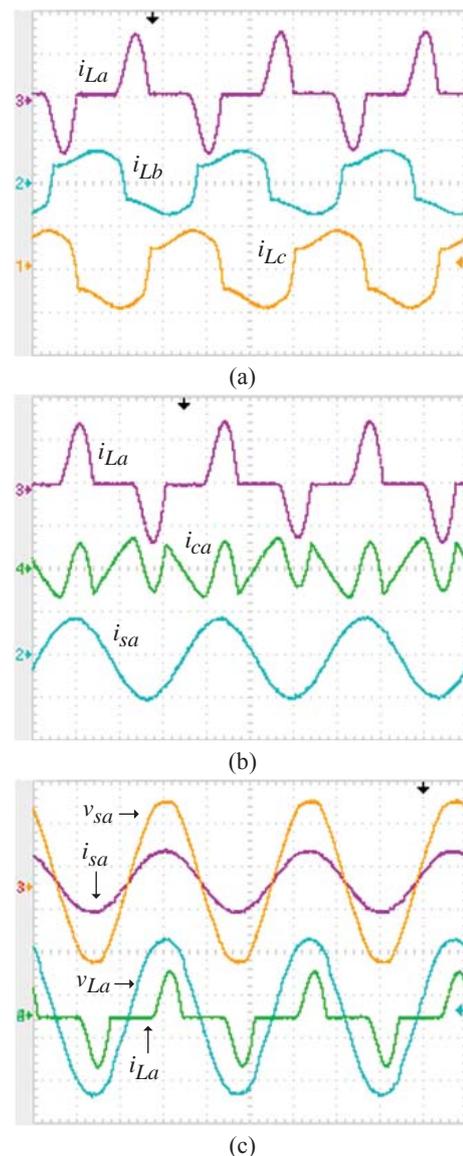


Fig. 13. Correntes e tensões da fase “a” do UPQC para a carga monofásica 2 (20 A/div, 100V/div, 5 ms/div): (a) Correntes da carga nas fases “abc”: i_{La} , i_{Lb} e i_{Lc} ; (b) Corrente da fase “a”: carga i_{La} , conversor paralelo i_{ca} e rede i_{sa} ; (c) Correntes da fase “a”: carga i_{La} e rede i_{sa} ; Tensões da fase “a”: rede v_{sa} e carga v_{La} .

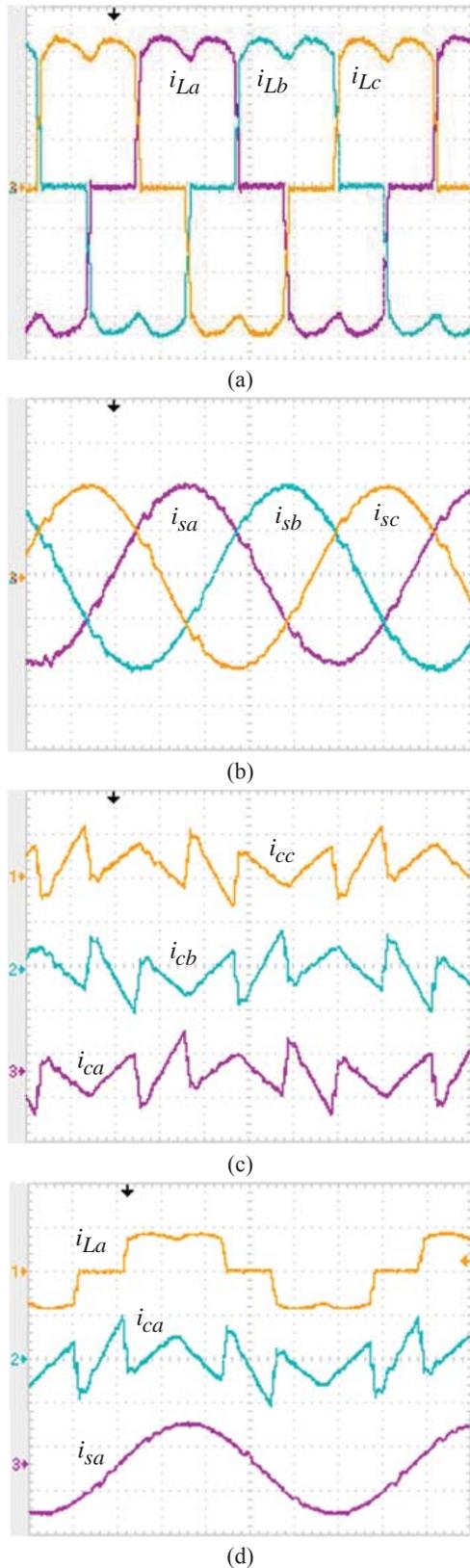


Fig. 14. Correntes do UPQC para a carga trifásica (2,5 ms/div): (a) Correntes das cargas (i_{La} , i_{Lb} , i_{Lc}) (5 A/div); (b) Correntes compensadas da rede (i_{sa} , i_{sb} , i_{sc}) (10 A/div); (c) Correntes do conversor paralelo (i_{ca} , i_{cb} , i_{cc}) (10 A/div); (d) Correntes da fase "a": carga i_{La} (20 A/div), conversor paralelo i_{ca} (10 A/div) e rede i_{sa} (20 A/div).

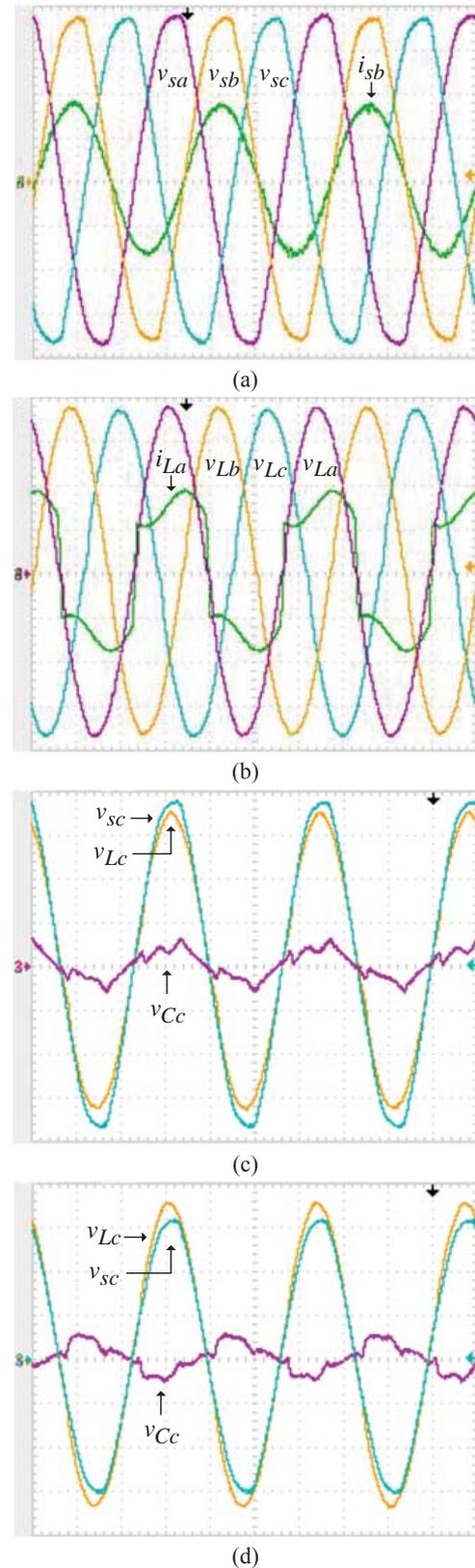


Fig. 15. Tensões do UPQC com a carga monofásica 1 (5 ms/div): (a) Tensões da rede (v_{sa} , v_{sb} , v_{sc}) (50 V/div) e corrente da fase "b" da rede (i_{sb}) (10 A/div); (b) Tensões da carga (v_{La} , v_{Lb} , v_{Lc}) (50 V/div) e corrente da carga da fase "a" (i_{La}) (10 A/div); (c) Tensões da fase "c" para $V_{sc} > V_{Lc}$: entrada v_{sc} , saída v_{Lc} e transformador de acoplamento v_{Cc} (50 V/div); (d) Tensões da fase "c" para $V_{Lc} > V_{sc}$: entrada v_{sc} (60 V/div), saída v_{Lc} (60 V/div) e transformador de acoplamento v_{Cc} (50 V/div).

As Figuras 16.a e 16.b apresentam o comportamento dinâmico da tensão do barramento CC (V_{cc}) considerando que a carga da fase “a” é desconectada e reconectada após alguns segundos. Além da tensão do barramento CC, a Figura 16.a apresenta as correntes das cargas (i_{La} , i_{Lb} e i_{Lc}). Já a Figura 16.b apresenta as correntes da fonte (i_{sa} , i_{sb} e i_{sc}), bem como a tensão do barramento CC. Pode ser observada a atuação do controlador de tensão do barramento CC nas correntes de entrada, de forma a manter a tensão controlada em 400 V. Além disso, fica evidente pela Figura 16.b a capacidade do sistema UPQC em manter as correntes da rede equilibradas, mesmo com a ausência da carga conectada à fase “a”.

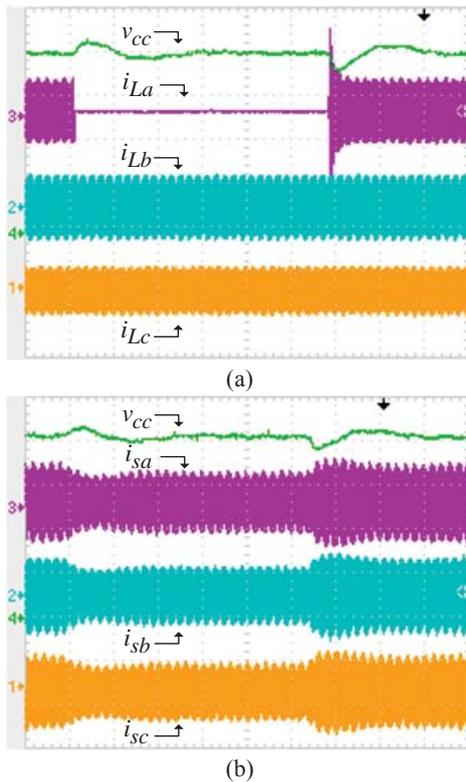


Fig. 16. Tensão do barramento CC e correntes do UPQC (100 V/div, 20 A/div, 500ms/div): (a) retirada da carga da fase “a”: Tensão do barramento CC (v_{cc}) e correntes de carga (i_{La} , i_{Lb} , i_{Lc}); (b) retirada da carga da fase “a”: Tensão do barramento CC (v_{cc}) e correntes da rede (i_{sa} , i_{sb} , i_{sc}).

O controle da tensão do barramento CC (V_{cc}) do UPQC, nas etapas E1, E2, E3 e E4 de pré-carga do banco de capacitores (C_{cc}) está mostrado na Figura 17. Nesta figura são mostradas a tensão V_{cc} e as correntes da rede. Na etapa E1, têm-se $V_{cc} = 15$ V devido à alimentação dos *drivers* dos inversores. Em E2 ocorre a pré-carga do banco de capacitores, onde o UPQC comporta-se como um retificador não controlado, resultando em $V_{cc} = 311$ V (tensão de pico de linha da rede). Nesta etapa, onde o conversor série permanece inativo, ocorre o aumento da corrente drenada da rede em função da carga dos capacitores do barramento. Na etapa E3 o conversor paralelo entra em operação, no entanto, controlando as tensões de saída em 0 V. Já na etapa E4, o conversor série é ativado elevando a tensão do barramento V_{cc} para o valor de referência desejado, ou seja, $V_{cc} = 400$ V.

Em aplicações práticas, durante o estágio de pré-carga, o UPQC não deve interferir no funcionamento da carga. Sendo assim, deve-se prever a utilização de uma chave *by-pass* entre a rede e a carga de forma que esta permaneça alimentada. Outra chave deve ser colocada na saída do UPQC cuja finalidade é manter a carga desconectada durante o estágio de pré-carga.

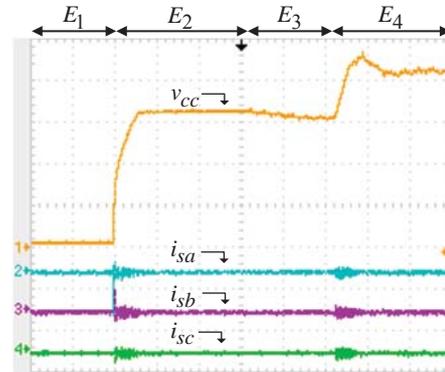


Fig. 17. Pré-carga dos capacitores do barramento CC: Tensão do barramento CC (V_{cc}) e correntes da rede (i_{sa} , i_{sb} , i_{sc}) (100 V/div, 50 A/div, 1 s/div).

Os espectros harmônicos e as DHTs das tensões e correntes de entrada e saída do UPQC estão apresentados nas Figuras 18 e 19. As DHTs das tensões na rede v_{sa} e na carga v_{La} do sistema alimentando a carga 1, medidas na fase “a”, estão mostradas nas Figuras 18.a e 18.b, enquanto as DHTs das correntes de entrada i_{sa} e saída i_{La} são mostradas nas Figuras 18.c e 18.d. Os espectros harmônicos e as DHTs das tensões e correntes do sistema alimentando a carga 2, medidas na fase “a” (v_{sa} , v_{La} , i_{sa} e i_{Lc}), estão mostradas nas Figuras 19.a, 19.b, 19.c e 19.d, respectivamente.

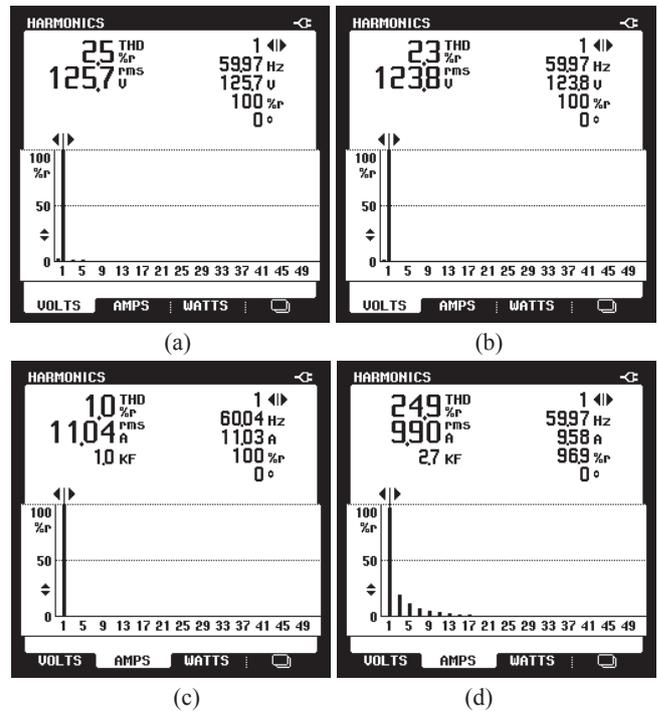


Fig. 18. Espectros harmônicos e DHTs das tensões e correntes da fase “a” para a carga 1 (1Φ): (a) Tensão da rede v_{sa} ; (b) Tensão da carga v_{La} ; (c) Corrente da rede i_{sa} ; (d) Corrente da carga i_{La} .

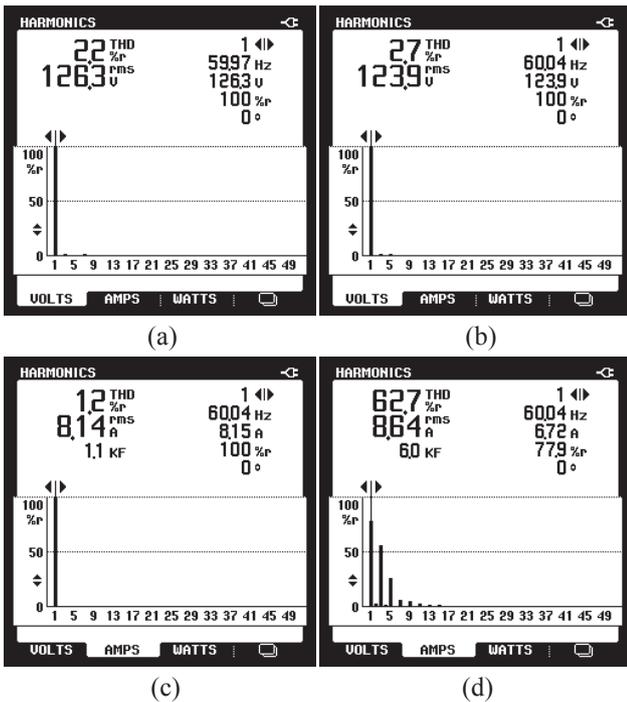


Fig. 19. Espectros harmônicos e DHTs das tensões e correntes da fase “c” para a carga 2 (1Φ): (a) Tensão da rede v_{sa} ; (b) Tensão da carga v_{La} ; (c) Corrente da rede i_{sa} ; (d) Corrente da carga i_{La} .

VI. CONCLUSÕES

Este trabalho apresentou o estudo e a implementação de um UPQC utilizando dois conversores four-leg controlados de forma dual, cuja capacidade de filtragem série e paralela foi testada alimentando cargas não lineares trifásicas, bem como monofásicas, conectadas em um sistema trifásico a quatro fios.

A topologia de UPQC dual foi controlada de forma que o inversor paralelo operasse como uma fonte de tensão senoidal, enquanto o conversor série como uma fonte de corrente senoidal. Desta forma, as ações de controle dos controladores PI de corrente e tensão do UPQC puderam ter um melhor desempenho, uma vez que as suas referências são contínuas no referencial síncrono, o que reduz os erros em regime permanente.

Resultados experimentais foram apresentados, demonstrando a eficácia do UPQC, no propósito de realizar a filtragem das correntes drenadas da rede, assim como das tensões entregues às cargas, validando o desenvolvimento teórico e confirmando o bom desempenho do UPQC proposto.

REFERÊNCIAS

[1] R. L. A. Ribeiro, C. C. Azevedo, R. M. Souza, “A Robust Adaptive Control Strategy of Active Power Filters for Power-Factor Correction, Harmonic Compensation, and Balancing of Nonlinear Loads”, *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 718-730, February 2012.

[2] R. F. Camargo, H. A. Gründling, H. Pinheiro, “Filtro Ativo de Potência para Compensação de Harmônicos de Tensão em Sistemas de Distribuição Trifásicos a Quatro-

Fios”, *Revista Eletrônica de Potência*, vol. 12, no. 1, pp. 63-70, Março 2007.

[3] V. Khadkikar, A. Chandra, “An Independent Control Approach for Three-Phase Four-Wire Shunt Active Filter Based on Three H-Bridge Topology under Unbalanced Load Conditions”, in *Proc. of PESC*, pp. 4643-4649, 2008.

[4] L. R. Limongi, D. Roiu, R. Bojoi, A. Tenconi, “Analysis of Active Power Filters Operating with Unbalances Loads”, *Revista Eletrônica de Potência*, vol. 15, no. 3, pp. 166-174, Junho/Agosto 2010.

[5] H. K. M. Paredes, D. I. Brandão, E. V. Liberado, F. P. Marafão, “Compensação Ativa Paralela Baseada na Teoria de Potência Conservativa”, *Revista Eletrônica de Potência*, vol. 17, no. 1, pp. 409-418, Fevereiro 2012.

[6] L. B. G. Campanhol, S. A. O. Silva, A. Goedtel, “Filtro Ativo de Potência Aplicado em Sistema Trifásicos a Quatro-Fios”, *Revista Eletrônica de Potência*, vol. 18, no. 1, pp. 782-792, Fevereiro 2013.

[7] G. J. França, B. J. Cardoso Filho, “Series-shunt Compensation for Harmonic Mitigation and Dynamic Power Factor Correction”, *Revista Eletrônica de Potência*, vol. 17, no. 3, pp. 641-650, Junho/Agosto 2012.

[8] M. S. Hamad, M. I. Masoud, B. W. Williams, “Medium-Voltage 12-pulse Converter: Output Voltage Harmonic Compensation Using a Series APF”, *IEEE Transactions on Industrial Electronics*, vol. 61, no. 1, pp. 43-52, January 2014.

[9] W. H. Choi, C. S. Lam, M. C. Wong, Y. D. Han, “Analysis of DC-Link Voltage Controls in Three-Phase Four-Wire Hybrid Active Power Filters”, *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2180-2191, August 2012.

[10] P. Salmeron, S. P. Litran, “Improvement of the Electric Power Quality Using Series Active and Shunt Passive Filters”, *IEEE Transactions on Power Delivery*, vol. 25, no. 2, pp. 1058-1067, April 2010.

[11] D. A. Fernandes, F. F. Costa, J. D. Inocêncio, Alexandre C. Castro, I. S. Freitas, “Dynamic Voltage Restorer with Complete Control of the Connection Transformers Saturation”, *Revista Eletrônica de Potência*, vol. 18, no. 3, pp. 1030-1037, Junho/Agosto 2013.

[12] H. Fujita, H. Akagi, “The Unified Power Quality Conditioner: The Integration of Series and Shunt Active Filters”, *IEEE Transactions on Power Electronics*, vol. 13, no. 2, pp. 315-322, March 1998.

[13] M. Aredes, K. Heumann, E.H. Watanabe, “A Universal Active Power Line Conditioner”, *IEEE Transactions on Power Delivery*, vol. 13, no. 2, pp. 545-551, April 1998.

[14] R. R. Matias, C. B. Jacobina, A. C. Oliveira, W. R. N. Santos, “Análise em Regime Permanente do Filtro Ativo Universal”, *Revista Eletrônica de Potência*, vol. 16, no. 3, pp. 1188-1196, Setembro/Novembro 2013.

[15] J. Dias, T. D. C. Busarello, L. Michels, C. Rech, M. Mezaroba, “Controle Digital Simplificado para um Condicionador Unificado de Qualidade de Energia”, *Revista Eletrônica de Potência*, vol. 18, no. 4, pp. 212-221, Junho/Agosto 2011.

[16] M. Aredes, D. A. C. Ferreira, M. J. V. Siqueira, B. W. França, L. F. Silva, R. Gerencer, “Performance

- analysis and technical feasibility of an iUPQC in industrial grids”, *Journal of Power and Energy Engineering*, vol. 2, pp. 500-508, 2014.
- [17] S. A. O. Silva, R. A. Modesto, A. Goedel, C. F. Nascimento, “Compensation Algorithms Applied to Power Quality Conditioners in Three-Phase Four-Wire Systems”, in *Proc. of IEEE International Symposium on Industrial Electronics*, pp. 730-735, 2010.
- [18] R. J. M. Santos, J. C. Cunha, M. Mezaroba, “A Simplified Control Technique for a Dual Unified Power Quality Conditioner”, *IEEE Transactions on Industrial Electronics*, vol. 61, no. 11, pp. 5851–5860, November 2014.
- [19] B. W. França, M. Aredes, “Comparison Between the UPQC and its Dual Topology (iUPQC) in Dynamic Response and Steady-State”, in *Proc. of IEEE Industrial Electronics Conference*, pp. 1-6, 2011.
- [20] C. A. Molina, J. R. Espinoza, E. E. Espinosa, F. A. Villarroel and J. A. Hidalgo, “Refined Control of a Unified Power Quality Conditioner under Nonlinear and Asymmetrical Loads”, in *Proc. of IEEE International Symposium on Industrial Electronics*, pp. 2581-2586, 2010.
- [21] M. Ucar, S. Ozdemir, E. Ozdemir, “A Four-Leg Unified Series-Parallel Active Filter System for Periodic and Non-Periodic Disturbance Compensation”, *Electric Power Systems Research*, vol. 81, pp. 1132-1143, 2011.
- [22] M. Ucar, S. Ozdemir, “3-Phase 4-Leg Unified Series-Parallel Active Filter System with Ultracapacitor Energy Storage for Unbalanced Voltage Sag Mitigation”, *Electric Power Systems Research*, vol. 49, pp. 149-159, 2013.
- [23] k. Karanki, G. Geddada, M. K. Mishra, B. K. Kumar, “A Modified Three-Phase Four-Wire UPQC Topology With Reduced DC-Link Voltage Rating”, *IEEE Transactions on Industrial Electronics*, vol. 60, no. 9, September 2013.
- [24] S. A. O. Silva, P. F. Donoso-Garcia, P. C. Cortizo, and P. F. Seixas, “A three-phase line-interactive UPS system implementation with series-parallel active power-line conditioning capabilities,” *IEEE Transactions on Industry Applications*, vol. 38, no. 6, pp. 1581–1590, Nov./Dec. 2002.
- [25] M. Abdusalam, P. Poure, S. Karimi, e S. Saadate, “New digital reference current generation for shunt active power filter under distorted voltage conditions,” *Electrical Power System Research Journal*, vol. 79, pp. 759-765, 2009.
- [26] *IEEE Standard Definitions for the Measurement of Electric Power Quantities under Sinusoidal, Nonsinusoidal, Balanced, or Unbalanced Conditions*, IEEE Std. 1469-2010, 2010.
- [27] S. Buso, P. Mattavelli, *Digital Control in Power Electronics*, Morgan & Claypool Publishers, USA, 2006.
- [28] B. A. Angélico, L. B. G. Campanhol, e S. A. O. Silva, “Proportional-Integral/Proportional-Integral-Derivative Tuning Procedure of a Single-Phase Shunt Active Power Filter Using Bode Diagram,” *IET Power Electronics*, vol. 8, no. 9, pp. 1–13, August 2014.
- [29] R. Barriviera, S. A. O. Silva, M. S. Kaster, R. A. Modesto, “Implementação de um Sistema UPS Monofásico com Condicionamento Ativo de Potência Série e Paralelo”, *Revista Eletrônica de Potência*, vol. 17, no. 1, pp. 752-761, Setembro/Novembro 2012.
- [30] M. J. Ryan, R.W. De Doncker, R. D. Lorenz, “Decoupled Control of a 4-Leg Inverter Via a New 4x4 Transformation Matrix” In *Proc. of IEEE Power Electronics Specialists Conference*, pp. 187-192, 1999.

DADOS BIOGRÁFICOS

Rodrigo Augusto Modesto, nascido em Londrina (PR), é tecnólogo em eletrotécnica (2004) pela Universidade Tecnológica Federal do Paraná, *Campus Cornélio Procópio* (UTFPR-CP), e mestre em engenharia elétrica (2007) pela Universidade Estadual de Londrina; engenheiro eletricitista (2009) pela Universidade Norte do Paraná; atualmente é doutorando em engenharia elétrica da Escola de Engenharia de São Carlos (EESC-USP). É professor do Departamento de Engenharia Elétrica da Universidade Tecnológica Federal do Paraná, *Campus Cornélio Procópio* desde 2009. Suas áreas de interesse são: sistemas de energia ininterrupta, condicionadores de energia, processamento digital de sinais e qualidade da energia elétrica. É membro da SOBRAEP.

Sérgio Augusto Oliveira da Silva, nascido em Joaquim Távora (PR), é engenheiro eletricitista (1987) e mestre em engenharia elétrica (1989) pela Universidade Federal de Santa Catarina (UFSC); e doutor em engenharia elétrica (2001) pela Universidade Federal de Minas Gerais. É professor do Departamento de Engenharia Elétrica da Universidade Tecnológica Federal do Paraná, *Campus Cornélio Procópio* (UTFPR-CP) desde 1993. É coordenador do Laboratório de Eletrônica de Potência, Qualidade de Energia e Energias Renováveis (LEPQER). Suas principais áreas de interesse são: condicionadores ativos de energia elétrica, sistemas de energia ininterrupta (UPS), sistemas de controle empregando DSP's, qualidade da energia elétrica e sistemas fotovoltaicos. É membro da SOBRAEP.

Azauri Albano de Oliveira Jr, nascido em 23/07/1955 em Franca (SP), é engenheiro eletricitista/eletrônico (1977) pela Escola de Engenharia de São Carlos (EESC) da Universidade de São Paulo (USP), mestre em engenharia elétrica (1984) pela EESC/USP e doutor em Engenharia Elétrica (1991) pela Escola Politécnica da USP. É coordenador do Laboratório de Controle e Eletrônica de Potência (LACEP) do Departamento de Engenharia Elétrica e de Computação da EESC-USP. É professor do Departamento de Engenharia Elétrica e de Computação da EESC/USP desde 1978. Suas áreas de interesse são: eletrônica de potência, acionamento e controle de máquinas elétricas e ensino de engenharia elétrica. É membro ABENGE e da SOBRAEP.