

ANÁLISE E PROJETO DA TOPOLOGIA INTEGRADA SEPIC MEIA PONTE COM CONTROLE DE FLUXO LUMINOSO PARA O ACIONAMENTO DE LÂMPADAS FLUORESCENTES SEM ELETRODOS

Marcelo F. da Silva, Jeferson Fraytag, Marson E. Schlittler, Tiago B. Marchesan, Marco A. Dalla Costa, J. Marcos Alonso* e Ricardo N. do Prado
Universidade Federal de Santa Maria - UFSM - GEDRE - BRASIL
*Universidad de Oviedo, DIEECS - Tecnología Electrónica - ESPANHA
Santa Maria - RS
e-mail: ricardo@gedre.ufsm.br

Resumo – Este artigo apresenta um reator eletrônico para lâmpadas fluorescentes sem eletrodos (LFSE), no qual se elucidam as questões de projeto e desenvolvimento. O reator é destinado à alimentação de uma LFSE de 100 W em 250 kHz, com a possibilidade de controle da intensidade luminosa. A topologia proposta compõe-se por um conversor *SEPIC* (*Single-Ended Primary Inductance Converter*), empregado como estágio pré-regulador de fator de potência (PFP), integrado a um inversor meia ponte (*Half-Bridge*) ressonante, utilizado como estágio de controle de potência (CP). A integração entre os dois estágios, acima descritos, é proposta neste trabalho, com o principal intuito de reduzir o número de interruptores ativos, aumentando, assim, a confiabilidade do reator eletrônico proposto. Resultados experimentais ratificam a viabilidade da solução proposta, a qual atingiu-se uma faixa de controle de potência de aproximadamente 54% (100 W até 46 W). A topologia implementada possui elevado fator de potência (0,989) associado a uma baixa distorção harmônica de corrente (THD) (14,929%), sem o emprego de filtros de entrada adicionais para supressão da interferência eletromagnética (IEM). O rendimento experimental da topologia é de 87%, na potência nominal da lâmpada.

Palavras-Chave – Lâmpada Fluorescente sem Eletrodos, Fator de Potência, Técnica de Integração.

SINGLE-STAGE HIGH-POWER-FACTOR DIMMABLE ELECTRONIC BALLAST FOR ELECTRODELESS FLUORESCENT LAMP

Abstract – A methodological study of electronic ballast for electrodeless fluorescent lamps (EFL) including design and development issues is presented in this paper. The ballast is intended to feed a 100 W EFL at 250 kHz, with an optional dimming feature. The proposed topology is composed of a Single-Ended Primary Inductance Converter (*SEPIC*), used as power factor correction (PFC) stage, integrated with a resonant half-bridge inverter, used as lamp power control (PC) stage. The integration of both stages is proposed in this work, in

Artigo submetido em 11/06/2012. Revisado em 27/09/2012. Aceito para publicação em 13/11/2012 por recomendação do editor Henrique A. C. Braga.

order to reduce the number of active switches, as well as to simplify the required driving and control circuitry for this application. Experimental results demonstrate the feasibility of the proposed solution that achieves 54% lamp power dimming (46 W). The implemented topology attained very high power factor (0.989), and low line current total harmonic distortion (THD) (14.929%), without using additional electromagnetic interference (EMI) filters, while the measured efficiency was 87% at nominal lamp power.

Keywords – Electrodeless Fluorescent Lamps, High Power Factor, Integration Technique.

I. INTRODUÇÃO

Sistemas de iluminação baseados no emprego de lâmpadas fluorescentes tornaram-se populares devido às suas características já bem difundidas, tais como: elevada eficiência luminosa e índice de reprodução de cores (IRC) satisfatório [1], [2] e [3]. No entanto, a utilização de lâmpadas fluorescentes tradicionais (LF) apresenta uma reduzida vida útil (aproximadamente 10 mil horas [4]) em comparação às LFSE que podem chegar a 100 mil horas [5].

A presença de eletrodos nas LF tradicionais destaca-se como o principal fator limitante em transpor suas 10 mil horas de operação, sendo estes, os grandes responsáveis pela limitação na potência da lâmpada e dos problemas nos processos de ignição ao final de seu tempo de uso [6].

A ausência de eletrodos é a principal característica que faz com que as LFSEs possuam elevada vida útil e baixa depreciação luminosa, mesmo após considerável tempo de operação [7]. O desenvolvimento tecnológico atual das LFSEs permite a fabricação de lâmpadas de até 1.000 W de potência [8], com um IRC superior a 90, temperaturas de cor entre 2.700 K e 6.500 K e eficiência luminosa de até 110 lm/W [9]. Devido a suas características, as LFSEs são muito empregadas em lugares de difícil acesso, como túneis e iluminação pública.

A Figura 1 apresenta alguns modelos de LFSEs para distintas frequências de operação. Neste tipo de lâmpada as bobinas magnéticas ligadas ao tubo de descarga funcionam como um transformador, onde a carga secundária corresponde ao plasma no interior da lâmpada.

Um sistema de acionamento típico para a LFSE consiste em um conjunto de estágios, como mostrado na Figura 2.

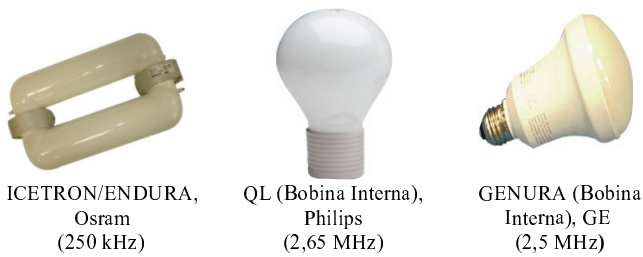


Fig. 1. Diferentes modelos de LFSE.

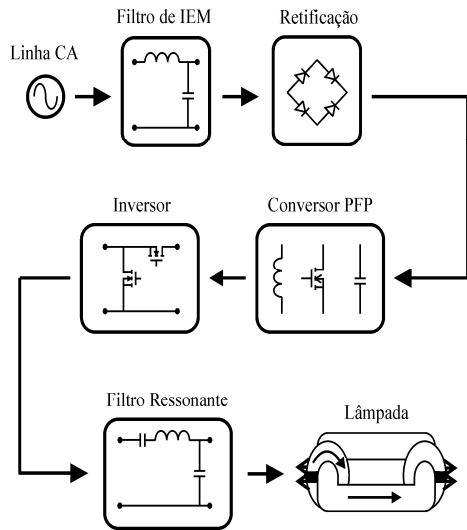


Fig. 2. Estágios de acionamento de uma LFSE.

O primeiro estágio consiste de um filtro de IEM, projetado para eliminar as componentes harmônicas geradas pela comutação em alta frequência do estágio PFP. Os requisitos de projeto para esta primeira etapa vão depender do conversor PFP selecionado e da metodologia de projeto adotada.

No Brasil, a portaria do INMETRO 267/2009, estabelece que os reatores eletrônicos devem apresentar alto fator de potência ($> 0,92$) para sistemas acima de 25 W [10]. Em âmbito internacional, a limitação no conteúdo harmônico da corrente drenada da rede é regulamentado pela IEC 61000-3-2 classe C [11]. Para atender tais requisitos quanto a utilização de reatores eletrônicos, a inclusão de um estágio PFP é realizada. Ainda, um circuito inversor (normalmente meia-ponte) e um filtro ressonante LCC de saída são empregados para garantir o controle da potência na lâmpada e alimentação com uma forma de onda simétrica de tensão e corrente [12], [13], além de proporcionar a tensão de ignição necessária para a lâmpada.

O processo de controle da intensidade luminosa (CIL) para lâmpadas de descarga tem sido tema de vários trabalhos [14], [15], [16], [17]. No entanto, esta questão ainda está aberta a discussões. O desempenho de um sistema de iluminação com CIL deve atender aos requisitos da norma C82.11 [18], a qual regulamenta a operação de reatores eletrônicos em alta frequência. Os sistemas de CIL são geralmente mais caros que os tradicionais, sem controle, mas com a vantagem de proporcionar economia no consumo de energia. Este tipo de sistema pode alcançar uma redução no

consumo de até 50% com controle de frequência de operação [19], ou mais de 60% quando combinada com outros métodos de controle [20]. Um sistema em alta frequência com CIL proporciona uma iluminação adequada, além de, quando comparados com reatores eletromagnéticos, poder evitar problemas de ruído audível e cintilamento [21], além de adequar o fator de potência do sistema [22].

Este trabalho apresenta a integração das etapas de potência da Figura 2 (conversor PFP e inversor) na constituição de um reator eletrônico para alimentação de LFSEs. Adicionalmente, uma metodologia efetiva que possibilite o CIL da lâmpada é investigada e apresentada para o reator eletrônico proposto.

Para o estágio PFP a topologia *SEPIC* é empregada, enquanto que para o estágio CP utiliza-se um inversor meia ponte juntamente com um filtro LCC ressonante. Ambos os estágios de potência operam na mesma frequência de comutação (f_s), de acordo com os requisitos da lâmpada empregada.

A topologia proposta é destinada à alimentação da LFSE ICETRON/ENDURA – 100 W da Osram, a qual possui frequência de operação de 250 kHz. Características elétricas, construtivas e luminotécnicas desta lâmpada são encontradas em [8] e [9].

Este artigo está organizado da seguinte forma: na seção II são apresentados o modelo e o circuito equivalente da LFSE; a seção III apresenta a topologia *SEPIC* como estágio PFP e a análise de sua integração com o estágio CP; na Seção IV apresenta-se a metodologia de CIL, bem como os limites impostos pelo estágio PFP; a seção V discorre sobre o projeto do conversor integrado *SEPIC* meia-ponte e a seção VI mostra os resultados do protótipo desenvolvido. As conclusões deste trabalho são apresentadas na seção VII.

II. MODELO ELÉTRICO DA LÂMPADA FLUORESCENTE SEM ELETRODOS

O modelo elétrico para lâmpadas de descarga sem eletrodos tem sido largamente discutido na literatura [23], [24]. No entanto, modelos capazes de descrever o comportamento elétrico para LFSE ainda são de amplo estudo. O modelo, apresentado nesta seção, pretende representar o comportamento elétrico da lâmpada, em função da potência ativa da mesma. Com este modelo, pode-se analisar a operação do conversor PFP em diferentes pontos de potência da lâmpada.

A LFSE analisada neste artigo apresenta duas bobinas externas (L_{CORE}) conectas em paralelo. Essas bobinas agem como um enrolamento primário de um transformador, onde a carga do enrolamento secundário corresponde ao plasma no interior do tubo de descarga. Desta forma, a transferência de energia das bobinas externa à descarga elétrica ocorre através do campo eletromagnético gerado pelos indutores, produzindo assim, a radiação luminosa.

A Figura 3 apresenta o modelo elétrico simplificado da LFSE. Devido ao caminho magnético fechado, as bobinas externas possuem um fator de acoplamento considerado unitário [25]. A lâmpada pode então ser representada através de um circuito paralelo, dado por uma resistência (R_{LP}) e uma indutância equivalente (L_{LP}).

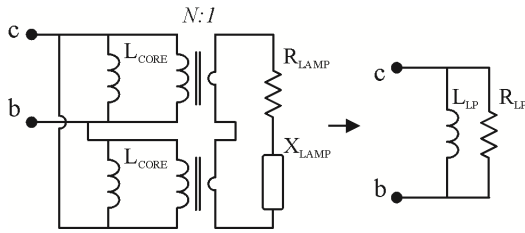


Fig. 3. Modelo elétrico equivalente da LFSE.

Neste artigo, o controle do fluxo luminoso da lâmpada é proposto. Em virtude disto, a indutância equivalente da LFSE e a resistência equivalente da mesma, devem ser analisadas em relação à variação de potência da lâmpada.

O modelo da lâmpada pode ser obtido experimentalmente, através de um inversor ressonante alimentado por meio de uma fonte contínua. Com a variação de tensão desta fonte, a potência da lâmpada é alterada. Assim, a partir de medidas de tensão e corrente na lâmpada, podem-se obter as resistências e indutâncias equivalentes para cada ponto de operação. Este modelo, utilizado nesse trabalho, é apresentado em [24]. Em [40] um modelo detalhado da LFSE também é apresentado. As expressões adequadas para modelar a resistência e a indutância equivalente da lâmpada, em função da potência média da mesma (P_{LP}), são dadas por (1) e (2), respectivamente, onde os coeficientes são apresentados na Tabela I.

$$R_{LP}(P_{LP}) = R_1 e^{-\frac{P_{LP}}{P_1}} + R_2 e^{-\frac{P_{LP}}{P_2}} \quad (1)$$

$$L_{LP}(P_{LP}) = A_3 P_{LP}^3 + A_2 P_{LP}^2 + A_1 P_{LP} + A_0 \quad (2)$$

TABELA I

Coefficientes de modelagem para LFSE 100 W, ICETRON / ENDURA

Coefficiente	Valor
R_1	2,497 Ω
R_2	43,22 Ω
P_1	52,63 W
P_2	7,41 W
A_3	0,0020 $\mu\text{H}/\text{W}^3$
A_2	0,3288 $\mu\text{H}/\text{W}^2$
A_1	-18,970 $\mu\text{H}/\text{W}$
A_0	1330,2 μH

A Figura 4 ilustra a variação da indutância equivalente e a resistência da lâmpada em função da variação de potência da mesma.

III. CONVERSOR SEPIC INTEGRADO COM INVERSOR MEIA PONTE RESSONANTE

A integração de etapas empregada para as topologias SEPIC e Meia Ponte, consiste na substituição de dois interruptores controlados por apenas um, conforme a técnica de integração apresentada em [26].

O fator limitante da técnica de integração é que ambos os estágios, PFP e CP, após serem integrados, terão

obrigatoriamente o mesmo período de comutação (T_s) e a mesma razão cíclica (D) imposto sobre o interruptor compartilhado [27].

As Figuras 5 e 6 apresentam a topologia proposta na sua forma não integrada e integrada, respectivamente. Observe, na Figura 6, a substituição dos interruptores controlados S_1 e S_3 , pelo interruptor compartilhado $S_{1,3}$.

A. Conversor SEPIC como Estágio PFP

A topologia SEPIC tem por característica a possibilidade de operar com ganho estático maior ou menor que a unidade, dependendo da razão cíclica de funcionamento do interruptor controlado. Outra característica, consiste na tensão de saída apresentar a mesma polaridade da tensão de entrada, simplificando o controle de circuitos de proteção.

O conversor Flyback, como PFP, também poderia ser considerado como uma alternativa para alimentar o inversor meia ponte. Uma das características dessa topologia é a isolamento entre entrada e saída. Entretanto, quando aplicada a técnica de integração, essa característica de isolamento deixa de existir, se assemelhando a topologia Buck-Boost, a qual seria mais vantajosa que a topologia Flyback, devido à menores indutância de dispersão e ao tamanho do núcleo magnético. Porém, a opção pelo conversor SEPIC foi determinada pela sua característica não inversora. Além disso, dependendo do projeto da indutância de entrada do conversor SEPIC (L_i), a corrente de entrada desta topologia vai apresentar inerentemente um baixo conteúdo harmônico. Fato que acarreta na redução, ou supressão, do filtro de IEM. Com isto, se reduz o número de estágios da topologia final, aumentando a eficiência e diminuindo seus custos. A topologia SEPIC pode ser operada em modo de condução contínuo (MCC) e/ou em modo de condução descontínuo (MCD). Para este projeto a operação em MCD é empregada devido à potência da carga não ser muito elevada (<300 W) e a facilidade de operação em malha aberta [28]. Desta forma, o conversor se comporta como uma resistência pura para a linha CA, garantindo um elevado fator de potência na entrada.

B. Inversor Meia Ponte Ressonante como Estágio CP

O uso de um inversor meia ponte, em alta frequência, seguido por um filtro ressonante, é amplamente consolidado na literatura para alimentação de lâmpadas fluorescentes [12].

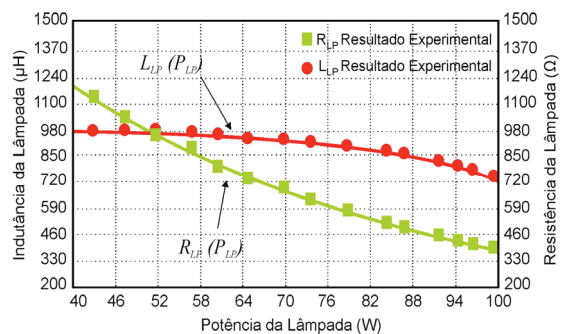


Fig. 4. Indutância e resistência equivalente da LFSE 100 W ICETRON/ENDURA, em função da potência.

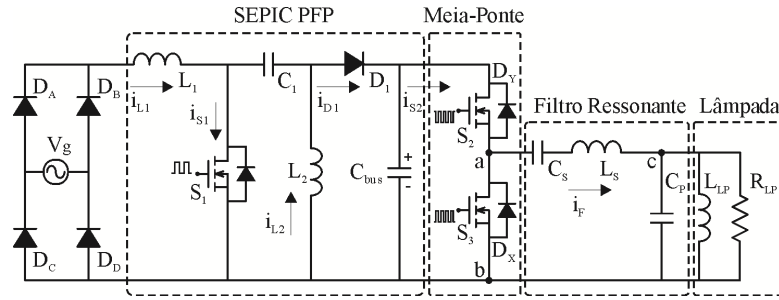


Fig. 5. Topologia não integrada.

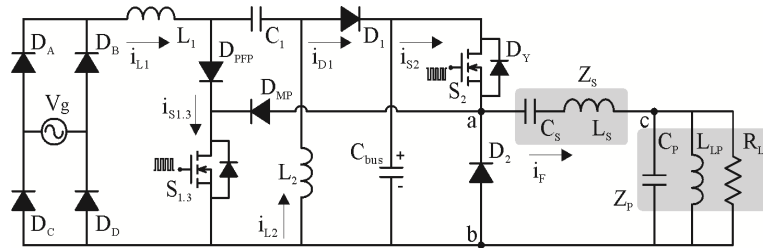


Fig. 6. Topologia proposta SEPIC meia ponte.

Neste artigo, a carga ressonante consiste de um filtro LCC, associada ao modelo elétrico da LFSE. A frequência de operação é definida pelo inversor meia ponte o qual, normalmente, opera próximo à frequência de ressonância do filtro de saída, garantindo o processo de ignição da lâmpada. Além disto, o filtro ressonante é utilizado para adaptar a forma de onda quadrada fornecida pelo inversor, atenuando as componentes harmônicas de alta ordem, proporcionando à lâmpada formas de onda próximas à senoidal [29]. Uma série de critérios deve ser considerada ao projetar este circuito, o qual deve prover a tensão de ignição e limitar a corrente da lâmpada em regime permanente.

C. Integração entre o Estágio PFP e o Estágio CP

O elevado número de estágios para alimentar a LFSE envolve uma topologia final mais complexa, com aumento dos custos de implementação, podendo até mesmo comprometer a confiabilidade do circuito. Assim, a eliminação e/ou integração entre estágios distintos, representa uma redução de componentes ativos da topologia, podendo tornar o sistema mais atraente do ponto de vista econômico. A integração de conversores tem por objetivo reduzir o número de interruptores controlados, o que também implica na redução dos circuitos de controle.

Na topologia proposta, a integração de estágios ocorre entre os interruptores S_1 e S_3 , mostrados na Figura 5, resultando no circuito SEPIC meia ponte, apresentado na Figura 6. Esta integração é conhecida como tipo T [27], onde o interruptor compartilhado deve suportar a soma das correntes de ambos os estágios antes da integração. A tensão dreno-source sobre $S_{1,3}$ é igual a $(V_{pk} + V_{bus})$, a qual é a tensão intrínseca da topologia SEPIC PFP. Os diodos D_{PFP} e D_{MP} são introduzidos ao circuito para evitar a circulação de correntes indesejáveis de um estágio para o outro [27]. O diodo D_2 , na topologia integrada, equivale ao diodo

intrínseco de S_3 , antes da integração. Os esforços de tensão e corrente sobre este diodo não são alterados após a aplicação da técnica.

D. Estágios de Operação

Nesta seção, apresentam-se os estágios de operação do conversor SEPIC meia ponte integrado. Os circuitos equivalentes para cada etapa de operação são mostrados na Figura 7. Na análise, a corrente ressonante i_F é considerada senoidal, todos os semicondutores são considerados ideais e é considerado que o sistema encontra-se em regime permanente de funcionamento. A Figura 8 traz as principais formas de onda da topologia proposta.

Etapa 1 ($t_0 - t_1$): Os interruptores S_2 e $S_{1,3}$ estão bloqueados. O conversor está no seu intervalo de “roda livre”, onde i_{L1} é igual a $-i_{L2}$. A corrente ressonante i_F flui através do diodo D_2 .

Etapa 2 ($t_1 - t_2$): Neste estágio, o interruptor $S_{1,3}$ entra em condução. A tensão V_g retificada é aplicada ao indutor L_1 de entrada, enquanto a tensão do capacitor C_1 é aplicada ao indutor L_2 . Nesta etapa, a corrente do filtro ressonante circula através do diodo D_2 . O interruptor $S_{1,3}$ é submetido apenas à corrente do estágio PFP. Esta etapa termina quando a corrente através do diodo D_2 chega a zero devido à inversão da corrente ressonante.

Etapa 3 ($t_2 - t_3$): Nesta fase, $S_{1,3}$ está em condução. O diodo D_2 está bloqueado e há circulação da corrente ressonante através de D_{MP} e pelo interruptor $S_{1,3}$. Na topologia SEPIC, L_1 e L_2 estão sendo alimentados pela tensão de entrada e pela tensão do capacitor C_1 , respectivamente. Nessa etapa o interruptor $S_{1,3}$ é submetido à corrente do estágio PFP + PC.

Etapa 4 ($t_3 - t_4 - t_5$): Nesta etapa $S_{1,3}$ está bloqueado. No inversor meia ponte, a corrente ressonante circula através do diodo intrínseco do interruptor S_2 (D_Y). Os indutores L_1 e L_2 são desenergizados através da tensão do capacitor C_{bus} . Nesta etapa, S_2 entra em condução. No entanto, a corrente

ressonante circula inicialmente através do seu diodo intrínseco (D_Y). Este processo garante a entrada de condução de S_2 com tensão nula (*ZVS – Zero Voltage Switching*).

Etapa 5 ($t_5 - t_6$): Nesta etapa, S_2 está em condução. A corrente ressonante inverte de sentido e começa a circular unicamente através do interruptor S_2 .

Etapa 6 ($t_6 - t_7$): Nesta última etapa, a corrente em D_1 chega à zero antes da próxima comutação do interruptor $S_{1,3}$, caracterizando a operação em MCD. A corrente ressonante circula através do interruptor S_2 . O conversor *SEPIC* entra em modo de “roda livre”, onde as correntes através dos indutores L_1 e L_2 são iguais em magnitude (i_R) e têm as direções mostrada na Figura 7(f). No final desta etapa, o interruptor S_2 é bloqueado, retornando ao estágio 1.

IV. METODOLOGIA DE CIL – ANÁLISE DOS LIMITES IMPOSTOS PELO ESTÁGIO PFP

A. Metodologia Proposta

O recurso de controle do fluxo luminoso nas lâmpadas de descarga pode ser alcançado através de diferentes métodos: modulação de frequência [17], [30]; modulação PWM [31]; mudança dos parâmetros do filtro de saída [32], [33]; emprego da técnica de *Burst-Mode* [34] ou pelo controle da tensão do barramento [17], [35].

Em [17] uma comparação entre métodos de controle de intensidade luminosa, considerando variação de frequência e tensão de barramento, é realizado. Os resultados apresentados em [17] mostram que o método de CIL por tensão de barramento possui uma variação aproximadamente linear, em relação à potência na lâmpada.

Neste artigo, a variação da tensão do barramento será investigada para incorporar a capacidade de CIL à topologia proposta. A razão cíclica do interruptor compartilhado $S_{1,3}$ é modificada, de tal forma a controlar o fluxo de potência e consequentemente variar a tensão do barramento (V_{bus}), com isso se obtém o controle da potência entregue à lâmpada.

A potência de entrada do conversor *SEPIC* depende diretamente da razão cíclica aplicada ao estágio PFP. Assim, quanto maior a razão cíclica deste estágio, maior será a tensão de barramento e, por consequência, maior a potência entregue à lâmpada. Com isso, a potência mínima pode ser determinada pelo valor mínimo da razão cíclica que garanta a operação da topologia em MCD. Este limite é dado pela relação entre a tensão máxima de entrada (V_{pk}) e a tensão de barramento, conforme (3).

$$D < \frac{V_{bus}(P_{LP})}{V_{bus}(P_{LP}) + V_{pk}} \quad (3)$$

Com a redução da razão cíclica do estágio PFP, a tensão do barramento reduz. Entretanto, a máxima tensão de entrada permanece constante. Em virtude disto, haverá uma razão cíclica mínima tal que (3) seja satisfeita, de tal forma a garantir a operação em MCD. Para a determinação teórica deste limite inferior de razão cíclica, deve-se avaliar o comportamento da tensão de barramento em relação à variação da potência na lâmpada.

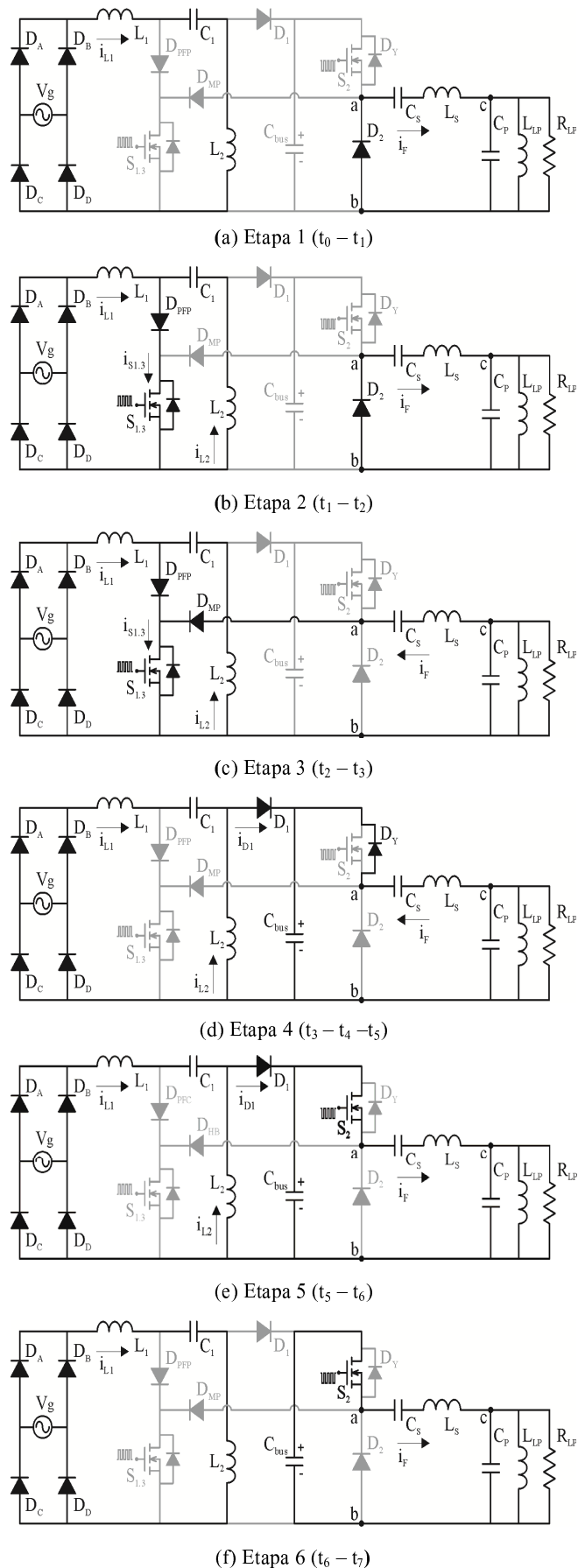


Fig. 7. Etapas de operação da topologia *SEPIC* meia ponte.

A partir dos valores do modelo elétrico da LFSE, $R_{LP}(P_{LP})$ e $L_{LP}(P_{LP})$, bem como dos demais componentes do filtro de saída, a impedância total da carga ressonante $Z_T(P_{LP})$ pode ser obtida em relação a potência da lâmpada, conforme (4).

$$Z_T(P_{LP}) = Z_P(P_{LP}) + Z_S \quad (4)$$

Onde Z_P equivale à impedância equivalente entre L_{LP} , R_{LP} e C_P . A variável Z_S corresponde à impedância equivalente entre L_S e C_S , conforme (5) e (6), respectivamente. Para isto, admite-se $\omega_S = 2\pi f_S$, onde f_S corresponde à frequência de comutação do sistema.

$$Z_P(P_{LP}) = \left\{ \frac{1}{R_{LP}(P_{LP})} + j \left[\omega_S C_P(P_{LP}) - \frac{1}{\omega_S L_{LP}(P_{LP})} \right] \right\}^{-1} \quad (5)$$

$$Z_S = j \cdot \left(\frac{\omega_S^2 L_S C_S - 1}{\omega_S C_S} \right) \quad (6)$$

A partir da impedância total da carga ressonante, é possível determinar a tensão eficaz na entrada do filtro de saída para uma dada potência da lâmpada, de acordo com (7).

$$V_{ab}(P_{LP}) = \sqrt{P_{LP} R_{LP}(P_{LP})} \left| \frac{Z_T(P_{LP})}{Z_P(P_{LP})} \right| \quad (7)$$

Considerando que a tensão aplicada ao filtro ressonante represente uma tensão retangular, com razão cíclica igual a 50% do período de comutação, a tensão do barramento necessário para uma dada potência da lâmpada é definida a partir de (8).

$$V_{bus}(P_{LP}) = \frac{V_{ab}(P_{LP})\pi}{\sqrt{2}} = \frac{\pi\sqrt{P_{LP}R_{LP}(P_{LP})}}{\sqrt{2}} \left| \frac{Z_T(P_{LP})}{Z_P(P_{LP})} \right| \quad (8)$$

Com isto, os limites de razão cíclica impostos ao estágio PFP são definidos empregando as equações (3) e (8). Estes limites serão analisados na seção VI.

B. Variação do Ângulo da Impedância da Carga Ressonante

O fluxo luminoso emitido pela lâmpada é alterado conforme a variação da potência fornecida à mesma. Esta variação de potência provoca alterações nos parâmetros elétricos da LFSE que, por sua vez, modificam o ângulo da impedância total da carga ressonante. Este ângulo de fase (ϕ) pode ser calculado em função da potência fornecida à lâmpada, como mostrado em (9).

$$\phi(P_{LP}) = \tan^{-1} \left\{ \frac{\text{Im}[Z_T(P_{LP})]}{\text{Re}[Z_T(P_{LP})]} \right\} \quad (9)$$

A análise do ângulo de impedância da carga ressonante é importante a fim de verificar se o interruptor S_2 mantém a característica de operação *ZVS*.

V. METODOLOGIA DE PROJETO

O projeto da topologia *SEPIC* meia ponte é realizado de

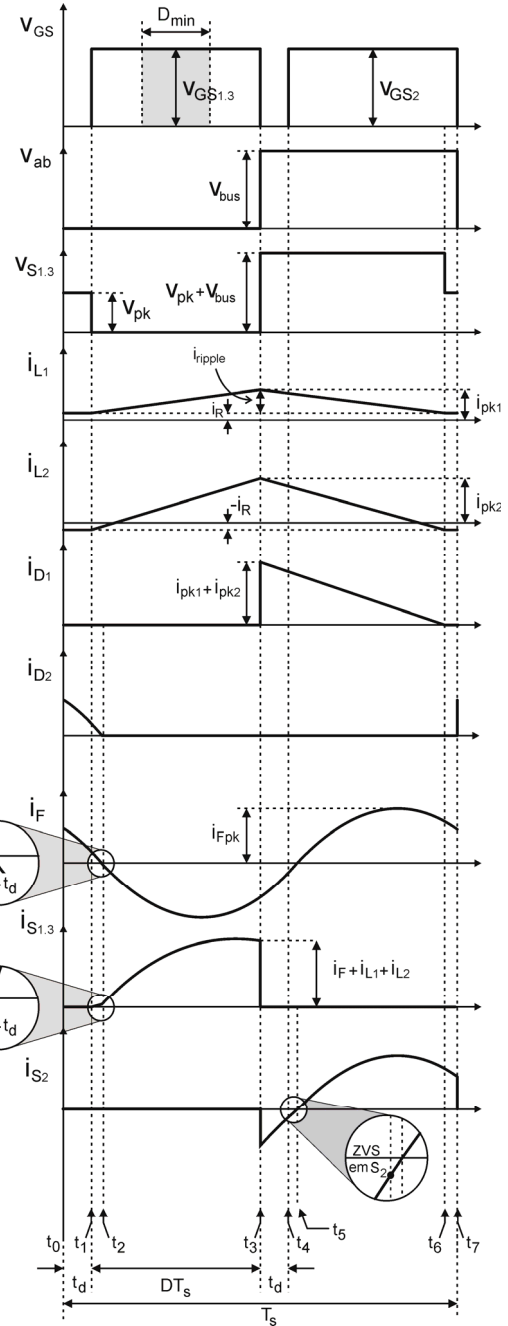


Fig. 8. Principais formas de onda da topologia *SEPIC* meia ponte.

acordo com os seguintes passos:

A. Dados de Entrada

O primeiro passo consiste em definir os principais dados do sistema eletrônico: frequência de operação, máxima tensão de entrada, potência da lâmpada e tensão de barramento. Estes parâmetros, inicialmente, devem ser definidos para a potência nominal da lâmpada.

B. Filtro Ressonante

O filtro LCC ressonante é escolhido de acordo com os requisitos da lâmpada a ser acionada. O projeto do filtro deve considerar uma série de critérios para o funcionamento satisfatório do sistema como, por exemplo, fornecer a tensão de ignição da lâmpada além de proporcionar uma forma de

onda simétrica de tensão à mesma. A metodologia de projeto do filtro ressonante LCC foi analisada anteriormente em [36] e [37].

Os valores dos componentes do filtro ressonante são determinados a partir de (10) e (11), onde o valor do capacitor série C_S é definido em projeto, levando em consideração que este deve ter um valor suficiente para remover a tensão contínua aplicada ao filtro ressonante. Geralmente, C_S é definido de 10 a 20 vezes maior que o capacitor paralelo C_P .

$$C_P = \left\{ \frac{1}{\omega_S R_{LP}} \sqrt{\frac{P_{LP} R_{LP}}{V_{ab}^2} [1 + (\tan(\phi))^2]} - 1 + \frac{1}{\omega_S^2 L_{LP}} \right\} \quad (10)$$

$$L_S = \frac{\tan(\phi) R_{LP} + \omega_S R_{LP}^2 C_P}{\omega_S (1 + C_P^2 R_{LP}^2 \omega_S^2)} + \frac{1}{C_S \omega_S^2} \quad (11)$$

O ângulo de fase da carga ressonante é selecionado de modo que haja a ignição da lâmpada e que, em regime de funcionamento, garanta a potência nominal da mesma. Para isto, deve-se levar em consideração que durante a partida da lâmpada, a frequência de comutação deve ser próxima à frequência de ressonância do filtro de saída, a fim de proporcionar ganho de tensão suficiente para a sua ignição.

Além disso, as perdas por comutação do inversor meia ponte podem ser minimizadas, através da concepção do filtro de tal modo que a corrente ressonante seja atrasada em relação à tensão aplicada a carga ressonante. Isto é obtido através do projeto do filtro ressonante com um comportamento indutivo. Desta forma, no instante em que o interruptor compartilhado entra em bloqueio, a corrente ressonante é forçada a circular através do diodo intrínseco do interruptor S_2 (Fig. 7.d) o qual, por sua vez, deve entrar em condução antes que a corrente ressonante inverta de sentido. Este processo garante que o interruptor S_2 entre em condução com tensão nula entre *dreno* e *source*.

Devido ao comportamento da topologia *SEPIC* como PFP, o interruptor compartilhado $S_{1,3}$ não possui uma característica *ZVS*, mas devido à operação em MCD e à carga ressonante indutiva, este interruptor apresenta operação em zero de corrente durante o processo de entrada em condução.

C. *SEPIC* Meia-Ponte

Através dos estágios de operação, apresentados anteriormente, observa-se que a topologia integrada compreende as etapas dos estágios PFP e CP, analisados individualmente. Logo, é possível realizar um projeto para ambos os estágios de forma independente. A topologia *SEPIC*, operando em MCD, pode ser representado através do circuito equivalente ilustrado na Figura 9 [38].

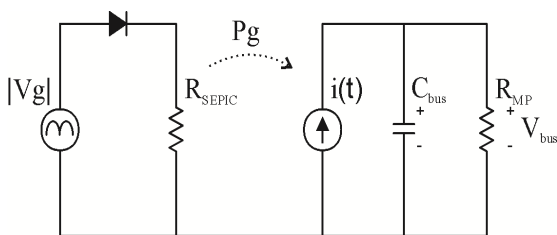


Fig. 9. Circuito equivalente da topologia *SEPIC* em MCD.

Na Figura 9, a fonte de corrente $i(t)$ representa a corrente média de saída do estágio PFP, dentro de cada período da rede, e pode ser calculado por (12). As resistências R_{SEPIC} e R_{MP} representam, respectivamente, as resistências equivalentes ao estágio PFP e CP, e são dadas por (13) e (14), respectivamente. Devido à emulação de carga resistiva realizada pelo estágio *SEPIC*, um alto fator de potência pode ser obtido.

$$\langle i(t) \rangle = \frac{D^2 T_s V_{pk}^2 \sin^2(\omega t)}{2 L_{eq} V_{bus}} \quad (12)$$

$$R_{SEPIC} = \frac{2 L_{eq}}{D^2 T_s} \quad (13)$$

$$R_{MP} = \frac{4 L_{eq} V_{bus}^2}{D^2 T_s V_{pk}^2} \quad (14)$$

Na topologia *SEPIC*, devido à localização dos elementos indutivos L_1 e L_2 , a transferência de potência é determinada por uma indutância equivalente L_{eq} , correspondendo à associação paralela de ambas as indutâncias, conforme (15).

$$L_{eq} = \frac{V_{pk}^2 D^2 T_s}{2 P_{LP}} \quad (15)$$

Os indutores L_1 e L_2 podem ser obtidos usando (16) e (17), respectivamente, onde i_{ripple} corresponde à máxima ondulação de alta frequência da corrente de entrada, considerando V_{pk} [38]. Esta ondulação é definida em projeto.

$$L_1 = \frac{V_{pk} D T_s}{i_{ripple}} \quad (16)$$

$$L_2 = \frac{L_1 L_{eq}}{L_1 + L_{eq}} \quad (17)$$

No projeto da topologia *SEPIC*, a tensão através do capacitor C_1 pode ser assumida constante dentro de um período de comutação, mas ao mesmo tempo, deve seguir a tensão de entrada de baixa frequência. Quando operando como PFP, a frequência de ressonância (f_R) entre C_1 , L_1 e L_2 deve ser maior que a frequência da rede, a fim de se evitar oscilações da corrente de entrada dentro de cada meio ciclo de rede. Além disso, a frequência de ressonância entre L_2 e C_1 deve ser menor do que a frequência de comutação, de modo a garantir uma tensão constante em C_1 dentro de cada período de comutação [39]. Desta forma, a capacitância C_1 pode ser obtida para uma dada frequência de ressonância f_R , conforme (18).

$$C_1 = \frac{1}{(2\pi f_R)^2 (L_1 + L_2)} \quad (18)$$

D. Análise dos Esforços Sobre os Interruptores

Os principais esforços de tensão e corrente nos interruptores são dados em condição de potência nominal da lâmpada.

A tensão de pico em $S_{1,3}$ e S_2 são, respectivamente, $(V_{pk} + V_{bus})$ e V_{bus} . Devido à integração proposta, o interruptor compartilhado $S_{1,3}$ deve suportar, durante o estágio 3, a soma da corrente de entrada e a corrente da carga ressonante. A

equação (19) define a corrente instantânea do interruptor compartilhado, onde a variável k corresponde a um contador inteiro, iniciado em zero e incrementado a cada período de comutação.

$$i_{S_{1,3}}(t) = \begin{cases} G(t) & \text{if } kT_S \leq (t - t_d) < \left[kT_S + \frac{\phi}{\omega_S} \right] \\ H(t) & \text{if } \left[kT_S + \frac{\phi}{\omega_S} \right] \leq (t - t_d) < [kT_S + DT_S] \\ 0 & \text{Outros casos} \end{cases} \quad (19)$$

Onde:

$$G(t) = \left[\frac{v_g(t - t_d)}{L_{eq}} \right] \cdot [t - t_d - kT_S]$$

$$v_g(t) = V_{pk} \cdot \sin(\omega t)$$

$$H(t) = G(t) + i_F(t)$$

$$i_F(t) = \left[\frac{\sqrt{2P_{LP}R_{LP}}}{Z_p} \right] \cdot \sin(\omega_S t - \phi)$$

O valor eficaz da corrente em $S_{1,3}$ é obtido pela soma quadrática dos valores eficazes da corrente em cada período de comutação, de acordo com (20), onde $\rho = T_L/T_S$ e é igual ao número de comutações em um período da rede (T_L), de acordo com (20).

$$i_{S_{1,3}eficaz} = \sqrt{\frac{2}{T_L} \cdot \sum_{n=0}^{\rho} \left(\int_{nT_S}^{(n+1)T_S} [i_{S_{1,3}}(t)]^2 \cdot dt \right)} \quad (20)$$

O valor eficaz da corrente em S_2 é dado por (21).

$$i_{S_2eficaz} = \sqrt{\frac{1}{T_S} \int_{t_5}^{t_7} [i_F(t)]^2 dt} \quad (21)$$

VI. PROTÓTIPO E ANÁLISE DOS RESULTADOS EXPERIMENTAIS

Esta seção apresenta os parâmetros da proposta do conversor *SEPIC* meia ponte, bem como os resultados experimentais da topologia. O conversor foi projetado de acordo com a metodologia apresentada na seção V. A Tabela II mostra os parâmetros do conversor e os componentes empregados.

A partir dos dados de entrada, apresentados na Tabela II, os valores característicos da LFSE e de um ângulo de impedância $\phi = 38^\circ$, os componentes do filtro ressonante pode ser calculados com base em (10) e (11).

A equação (3) é usada para determinar a razão cíclica máxima que pode ser imposta ao estágio PFP para potência nominal da lâmpada. A razão cíclica de operação é selecionada abaixo do valor máximo, de tal forma que a operação MCD seja assegurada. Neste caso, a razão cíclica máxima utilizada é de 0,44, conforme mostrado na Tabela II.

A fim de determinar a razão cíclica do interruptor S_2 , define-se o tempo morto (t_d) entre os interruptores do estágio inversor. Neste projeto, definiu-se t_d de 240 ns para potência nominal. Devido a isso, a razão cíclica do interruptor S_2 é

definida em 0,44. Os sinais de controle dos interruptores $S_{1,3}$ e S_2 são gerados por um microcontrolador (NXP1114), onde o interruptor S_2 é mantido com razão cíclica fixa, variando apenas a razão cíclica de $S_{1,3}$.

Uma vez que a razão cíclica foi determinada, os valores das indutâncias L_{eq} , L_1 e L_2 são calculados para a potência nominal da lâmpada, a partir de (15), (16) e (17). A capacitância C_I é determinada usando a equação (18), considerando uma frequência de ressonância uma década menor do que a frequência de comutação.

Com a redução da potência do conversor, a partir da diminuição da razão cíclica D , há a diminuição de V_{bus} como mostrado por (8). Usando a equação (22), e tendo em conta que $V_{pk} = 311 V$, é possível determinar a mínima tensão de barramento do estágio PFP, a fim de garantir a operação da topologia em MCD. Relacionando as equações (8) e (22), como mostrado na Figura 10, pode-se determinar o limite inferior de razão cíclica aplicada ao estágio PFP.

$$V_{bus_min}(D) = \frac{V_{pk}D}{1-D} \quad (22)$$

Desta forma, a fim de garantir a operação em MCD para o estágio PFP, a faixa de razão cíclica utilizada é de 0,30 a 0,44. O valor máximo de 0,44 corresponde à potência nominal da lâmpada (100 W) e o limite inferior de 0,30, corresponde a 44% da potência nominal (44 W). Portanto, com a metodologia apresentada, é possível obter até 56% de CIL da lâmpada. Esta faixa de potência é considerada satisfatória, visto que pode vir a proporcionar economia de energia em mais de 50% aplicando apenas um método de controle do fluxo luminoso.

A operação *ZVS* de S_2 do inversor ressonante é mostrada em detalhe da Figura 8. A variação do ângulo de fase da carga ressonante é dada por (7) e é representado na Figura 11, considerando os valores de C_S , L_S e C_p da Tabela II, bem como os parâmetros da lâmpada $R_{LP}(P_{LP})$ e $L_{LP}(P_{LP})$, apresentados em (1), (2) e na Tabela I. Inicialmente, com a potência nominal da lâmpada, o ângulo de impedância da carga ressonante é praticamente constante. No entanto, para potências menores da lâmpada, o comportamento da carga ressonante torna-se mais indutivo. Esse comportamento é favorável para manter a operação *ZVS* no interruptor S_2 , mesmo com o processo de CIL na lâmpada.

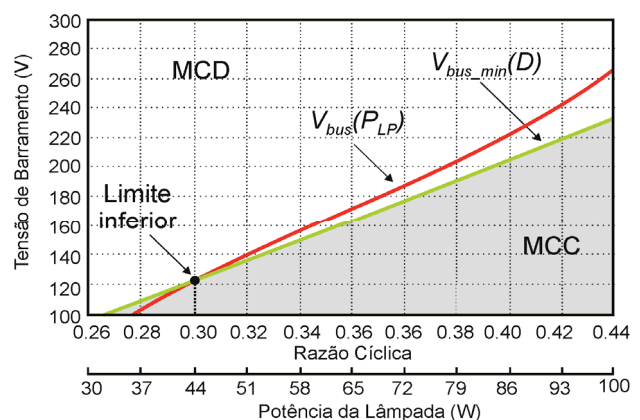


Fig. 10. Tensão de barramento em relação à razão cíclica do estágio PFP e a potência da lâmpada.

TABELA II
Parâmetros de projeto

Especificações			
Tensão eficaz de entrada, Frequência	220 V, 60 Hz		
Frequência de comutação, Razão cíclica	250 kHz, 0,44 – 0,30		
Potência de saída, Rendimento, i_{ripple}	100 W - 44 W, 85%, 15%		
Tensão de saída do estágio PFP	270 V		
Parâmetros da LFSE em potência nominal (100 W)			
L_{LP}	Indutor	-	730 μ H
R_{LP}	Resistência	-	410 Ω
V_{LP}	Tensão eficaz	-	202 V
I_{LP}	Corrente eficaz	-	0,523 A
SEPIC meia ponte			
$D_1, D_2, D_{PFC}, D_{HB}$	Diodo	HFA08TB120	8 A, 1.200 V
$S_{1,3}$	Mosfet	SPP08N80C3	8 A, 800 V
S_2	Mosfet	IRF740	10 A, 400 V
L_1, L_2	Indutor	-	3,2 mH, 194 μ H
C_1, C_{bus}	Capacitor	-	12 nF, 220 μ F
Elementos do filtro ressonante			
L_S	Indutor	-	150 μ H
C_S	Capacitor	-	47 nF
C_P	Capacitor	-	3,6 nF

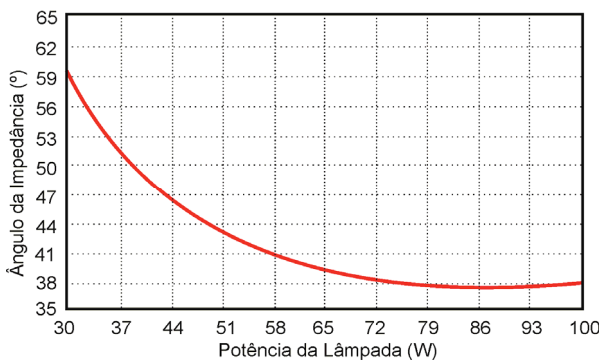


Fig. 11. Ângulo da impedância da carga ressonante $\phi(P_{LP})$.

A partir do projeto anterior, um protótipo de laboratório foi desenvolvido. A Figura 12 apresenta as formas de onda de tensão e corrente durante a ignição da LFSE. Os valores máximos de tensão e corrente, obtidos experimentalmente, foram de 1,66 kV e 3,36 A. A Figura 13 mostra as formas de onda de tensão e de corrente do interruptor compartilhado $S_{1,3}$, o qual é caracterizado por um elevado esforço de corrente devido ao processo de integração. Os valores máximos de tensão, corrente e a corrente eficaz no interruptor $S_{1,3}$ são: 640 V, 4,32 A e 1,682 A respectivamente.

As Figuras 14a à 14f apresentam as formas de onda de tensão, corrente e potência na entrada da topologia e na lâmpada, considerando o processo de CIL da mesma. Como pode ser observada, a LFSE variou sua potência de 100 W à 46 W, o que representa uma variação de 54%. É importante ressaltar que as capacitâncias de saída dos MOSFETs e as

capacitâncias parasitas dos diodos utilizados no conversor tem influência sobre as formas de onda da corrente de entrada durante a operação em MCD. Estas capacitâncias parasitas causam distorções de corrente, devido ao efeito das oscilações de alta frequência que surgem durante o intervalo ocioso após a condução do diodo D_1 [40]. O efeito é mais significativo devido à alta frequência de comutação utilizada no conversor (250 kHz). No entanto, no protótipo desenvolvido, esta distorção foi reduzida devido a seleção dos MOSFETs e dos diodos empregados, de modo que os mesmos apresentassem baixas capacitâncias parasitas.

A Figura 15 apresenta a corrente no diodo D_1 . Como pode ser observada, esta corrente vai à zero antes da próxima comutação, caracterizando a operação em MCD.

A Figura 16 ilustra as medições experimentais da potência da lâmpada, potência de entrada e rendimento da topologia, para diferentes pontos de CIL.

A Figura 17 mostra os níveis de fator de potência e THD da entrada da topologia proposta, considerando a variação de potência. O protótipo implementado, em potência nominal da lâmpada (100 W), apresentou um fator de potência de 0,989, com uma THD total de corrente de 14,929%. Nestas condições, a eficiência do protótipo alcançou 87%. Na mínima potência da lâmpada (46 W), obteve-se um fator de potência de 0,993, com uma THD entorno de 11,972%. Nesta segunda condição, alcançou-se um rendimento de 79%. Os resultados experimentais mostram que a topologia proposta está em conformidade com a normativa IEC 61000-3-2 classe C, conforme a Figura 18.

A Figura 19 apresenta a LFSE ICETRON/ENDURA em operação para os níveis de potência nominal e de mínima potência, como resultado da variação da razão cíclica do estágio PFP.

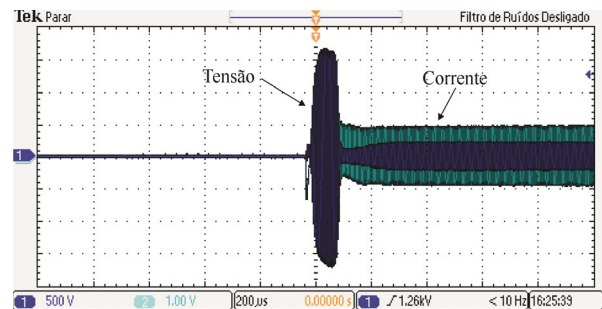


Fig. 12. Tensão e corrente durante a ignição da LFSE. Canal 1: Tensão (500 V/div). Canal 2: Corrente (1 A/div). Escala Horizontal: Tempo (200 μ s/div).

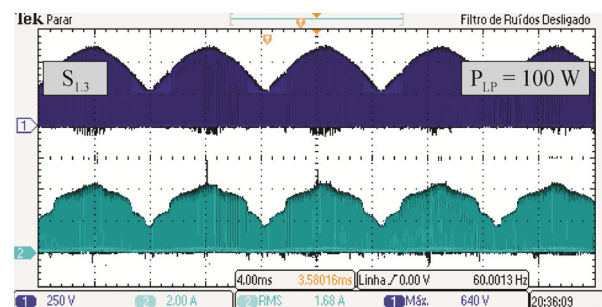
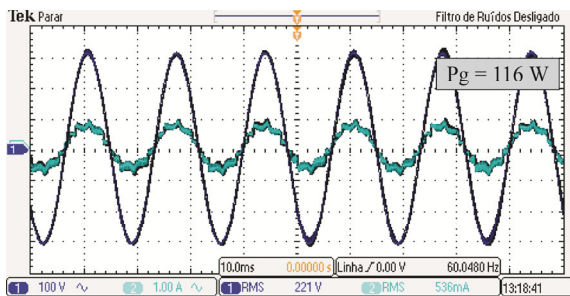
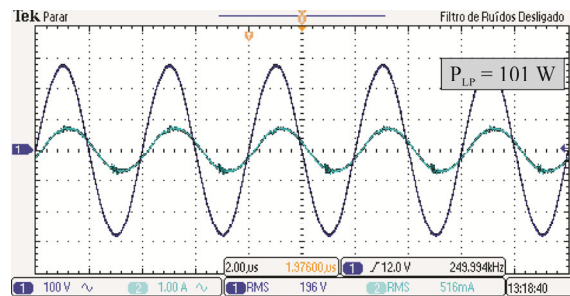


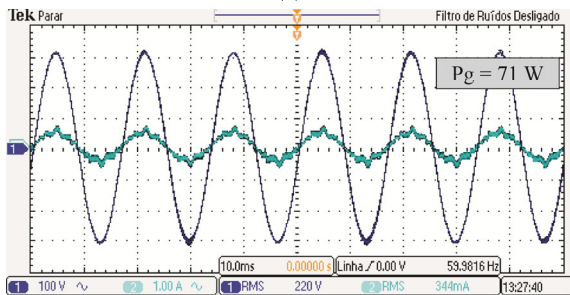
Fig. 13. Tensão e corrente experimentais em $S_{1,3}$. Canal 1: Tensão (250 V/div). Canal 2: Corrente (2 A/div). Escala horizontal: Tempo (4 ms/div).



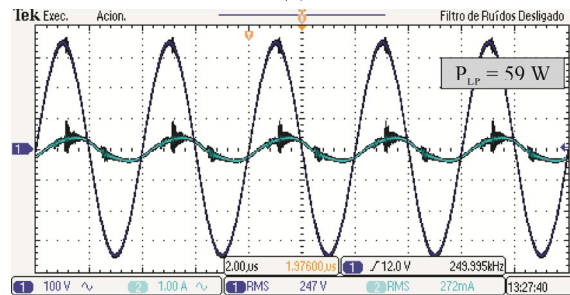
(a)



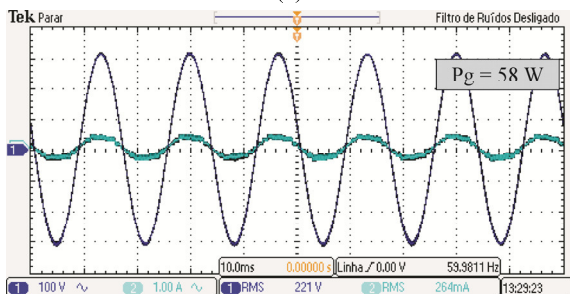
(b)



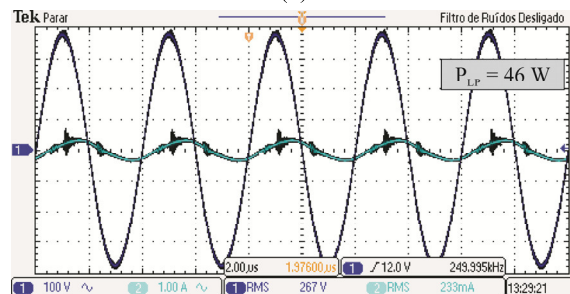
(c)



(d)



(e)



(f)

Fig. 14. Formas de onda experimentais da topologia SEPIC meia ponte. (a), (c) e (e): Tensão e corrente de entrada - Canal 1: Tensão (100 V/div). Canal 2: Corrente (1 A/div). Escala Horizontal: Tempo (10 ms/div). (b), (d) e (f): Tensão e corrente na lâmpada – Canal 1: Tensão (100 V/div). Canal 2: Corrente (1 A/div). Escala Horizontal: Tempo (2 μ s/div).

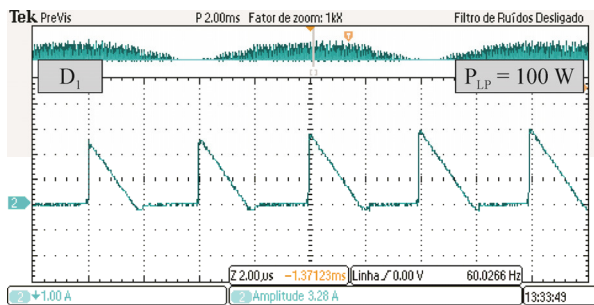


Fig. 15. Formas de onda experimentais de corrente no diodo D_1 . Canal 2: Corrente (1 A/div.). Escala horizontal: Tempo (2 μ s/div).

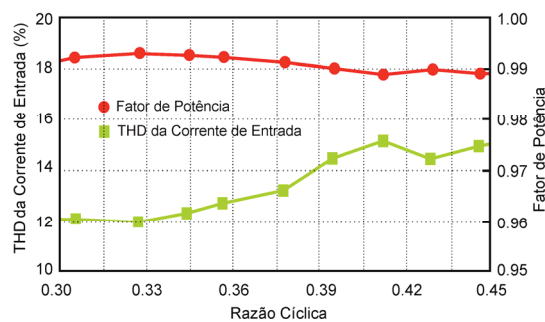


Fig. 17. Resultados experimentais: Fator de potência e THD da corrente de entrada em função da variação de razão cíclica.

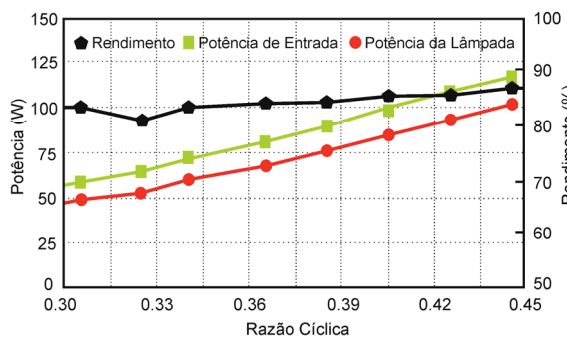


Fig. 16. Resultados experimentais: Rendimento, potência de entrada e potência na lâmpada em função da variação de razão cíclica.

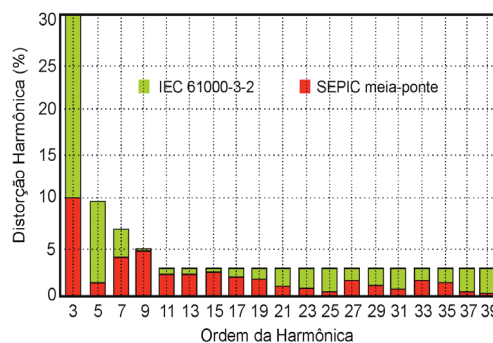


Fig. 18. Resultados experimentais: Espectro harmônico da corrente de entrada x IEC61000-3-2 classe C, para a potência nominal.



(a) 100 W ($D = 0.44$)

(b) 46 W ($D = 0.30$)

Fig. 19. Resultados experimentais: LFSE em máxima e mínima potência.

VII. CONCLUSÕES

Este artigo apresentou a topologia *SEPIC* meia ponte integrada, para alimentação de uma lâmpada fluorescente sem eletrodos. Inicialmente, as características relevantes das LFSE foram apresentadas, bem como o seu modelo elétrico equivalente, o qual é necessário para a concepção do conversor integrado. O circuito proposto foi projetado para operação em MCD, de tal forma, que o PFP pode ser representado a partir de um circuito resistivo equivalente.

Assim, um elevado fator de potência do sistema foi obtido, associado a uma baixa THD. As etapas da operação da topologia proposta foram apresentadas. O circuito *SEPIC* foi projetado de tal forma que o mesmo atendeu as normas de fator de potência e conteúdo harmônico, sem o filtro de entrada. Entretanto, reduzir o espectro harmônico da corrente drenada da rede, em alta frequência, não garante que o conversor atenda as normas de IEM. A integração entre os estágios PFP e CP reduziu o número de componentes ativos do sistema. No entanto, o interruptor compartilhado deve ser concebido de modo a suportar maiores esforços de corrente do circuito. Apesar da integração de estágios, bem como da alta frequência de comutação devido às necessidades da lâmpada, os resultados experimentais foram satisfatórios e condizentes com a análise teórica realizada, validando a topologia proposta. Entretanto, a mesma apresenta como desvantagem a presença de um capacitor eletrolítico, cuja vida útil geralmente não é compatível com a da LFSE. O sistema eletrônico final alcançou uma eficiência variando entre 87% e 79%, associado a THD de corrente entre 14,9% e 12%. Estes valores são considerados adequados, tendo em conta que o conversor é operado em 250 kHz e foi projetado considerando o processo de CIL da lâmpada.

AGRADECIMENTOS

Os autores gostariam de agradecer à FAPERGS projeto 101664-3; a CAPES/DGU nº 249/11; ao CNPq projeto 483396-2011-7 e ao governo espanhol DGPU PHB2010-0145-PC pelo apoio financeiro deste trabalho.

REFERÊNCIAS

[1] R. R., Verderber; O. C., Morse; F. M., Rubinstein; "Performance of electronic ballast and controls with 34 and 40 Watt F40 fluorescent lamps" *IEEE Trans. on Industry Applications*, vol.25, pp.1049-1059, Nov.1989.
 [2] National Resources Canada. "Commercial and Institutional Retrofits - *Technical Information - Fluorescent Lamp And Ballast Options*", Out. 2002.

[3] R. N., do Prado; S. A., Bonaldo; M. C., Moreira; D. L. R., Vidor; "Electronic ballast with a high power factor for fluorescent lamps", *Power Electronics Specialists Conference, PESC '96 Record, 27th Annual IEEE*, vol.2, pp.1215-1220, Jun. 1996.
 [4] Osram Sylvania. "Quicktronic® Powersense™ T5 Dimming". *Digital Catalog: Electronic T5 Fluorescent Controllable Lighting Systems*, pp. 4.04. Jan. 2011
 [5] Philips. "Philips QL Induction Lighting Systems". *Digital Catalog, p.3, Information for Original Equipment Manufacturers*, Jul 2007.
 [6] C. S., Moo; T. F., Lin; Y. C., Hsieh; "Single-stage high power factor electronic ballast for fluorescent lamps with constant power operation". *Electric Power Applications, IEEE Proceedings*, Set. 2001.
 [7] J. E., Piper; "Operations and Maintenance Manual for Energy Management". *Published M.E. Sharpe*, ISBN 0765600501, 9780765600509, 2009.
 [8] V., Godyak, & J. Shaffer; "Endura: A new high output electrodeless fluorescent light source". *Institute for Low-Temperature Plasma Physics Greifswald Proc 8th Int. Symp. On Light Sources*, pp. 14 - 23 Fev. 1998.
 [9] Endura, Osram. "The high performance electrodeless fluorescent lamp - Quicktronic intelligent". *Digital Catalog*, p.102, Nov. 2005.
 [10] Portaria INMETRO 267/2009; "Reatores Eletrônicos Alimentados em Corrente Alternada para Lâmpadas Fluorescentes Tubulares Retilíneas, Circulares e Compactas". *Instituto Nacional de Metrologia, Normalização e Qualidade Industrial*, 2009.
 [11] IEC 61000-3-2. "Limits for harmonic current emissions - Part 3-4: Limits". *International Standards, International Electrotechnical Commission*, Ed. 3, 2005.
 [12] C. M., Wang; "A Novel Single-Stage High-Power-Factor Electronic Ballast With Symmetrical Half-Bridge Topology" *Industrial Electronics, IEEE Transactions on*, vol.55, no.2, pp.969-972, Fev. 2008.
 [13] J. P., de Lopes; M. F., da Silva; M. A., Dalla Costa; F. E., Bisogno; R. N., do Prado; A. R., Seidel; "Feedforward Regulation Method for Self-Oscillating Electronic Ballast for Fluorescent Lamps" *Industrial Electronics, IEEE Transactions on*, vol.59, no.4, pp.1869-1878, Abril 2012.
 [14] D., Lin; W., Yan; Hui, S.Y.R.; "Modeling of Dimmable Fluorescent Lamp Including the Tube Temperature Effects" *Industrial Electronics, IEEE Transactions on*, vol.58, no.9, pp.4145-4152, 2011.
 [15] J. C. W., Lam; J. C. Y, Hui; P. K, Jain; "A Dimmable High Power Factor Single-Switch Electronic Ballast for Compact Fluorescent Lamps With Incandescent Phase-Cut Dimmers" *Industrial Electronics, IEEE Transactions on*, vol.59, no.4, pp.1879-1888, 2012.
 [16] A., Avestruz; J. J., Cooley; D., Vickery; J., Paris; Leeb, S. B.; "Dimmable Solid State Ballast With Integral Capacitive Occupancy Sensor" *Industrial Electronics, IEEE Transactions on*, vol.59, pp.1739-1750, 2012.
 [17] T. E., Jang; H. J., Kim; "Dimming Control Characteristics of Electrodeless Fluorescent Lamps" *Industrial Electronics, IEEE Transactions on*, vol.56, no.1, pp.93-100, Jan. 2009.

- [18] ANSI C82.11. "American National Standard - For Lamp Ballast - High Frequency Fluorescent Lamp Ballast". *Supplements*, 2002.
- [19] F., Rubinstein; Siminovitch, M.; Verderber, R. "Fifty percent energy savings with automatic lighting controls". *IEEE Transactions on Industry Applications*, vol.29, pp. 768–773, Ago. 1993.
- [20] T. B., Marchesan; M. A., Dalla Costa, M. A.; Alonso, J. M.; Prado, R. N.; "Integrated zeta-flyback electronic ballast to supply high-intensity discharge lamps", *IEEE Transactions on Industrial Electronics*, vol. 54, n. 5, pp. 2918-2921, Mar. 2007.
- [21] T. F., Wu; Y.-C.; Su, Z.-Y. "Design consideration for single-stage electronic ballast with dimming feature". *Industry Applications, IEEE Transactions on*, vol. 37, pp. 1537-1543, Set. 2001.
- [22] H. A. C., Braga; M. C. B., Rodrigues; Pinto, D. P.; Abreu, R.A.; Rosemback, R.H.; Fracetti, P.; Vicente, F.T.; "Degradação da Qualidade de Reatores Eletromagnéticos de Lâmpadas de Descarga", *9th IEEE/IAS International Conference on Industry Applications*, São Paulo. IEEE Induscon Proceedings. São Paulo: IEEE - Seção Sul Brasil/USP, 2010.
- [23] N. B., Chagas; Da Silva, M.F.; Schlittler, M.E.; Fraytag, J.; Do Prado, R.N.; Bisogno, F.E. "Electrodeless fluorescent lamps model operated at high frequency". *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, pp.245-250, Jun 2011.
- [24] E., Statnic; Tanach, V. "Investigation of the electrical discharge parameters in electrodeless inductive lamps with a re-entrant coupler and magnetic core". *Plasma Sources Sci. Technology*, pp. 465–473, Mai 2006.
- [25] J.-C., Hsieh; Lin, J.; "Novel single-stage self-oscillating dimmable electronic ballast with high power factor correction" *Industrial Electronics, IEEE Transactions on*, vol.58, no.1, pp.250-262, Jan. 2011.
- [26] T.-F., Wu; Chen, Y.-K. "A systematic and unified approach to modeling PWM DC/DC converters based on the graft scheme". *Industrial Electronics, Control, and Instrumentation. IEEE IECON 22nd International Conference on*, vol. 2, pp. 1041-1046, Ago, 1996.
- [27] T.-F., Wu; Te-Hung Yu; "Unified approach to developing single-stage power converters," *Aerospace and Electronic Systems, IEEE Transactions on*, vol.34, no.1, pp.211-223, Jan., 1998.
- [28] X. U., Xiaojun; Huang, A.Q. "A novel closed loop interleaving strategy of multiphase critical mode boost PFC converters". *Applied Power Electronics Conference and Exposition, APEC 2008. Twenty-Third Annual IEEE*, Fev., 2008.
- [29] P. W., Tam, Stephen T. S. Lee, S. Y. Ron Hui, Henry S. H. Chung.; "Practical evaluation of dimming control methods for electronic ballasts". *IEEE Transactions on Power Electronics*, vol. 21, pp. 1769-1775, Nov. 2006.
- [30] G., D.; Alonso, J. M.; Garcia, J.; Campa, L.; Crespo, M.J.; Rico-Secades, M.; "PWM Series Dimming for Slow-Dynamics HPF LED Drivers: the High-Frequency Approach", *Industrial Electronics, IEEE Transactions on*, vol.59, no.4, pp.1717-1727, 2012
- [31] J. M. Alonso, M.A. Dalla Costa, J. Cardesin, J. Garcia. "Magnetic dimming of electronic ballast". *IEEE Electronics Letters 9th*, vol. 41, no.12, Jun. 2005.
- [32] R.-L. Lin, Y.-T. Chen. "Phase-locked-loop-control-based electronic ballast for fluorescent lamps". *IEE Proceedings Electronics Power Application*, vol. 152, n3, pp. 669-676, Mai 2005.
- [33] Y. N. Chang, Ching C. Lin, Shun Y. Chan, Shian N. Lin, Hung L. Cheng "A Novel design of U-shaped CCFL in T8 tube to replace traditional fluorescent lamp". *IEEE 6th Conference on Industrial Electronics and Applications*, pp. 1834-1939, 2011.
- [34] S. Y. Ron Hui, Leung Ming Lee, Henry Shu-Hung Chung, Y. K. Ho. "An electronic ballast with wide dimming range, high PF, and low EMI", *IEEE Transactions on Power Electronics*, vol. 16, n.4, pp. 465-472, Jul. 2001.
- [35] A. R., Seidel,.; Bisogno, F.E.; Pappis, D.; Do Prado, R.N.; "Automatic luminous control for self-oscillating electronic ballast". *Industry Applications Conference, 38th IAS Annual Meeting. Conference Record of the*, vol. 2, pp. 773-778, 12-16 Out. 2003.
- [36] F. T., Wakabayashi; Canesin, C.A., "An improved design procedure for LCC resonant filter of dimmable electronic ballasts for fluorescent lamps, based on lamp model". *Power Electronics, IEEE Transactions on*, vol. 20, no.5, pp. 1186-1196, Set. 2005.
- [37] J. M., Alonso; J. Calleja, F. J. Ferrero, E. Lopez, J. Ribas, M. Rico Secades, "Single-stage constant-wattage high-power-factor electronic ballast with dimming capability" in *Proc. IEEE Power Electron. Specialist Conference*, vol. 2, pp. 1330–1336, Mai 1998.
- [38] D. S. L., Simonetti; Sebastian, J.; Uceda, J.; "The discontinuous conduction mode SEPIC and Cuk power factor preregulators: analysis and design" *Industrial Electronics, IEEE Transactions on*, vol.44, no.5, pp.630-637, Out 1997.
- [39] K., de Gussemé, David M. Van de Sype, Alex P. M. Van den Bossche, Jan A. Melkebeek "Input-current distortion of CCM boost PFC converters operated in DCM" *Industrial Electronics, IEEE Transactions on*, vol.54, n 2, pp.858-865, Abr. 2007.
- [40] M. F., Silva; N. B. Chagas, M. E. Schlittler, J. Fraytag, Tiago B. Marchesan, Fabio E. Bisogno, J. Marcos Alonso, Ricardo N. do Prado "Modelo Elétrico Equivalente para Lâmpadas Fluorescentes sem Eletrodos de Indução", *Eletrônica de Potência - SOBRAEP*, vol.17, n 1, pp.429-438, Dez 2011 – Fev 2012.

DADOS BIOGRÁFICOS

Marcelo Freitas da Silva, nascido em 23/07/1970 em São Paulo-SP é engenheiro eletricitista (1995), mestre (1999), doutorando e professor na Universidade Federal de Santa Maria (UFSM). Realizou seu estágio doutoral na Universidad de Oviedo, Espanha. Suas áreas de interesse são: conversores de potência, modelamento e controle de sistemas de iluminação, e novas topologias de conversores.

Jeferson Fraytag, nascido em 02/04/1990 em Coronel Bicaco-RS, graduando em engenharia elétrica pela UFSM. Trabalha como bolsista pesquisador junto ao grupo GEDRE.

Suas áreas de interesse são: integração e controle de conversores e sistemas de acionamento de lâmpadas. Atualmente é membro estudante da Associação Brasileira de Eletrônica de Potência.

Marson Eduardo Schlittler, nascido em 08/06/1990 em Santa Cruz do Sul-RS, graduando em engenharia elétrica pela UFSM. Realizou estágio junto ao Fraunhofer Institute, em 2012. Atualmente trabalha como bolsista pesquisador junto ao grupo GEDRE. Suas áreas de interesse são: conversores de alta frequência e sistemas para o acionamento de lâmpadas.

Tiago Bandeira Marchesan, graduação em Engenharia Elétrica pela UFSM (2003) e doutorado em Engenharia Elétrica (2007) na área de Processamento de Energia pela mesma Universidade. Realizou seu doutorado com estágio na Universidad de Oviedo, Espanha. Atualmente, é Professor Adjunto do curso de Engenharia Elétrica da Universidade Federal de Santa Maria no Rio Grande do Sul. Já atuou como pesquisador da WEG T&D (Weg Transformadores), professor do curso de Engenharia Elétrica da Universidade do Vale do Rio dos Sinos (UNISINOS) e da Universidade do Noroeste do Estado do RS (UNIJUI). Atua, principalmente, nas seguintes áreas: Transformadores de Potência, Simulações em Elementos Finitos e Fontes Chaveadas.

Marco Antônio Dalla Costa, possui graduação em Engenharia Elétrica e Mestrado em Eletrônica de Potência pela Universidade Federal de Santa Maria (2002 e 2004, respectivamente). Finalizou o curso de doutorado na Universidad de Oviedo - Espanha 2008, recebendo o título de Premio Extraordinário de Doctorado. Atualmente é professor em tempo integral na Universidade Federal de Santa Maria. É autor de mais de 30 artigos completos publicados em periódicos internacionais Qualis A1, e mais de 60 artigos científicos publicados em congressos internacionais e nacionais. Atua nos seguintes temas: LED drivers, electronic ballasts (reatores eletrônicos), self-oscillating drivers, dimming de lâmpadas de descarga de alta e baixa pressão, ressonâncias acústicas e eficiência de circuitos eletrônicos.

José Marcos Alonso Álvarez, nascido em Gijón, Espanha, possui graduação em Engenharia Industrial e Doutorado pela Universidade de Oviedo, Espanha, em 1990 e 1994, respectivamente. De 1990 a 1994 trabalhou como Professor Assistente no Departamento de Eletrônica da Universidade de Oviedo. De 1997 a 2007 foi Professor Associado no mesmo departamento, onde desde 2007 é Professor Catedrático. Alonso é coautor de mais de 250 artigos publicados em congressos e jornais internacionais. Prof. Alonso foi premiado pelo governo espanhol no Programa de Intensificação de Atividades de Pesquisa, no período de 2008-2012. Também recebeu o prêmio intitulado Early Career Award, da IEEE Industrial Electronics Society em 2006. Seus interesses incluem: reatores eletrônicos, modelagem de lâmpadas de descarga, conversores eletrônicos para aplicações eletrostáticas e geração de ozônio, topologias para correção do fator de potência.

Ricardo Nederson do Prado, nascido em Itapiranga-SC em 1961. Graduação em Engenharia Elétrica pela UFSM (1984). Mestrado e Doutorado em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC) em 1987 e 1993, respectivamente. De 1987 a 1992 trabalhou como Professor Assistente na Universidade Federal de Minas Gerais (UFMG). Atualmente é Professor Associado junto ao Departamento de Processamento de Energia Elétrica da UFSM. Em 1997 fundou o grupo GEDRE. De 2005 a 2006 realizou estágio pós-doutoral junto ao Fraunhofer Institute, Alemanha. É autor de mais de 200 artigos técnicos publicados em congressos nacionais e internacionais e revistas. Seus tópicos de interesse incluem: conversores estáticos, lâmpadas de descarga de alta e baixa pressão, eficiência luminosa, reatores eletrônicos, LEDs como fontes de luz e correção do fator de potência. Dr. Prado é membro fundador da Sociedade Brasileira de Eletrônica de Potência, membro da Sociedade Brasileira de Automática e de várias sociedades da IEEE. Também é revisor da Revista Eletrônica de Potência, Revista Brasileira de Automática e de várias revistas da IEEE.