

METODOLOGIA DE PROJETO E ANÁLISE DE ALGORITMOS DE SINCRONISMO PLL

Fernando P. Marafão¹ Sigmar M. Deckmann²

Universidade Estadual Paulista (UNESP)¹
Engenharia de Controle e Automação
18087-180 - Sorocaba, SP - Brasil
fmarafao@sorocaba.unesp.br

José A. Pomilio² Ricardo Q. Machado²

Universidade Estadual de Campinas (UNICAMP)²
Faculdade de Engenharia Elétrica e Computação
C.P. 6101 – 13081-970 – Campinas, SP – Brasil
sigmar,antenor,ricardom@dsce.fee.unicamp.br

Resumo - Este trabalho apresenta uma metodologia de projeto e análise de um algoritmo de sincronismo PLL (*Phase-Locked-Loop*) para aplicações em eletrônica de potência. Tal método é baseado em conceitos de álgebra vetorial e ortogonalidade entre funções temporais. Apesar do modelo genérico do PLL proposto ser baseado em sistemas unidimensionais (monofásicos), também será apresentado e discutido um modelo multidimensional (trifásico), o qual apresenta características interessantes sob condições específicas, como por exemplo, com sinais de entrada senoidais e equilibrados. Uma vez que a informação correta sobre a fase e a frequência do sistema é de extrema importância para vários equipamentos e sistemas de controle conectados à rede elétrica, os erros de regime e a resposta dinâmica do PLL proposto serão analisados sob diferentes condições da tensão de alimentação. Para validar os modelos propostos, serão apresentados resultados de simulação, bem como resultados experimentais de um protótipo de filtro ativo de potência, o qual utiliza as informações do PLL em sua malha de controle de corrente.

Palavras-Chave – circuito de sincronismo, filtro ativo de potência, identificação da frequência, ortogonalidade, PLL digital.

ANALYSIS AND DESIGN METHODOLOGY FOR PLL SYNCHRONIZATION ALGORITHMS

Abstract – This paper discusses the modeling of a fully software-base Phase Locked Loop (PLL) algorithm for power electronic and power systems applications. The theoretical analysis and design procedure are based on instantaneous vector calculation and orthogonality concepts. Although the uni-dimensional (single-phase) PLL structure provides a general model, a suitable tri-dimensional (three-phase) structure is also considered. Assuming that the frequency tracking is of great interest for utility connected devices, the PLL steady state and transient dynamic performances are analyzed under different disturbing voltages conditions. Simulation results validate the models and experimental results using

a DSP-based system confirm the expectations for an active power filter prototype.

Keywords - active power filter, digital PLL, frequency detection, orthogonality, phase-locked loop, synchronization.

I. INTRODUÇÃO

Um número cada vez maior de equipamentos de uso industrial e de condicionamento de energia precisa ser sincronizado com a frequência da rede elétrica e a maior parte deles utiliza algum tipo de estrutura de PLL (*Phase Locked Loop*).

Os circuitos PLL convencionais derivam de um modelo clássico de controle por realimentação, baseado em um circuito analógico com um detector de fase, um oscilador controlado por tensão, um filtro passa-baixas e um comparador.

Recentemente, novos circuitos e algoritmos têm sido propostos, especialmente visando adequar-se a novas situações da rede elétrica, como a presença de distorções e transitórios, buscando-se garantir uma rápida resposta dinâmica, precisão e robustez contra as perturbações [1-8].

Em relação à análise e controle de sistemas de potência, cabe ressaltar que alguns trabalhos derivam de definições de potência instantânea [9-13]. Apesar destes métodos serem simples de implementar, tais analogias com os conceitos de potência instantânea [14], podem levar a interpretações particulares e não generalizadas [15].

Considerando uma estrutura geral unidimensional (monofásica), bem como um caso particular tridimensional (trifásico), o objetivo deste artigo é discutir uma metodologia adequada para projetar e analisar dois algoritmos de PLL digitais (por *software*). Estes modelos são baseados em álgebra vetorial instantânea, ao invés de conceitos de potência elétrica.

As estruturas de PLL propostas derivam do produto interno (ou escalar) e de propriedades de ortogonalidade entre funções.

Posto que a precisão e o comportamento dinâmico de um PLL dependem diretamente de seu regulador PI (proporcional-integral), o projeto do mesmo também é discutido. Resultados de simulação e experimentais validam os modelos propostos.

Artigo submetido em 13/12/2004. Primeira revisão em 14/04/2005.
Segunda revisão em 31/05/2005. Aceito sob recomendação dos editores
especiais Marcelo G. Simões e Humberto Pinheiro.

II. CONCEITOS DE PRODUTO INTERNO E ORTOGONALIDADE

Técnicas de representação multi-dimensional e cálculo vetorial têm sido amplamente utilizados na análise moderna de redes elétricas [15], particularmente devido a suas bases matemáticas de caráter geral e muito bem estabelecidas [16]. Nesta mesma linha, este artigo emprega definições de produto interno e ortogonalidade de vetores instantâneos, com o objetivo de explicar o modelo geral de um algoritmo de sincronismo (PLL) digital.

A. Produto Interno Instantâneo

O produto interno (\cdot) de dois vetores n -dimensionais instantâneos \mathbf{v} e \mathbf{u} , consiste na soma dos produtos dos termos com mesmo índice em ambos vetores [16]:

$$\begin{aligned} \mathbf{v} \cdot \mathbf{u} &\equiv [v_1 \ v_2 \ \dots \ v_n] \cdot [u_1 \ u_2 \ \dots \ u_n] = \\ &= v_1 \cdot u_1 + v_2 \cdot u_2 + \dots + v_n \cdot u_n = \sum_{l=1}^n v_l \cdot u_l \end{aligned} \quad (1)$$

Considerando, por exemplo, vetores tridimensionais (tensões e/ou correntes trifásicas), o produto interno instantâneo resultante seria dado por :

$$\begin{aligned} \mathbf{v} \cdot \mathbf{u} &= [v_a \ v_b \ v_c] \cdot [u_a \ u_b \ u_c] = \\ &= v_a \cdot u_a + v_b \cdot u_b + v_c \cdot u_c = \sum_{l=a,b,c} v_l \cdot u_l \end{aligned} \quad (2)$$

B. Definição de Ortogonalidade

Dois vetores não-nulos são ditos ortogonais (\perp) sobre um intervalo $t_1 \leq t \leq t_2$, com respeito à uma função de ponderação estritamente positiva $w(t) > 0$, se e somente se [16]:

$$\mathbf{v} \perp \mathbf{u} \Leftrightarrow \int_{t_1}^{t_2} w(t) \cdot [\mathbf{v}(t) \cdot \mathbf{u}(t)] \cdot dt = 0. \quad (3)$$

Se a função de ponderação é assumida como sendo o inverso do intervalo de integração, $w(t) = 1/(t_2 - t_1)$, então (3) estabelece que a média do produto interno (\cdot) de sinais ortogonais é sempre nula, independentemente de suas amplitudes relativas:

$$\overline{\mathbf{v} \cdot \mathbf{u}} \equiv \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} [\mathbf{v}(t) \cdot \mathbf{u}(t)] \cdot dt = 0. \quad (4)$$

No caso de sinais periódicos, tais como funções trigonométricas, a condição de ortogonalidade pode ser aplicada ao período T das funções:

$$\overline{\mathbf{v} \cdot \mathbf{u}} \equiv \frac{1}{T} \int_{t_2-T}^{t_2} [\mathbf{v}(t) \cdot \mathbf{u}(t)] \cdot dt = 0 \quad (5)$$

e, considerando uma implementação digital, a expressão (5) pode ser representada pelo somatório:

$$\overline{\mathbf{v} \cdot \mathbf{u}}(k) = \frac{1}{m\Delta} \sum_{i=1}^m \left[\sum_{l=1}^n v_l(k - i\Delta) \cdot u_l(k - i\Delta) \right] = 0 \quad (6)$$

no qual, " Δ " é o intervalo de amostragem, " m " é o número de amostras por período ($T = m\Delta$), " k " é o contador de amostras, " i " é um contador circular e " l " é o indicador de fases " n ".

A expressão anterior também pode ser interpretada como um filtro de média móvel [17], o qual é de simples implementação e representa um método eficiente para calcular o valor médio de vetores variantes no tempo.

III. PLL DIGITAL USANDO MODELO DE PRODUTO INTERNO

O principal objetivo deste artigo é apresentar uma metodologia de projeto de um PLL válido tanto para aplicações monofásicas quanto trifásicas (estrutura uni- ou multidimensional), utilizando os conceitos de produto interno. Tal metodologia pode ser aplicada para detecção da frequência e ângulo de sincronismo de tensões ou correntes, entretanto, as próximas seções visam sua aplicação para sinais de tensão.

A. Modelo monofásico geral (PLL-1 ϕ)

Assim, PLL monofásico proposto está mostrada na Figura 1. A idéia central é sintetizar uma função senoidal unitária (u_{\perp}), que seja ortogonal à tensão de entrada (v) sob condições de regime permanente. Assim, o resultado do produto interno (dp), entre esta função sintetizada digitalmente e o sinal da tensão de entrada deve convergir para um valor médio nulo. O argumento instantâneo, θ , usado para sintetizar a função senoidal u_{\perp} , é obtido pela integração da grandeza ω , que é a saída do regulador PI. Enquanto o algoritmo do PLL procura sintetizar uma senóide de amplitude unitária que satisfaça a condição de ortogonalidade com o sinal de entrada, o regulador PI converte o erro (dp_{error}) em um termo de correção ($\Delta\omega$), de modo que o PLL siga a frequência do sinal de entrada, ω , resultando no argumento da função senoidal, θ , após uma simples integração.

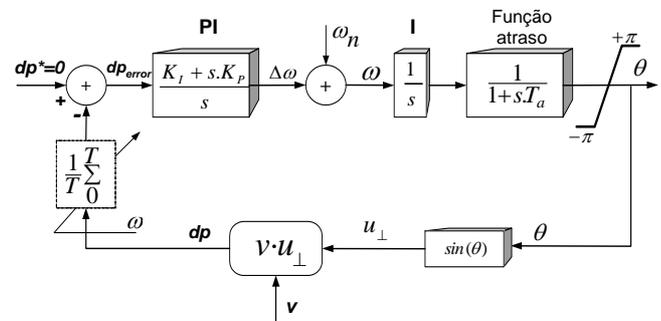


Fig. 1. Modelo generalizado do PLL-1 ϕ .

Uma referência antecipativa ($\omega_n = 2\pi f_n$) é incluída para melhorar a resposta dinâmica inicial, sendo f_n o valor nominal da frequência da rede. Dado que o interesse é desenvolver um PLL digital, uma função relacionada ao atraso de amostragem deve ser incluída no modelo do PLL para sua correta representação (tempo de amostragem T_a). O regulador PI fornece uma saída constante ω , se o valor médio do erro em sua entrada for nulo ($\overline{dp_{error}} = 0$). Nesta condição, $\theta = \omega t$ e o PLL sincroniza-se com a frequência ω do sinal de entrada com um atraso de fase de $(-\pi/2)$, o qual garante a condição de ortogonalidade. Portanto o PLL é capaz de fornecer a frequência fundamental da rede (ω) e o ângulo de sincronismo, ($\phi = \theta + \pi/2$).

1) *Filtro de média móvel adaptativo* - De modo a satisfazer as condições de ortogonalidade (5-6), o filtro de média móvel deve ser auto-ajustável ao período fundamental e pode ser representado no domínio de Laplace simplesmente por:

$$H_{filter}(s) = \frac{1 - e^{-sT}}{sT}, \quad (7)$$

sendo T o período fundamental do sinal de entrada, o qual depende da frequência angular instantânea estimada (ω).

Após alguns cálculos utilizando aproximações da série de Taylor, a função de transferência do filtro de média pode ser simplificada de modo a resultar em uma constante e um ganho unitário, como discutido em [11].

De forma a assegurar que o número de amostras em uma janela correspondente à frequência fundamental seja sempre constante (6), esta estratégia necessita alterar o tamanho da janela ou a frequência de amostragem de acordo com variações na frequência ($\Delta\omega$). Considerando as implementações em DSP (*Digital Signal Processor*), a segunda opção parece mais indicada, por se tratar de uma simples atualização de um registrador que define a frequência de amostragem do sistema. Entretanto, deve-se averiguar se outras malhas de controle da aplicação em questão não são criticamente sensíveis às variações da frequência de amostragem e conseqüentemente de T_a .

A opção de se alterar o tamanho da janela do filtro de média resultaria em um algoritmo mais complexo, além de apresentar limitações de precisão em função de variações de frequência (ω), as quais correspondam a números inteiros de amostras.

B. Metodologia de projeto do regulador PI

Assumindo que a frequência de amostragem é significativamente maior do que a banda de passagem do sistema, a realimentação não-linear (função seno) mostrada na Figura 1 pode ser simplificada para a estrutura linear indicada na Figura 2 [9]. Então, a função de transferência em malha fechada, incluindo o controlador e a planta, resulta:

$$H_{CL}(s) = \frac{k_p s + k_i}{s^3 T_s + s^2 + k_p s + k_i}. \quad (8)$$

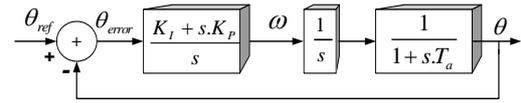


Fig. 2. Modelo simplificado do PLL.

Idealmente, o sistema de terceira ordem resultante deveria ser controlado com uma rápida resposta dinâmica e pequenos erros de regime. Também deveria ser robusto em relação a transitórios e ruídos no sinal de entrada.

Diferentes métodos de sintonia podem ser utilizados [11, 18]. Portanto, considerando pequenos passos de amostragem, o sistema de terceira ordem (8) pode ser reduzido à forma canônica de um sistema de segunda ordem (9), sem prejudicar a capacidade de controle [19]. Tal simplificação é possível desde que o pólo relativo ao passo de amostragem, situado no lado esquerdo do plano s , esteja longe da origem e dos outros dois pólos dominantes.

$$H_{CL}(s) = \frac{k_p s + k_i}{s^2 + k_p s + k_i}. \quad (9)$$

Assim, $k_p = 2\xi\omega_n$ e $k_i = \omega_n^2$, sendo ω_n a frequência de corte desejada para a malha fechada e ξ o fator de amortecimento (usualmente na faixa entre 0,5 e 1).

C. Modelo particular para o caso trifásico (PLL-3 ϕ)

O rastreamento de frequência também é necessário em sistemas trifásicos. No entanto, dado que a informação necessária pode ser obtida da frequência da rede (que é comum a todas as fases) e de um ângulo de sincronismo (por exemplo da fase “a”), o modelo do PLL-1 ϕ é capaz de fornecer todas as informações necessárias.

Entretanto, dado que muitos artigos [9-12] referiram-se à implementação de PLLs trifásicos, este artigo também trata da implementação do mesmo, utilizando uma representação multidimensional, conforme descrita na Seção 2 e mostrada na Figura 3.

O modelo trifásico conduz às mesmas expressões do caso geral monofásico, e a função de transferência de malha fechada resulta idêntica à estrutura simplificada, apresentada na Figura 2. Assim, o procedimento descrito para a sintonia do regulador PI é válido para ambos os modelos, assim como as análises de estabilidade e de resposta dinâmica [11,15].

No entanto, para o caso trifásico, dada a propriedade de se ter automaticamente um produto interno constante, quando as tensões de entrada forem senoidais, simétricas e equilibradas, é possível eliminar o filtro de média móvel para obter “ dp ”. Mesmo em caso de pequenas distorções e desequilíbrios isto pode ser obtido, dadas as características de filtragem do regulador PI.

D. Condições das tensões medidas

O ponto central no uso do PLL-3 ϕ é compreender como o conjunto de tensões medidas pode afetar o desempenho do PLL ou o projeto do PI. A análise que se segue considera

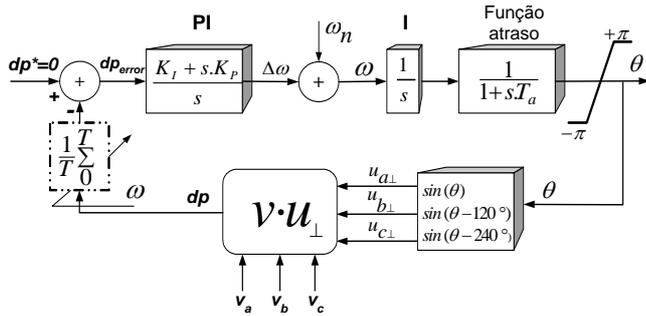


Fig. 3. PLL digital trifásico utilizando o produto interno instantâneo de funções ortogonais.

variações no produto interno médio, devido a diferentes condições das tensões, de modo a associar vantagens e desvantagens em cada condição:

1) *Tensões senoidais e equilibradas* - Se os sinais de entrada constituem um conjunto trifásico equilibrado e senoidal, ($\mathbf{v} = [v_a \ v_b \ v_c]$), então o produto interno instantâneo entre tais tensões e os sinais sintetizados pelo PLL ($\mathbf{u}_\perp = [u_{a\perp} \ u_{b\perp} \ u_{c\perp}]$) convergem muito rapidamente para um valor médio nulo, dependendo apenas da ação do regulador PI (sem uso do filtro de média para obter “dp”).

2) *Influência de distorções na tensão* - Para analisar os efeitos de harmônicas na tensão de entrada é preciso substituir o vetor \mathbf{v} pela correspondente série harmônica ($\mathbf{v} = [\Sigma v_{ah} \ \Sigma v_{bh} \ \Sigma v_{ch}]$). Agora, o produto interno instantâneo resultante será variante no tempo, devido ao produto de componentes com diferentes frequências:

$$\mathbf{v} \cdot \mathbf{u}_\perp = [\Sigma v_{ah} \ \Sigma v_{bh} \ \Sigma v_{ch}] \cdot [u_{a\perp} \ u_{b\perp} \ u_{c\perp}] \quad (10)$$

$$= \Sigma v_{ah} \cdot u_{a\perp} + \Sigma v_{bh} \cdot u_{b\perp} + \Sigma v_{ch} \cdot u_{c\perp}$$

Enquanto as componentes fundamentais das tensões de entrada ($h=1$) forem ortogonais aos sinais sintetizados pelo PLL, o valor médio do produto interno será nulo:

$$v_{a1} \cdot u_{a\perp} + v_{b1} \cdot u_{b\perp} + v_{c1} \cdot u_{c\perp} = \overline{\mathbf{v} \cdot \mathbf{u}_\perp} = 0 \quad (11)$$

Neste caso a convergência do PLL não é tão suave como no caso anterior, e o PI deve ser capaz de filtrar as rápidas oscilações presentes no produto instantâneo e, ao mesmo tempo, manter uma boa resposta dinâmica e capacidade de rastreamento da frequência. Isto exige um ajuste fino dos parâmetros do regulador.

3) *Influência de assimetrias na tensão* - Para analisar o efeito de assimetrias no conjunto de tensões é preciso substituir o vetor de entrada \mathbf{v} pelas correspondentes componentes de seqüência ($\mathbf{v} = [\Sigma v_{as} \ \Sigma v_{bs} \ \Sigma v_{cs}]$), sendo $v_a = \Sigma v_{as} = v_a^+ + v_a^- + v_a^0$, a soma das componentes de seqüência da fase “a”. Neste caso o produto interno instantâneo também

será oscilatório, mas com valor médio nulo, devido ao produto entre diferentes componentes de seqüência.

$$\mathbf{v} \cdot \mathbf{u}_\perp = [\Sigma v_{as} \ \Sigma v_{bs} \ \Sigma v_{cs}] \cdot [u_{a\perp} \ u_{b\perp} \ u_{c\perp}] \quad (12)$$

$$= \Sigma v_{as} \cdot u_{a\perp} + \Sigma v_{bs} \cdot u_{b\perp} + \Sigma v_{cs} \cdot u_{c\perp}$$

No que se refere ao projeto do PI, as considerações do item anterior também são válidas para condições de pequenos desequilíbrios. No caso de desequilíbrios de elevada amplitude, a presença do filtro de média para obter “dp” é necessária para garantir a capacidade de rastreamento. Neste caso, o mínimo tempo de resposta é tipicamente de um ciclo.

4) *Número de tensões de entrada* - Dado que as funções ortogonais (\mathbf{u}_\perp) sintetizadas pelo PLL, são matematicamente impostas de forma a serem senoidais, simétricas e equilibradas, sua soma instantânea é sempre nula ($u_{a\perp} + u_{b\perp} + u_{c\perp} = 0$). Assim é possível rearranjar (2) de forma a obter o mesmo produto interno usando apenas duas tensões medidas, o que deve reduzir a quantidade de sensores de tensão necessários em aplicações trifásicas:

$$\overline{\mathbf{v} \cdot \mathbf{u}_\perp} = v_{ab} \cdot u_{a\perp} + v_{cb} \cdot u_{c\perp} = 0 \quad (13)$$

IV. RESULTADOS DE SIMULAÇÃO

Os modelos apresentados foram avaliados através de estudo de casos no simulador PSIM 4.1a.

As Figuras 4 e 5 mostram o desempenho do PLL-1 ϕ , projetado para uma frequência de corte $\omega_n=20$ rad/s, amortecimento $\xi=0,707$ e uma frequência de amostragem de 12kHz.

Neste caso, a tensão de entrada apresentava-se distorcida com 15% de 7ª harmônica. A Figura 4 ilustra a tensão de entrada (distorcida), a função sintetizada (u_\perp), que é ortogonal à componente fundamental de (v) e o ângulo de saída do PLL (θ) na faixa $[0, 2\pi]$.

Dado que a frequência de entrada foi ajustada para 60Hz, a Figura 5 mostra a convergência para a frequência angular $\omega \approx 377$ rad/s e também o desempenho do filtro de média móvel, que é responsável pelo cálculo do valor médio do produto interno instantâneo ($dp_{med} \approx 0$).

A Figura 6 mostra tensões trifásicas ($v_a \ v_b \ v_c$), respectivamente distorcidas de 10% de 3ª, 5ª e 7ª harmônicas, e com as amplitudes das componentes fundamentais desequilibradas com 20% de redução na fase “a” e 10% de aumento na fase “b”.

Notar que o PLL-3 ϕ preserva seu bom desempenho, dado que os sinais internos “ \mathbf{u}_\perp ” são ortogonais às tensões de entrada “ \mathbf{v} ”, como detalhado para a fase “a” no centro da figura. O traço inferior ilustra o ângulo de fase utilizado para gerar a senóide ortogonal.

A Figura 7 ilustra o efeito da imposição de um degrau de frequência (-2Hz), combinado com uma descontinuidade de ângulo e amplitude (va,vb,vc).

Considerando uma senóide unitária (vc1) gerada através do ângulo de sincronia ($\phi = \theta + \pi/2 - \pi/3$) da fase “c”, os traços centrais ilustram a convergência desta em relação ao sinal de entrada da mesma fase.

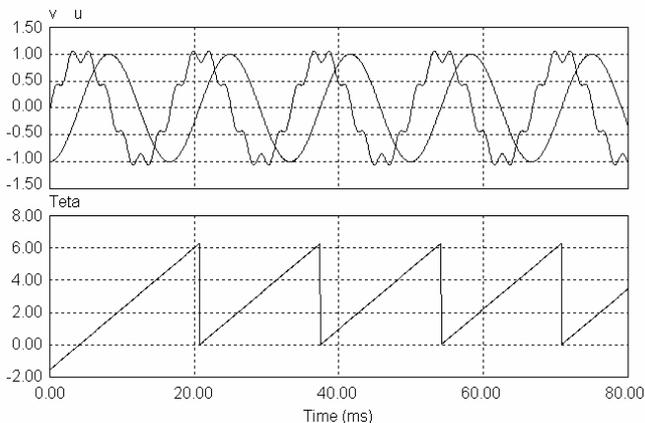


Fig. 4. PLL monofásico: Tensão de entrada (distorcida), senóide gerada pelo PLL e seu argumento $\theta [0,2\pi]$.

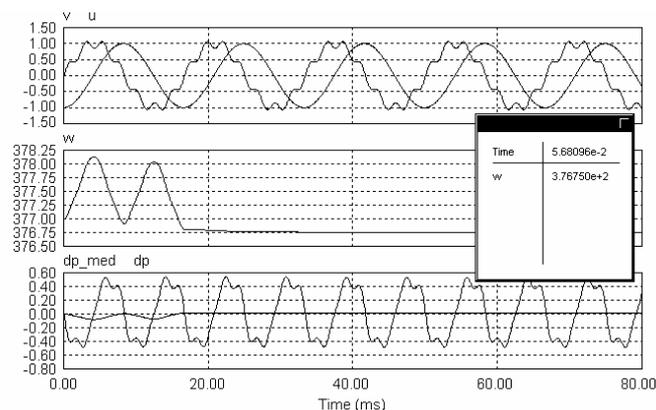


Fig. 5. Acima: entrada e sinal interno do PLL. Centro: frequência de saída do PLL. Abaixo: sinais de entrada e de saída do filtro de média.

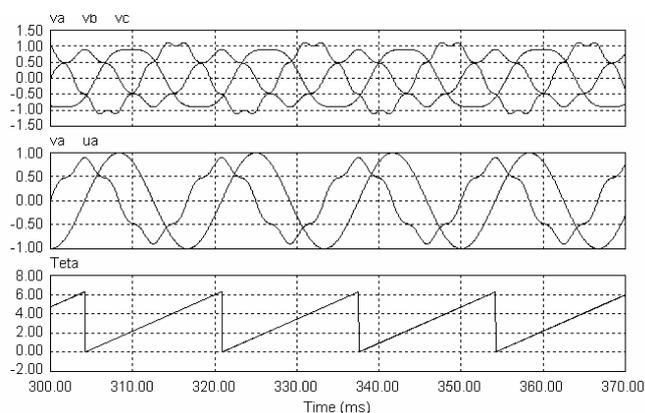


Fig. 6. PLL-3 ϕ : caso com tensões de entrada distorcidas e desequilibradas. Centro: formas de onda de entrada e interna da fase “a”.

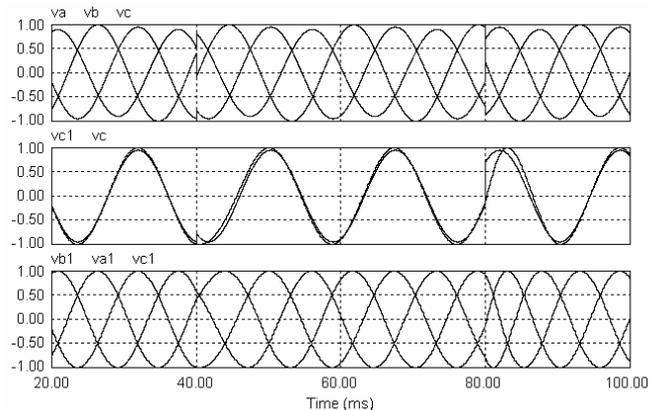


Fig. 7. Tensões desequilibradas e degrau de frequência (-2Hz): Sincronismo através do PLL-3 ϕ .

Notar que o PLL-3 ϕ segue suavemente a nova frequência. Os traços inferiores (va1,vb1,vc1) representam três senóides simétricas e unitárias, geradas através do ângulo de sincronia (ϕ).

V. RESULTADOS EXPERIMENTAIS

A fim de validar os algoritmos em aplicações práticas, o PLL-3 ϕ proposto foi implementado no algoritmo de controle de um filtro ativo de potência (FAP), para compensação seletiva de harmônicos, como mostra o diagrama da Figura 8, e conforme está detalhado em [20].

O protótipo do FAP foi baseado em um conversor tipo fonte de tensão (VSI) de 5kVA, controlado digitalmente por um DSP de 16 bits com aritmética de ponto fixo (ADMC401), programável em linguagem de máquina (*Assembly*). As frequências de chaveamento e de amostragem eram variáveis em torno de 12 kHz, em função das variações da frequência angular da rede detectadas pelo PLL (ω). O filtro de saída do conversor era do tipo indutivo ($L_F=4\text{mH}$) e a tensão do elo CC foi fixada em 450V.

Os resultados mostram que o método clássico de sintonia do PI (9) resulta em um desempenho eficiente, mesmo em situações com tensões de entrada distorcidas ($\omega_n=25\text{ rad/s}$ e $\xi=0,7$).

Inicialmente, o desempenho do PLL foi verificado sem que o controlador do FAP atuasse em malha fechada. A Figura 9 mostra uma tensão de entrada senoidal (traço com menor amplitude) e a senóide interna do PLL (traço com maior amplitude), sendo este deslocado de $+\pi/2$ (ϕ) de modo a ficar em fase com a tensão de entrada.

Observar através dos cruzamentos por zero e dos cursores verticais do osciloscópio, que nestas condições, mesmo durante um degrau de frequência (traço contínuo), de 50Hz ($T=20\text{ms}$) para 60Hz ($T\approx 16,67\text{ms}$), o PLL converge em aproximadamente 1 ciclo da fundamental. Notar que o valor de $T=16,8\text{ms}$ indicado pelo osciloscópio está limitado à sua resolução. Este teste foi realizado com uma fonte CA programável (*Califórnia Instruments*).

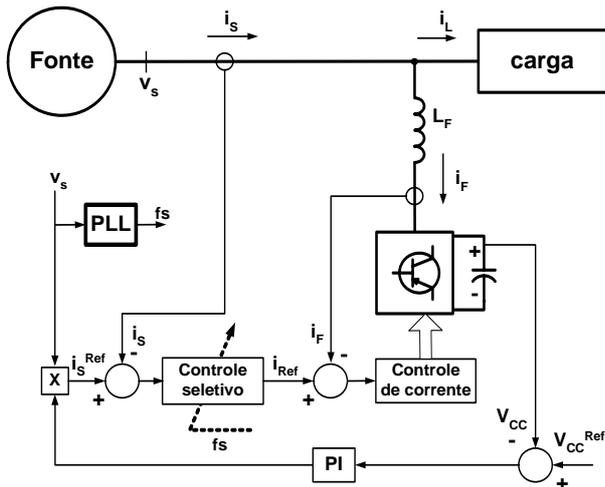


Fig. 8. Diagrama do filtro ativo de potência.

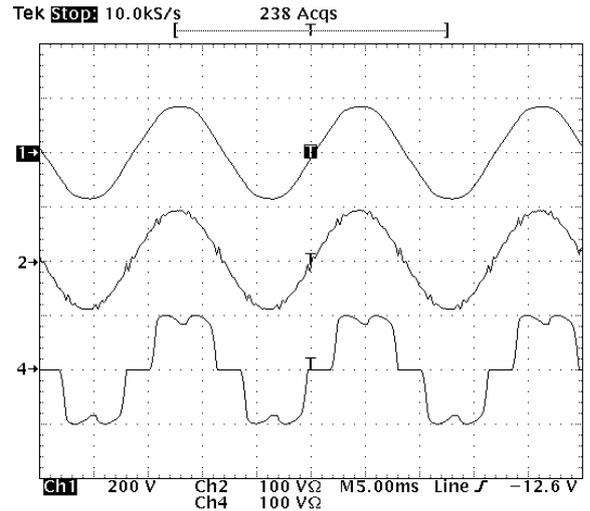


Fig. 10. Filtro ativo de potência com PLL-3φ e compensação seletiva de harmônicos: Tensão da rede (1), corrente da rede (2) corrente da carga (4).

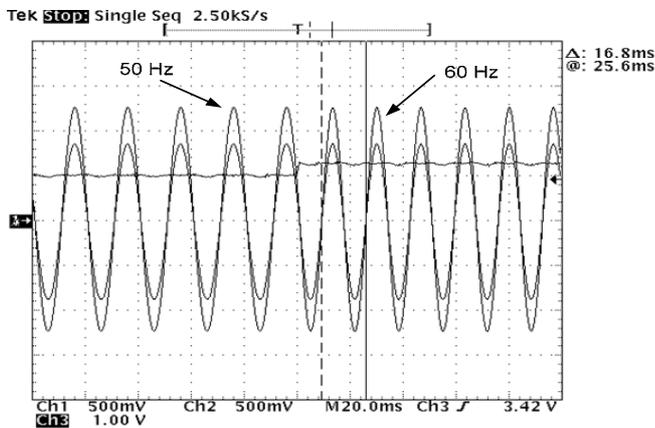


Fig. 9. Funcionamento do PLL-3φ durante degrau de frequência de 50 para 60Hz.

No controle do filtro ativo de potência, o PLL é responsável por manter fixa uma relação de 200 amostras por ciclo da fundamental. Tal ajuste é feito através da detecção da frequência da rede (ω) e pelo ajuste da taxa de amostragem (T_a), o que garante a operação correta da estratégia utilizada para a compensação seletiva de harmônicos [20]. Desta forma, as frequências de chaveamento e de amostragem variam suavemente em torno de 12 kHz (200 amostras por ciclo de ≈ 60 Hz).

Considerando a compensação de todas as componentes harmônicas de ordem ímpar até a 19ª, a Figura 10 mostra a eficiência da compensação seletiva e confirma a capacidade do filtro de seguir corretamente a frequência da rede e minimizar as componentes harmônicas desejadas, da corrente de carga.

Neste caso, a tensão da rede (fonte) era fornecida através de um *Variac* trifásico e apresentava uma distorção harmônica total (DHT) de 3%, enquanto a corrente da carga (retificador não-controlado com carga RC) apresentava uma DHT de 24%. Após a compensação, a corrente do lado da fonte apresentou um DHT de 3,2%, o que comprova a eficiência do FAP e do PLL utilizado no algoritmo de controle, mesmo sob condições de tensão distorcida.

O modelo proposto de PLL foi investigado sob diversas outras aplicações, tais como retificadores controlados e sistemas inversores interativos com a linha, como descrito em [21] sempre produzindo resultados plenamente satisfatórios.

VI. CONCLUSÃO

Este artigo apresentou dois modelos de PLL baseados em programação digital (*software*), ou seja, sem a necessidade de qualquer circuito ou lógica analógica. Diferentemente de propostas recentes baseadas em definições de potência instantânea, os modelos propostos derivam, essencialmente, de propriedades de álgebra vetorial e de ortogonalidade de funções. A metodologia de projeto é muito simples e é válida para o caso geral do modelo monofásico, bem como para a estrutura trifásica.

Vale destacar que a estrutura monofásica é geral e pode ser aplicada a sistemas trifásicos, posto que a frequência de todas as fases é a mesma. Para o modelo trifásico, sob condições senoidais e equilibradas, pode-se excluir o filtro de média móvel do PLL e ainda assim obter um bom desempenho do mesmo. Isto porque o produto interno dos sinais medidos, pelas senóides digitais, resulta naturalmente um valor médio em torno de zero, sem oscilações.

Dado que o desempenho do PLL está diretamente relacionado com as condições das tensões medidas, a influência de distorções e assimetrias também foi discutida, particularmente para o caso trifásico.

Para verificar o desempenho dos modelos de PLL propostos, foram apresentados resultados de simulação e experimentais, incluindo a aplicação do PLL em um filtro ativo de potência. Todos os resultados obtidos confirmaram as expectativas, inclusive para condições de degrau de frequência, sendo o PLL capaz de rastrear a frequência e o ângulo de sincronismo da rede com precisão.

AGRADECIMENTOS

Os autores agradecem à FAPESP e à CAPES pelo suporte financeiro a este trabalho e à *Analog Devices* pela plataforma disponibilizada.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] M. M. Begovic, P. M. Djuric, S. Dunlap, A.G. Phadke, "Frequency Tracking in Power Networks in the Presence of Harmonics", *IEEE Trans. on Power Delivery*, Vol. 8, No. 2, pp. 480-486, 1993.
- [2] V. Kaura, V. Blasko, "Operation of a Phase Locked Loop System Under Distorted Utility Conditions", *IEEE Trans. on Industry Applications*, Vol. 33, No. 1, pp. 58-63, 1997.
- [3] C. Zhan, C. Fitzer, V.K. Ramachandramurthy, A. Arulampalam, M. Barnes, N. Jenkins, "Software Phase-Locked Loop applied to Dynamic Voltage Restorer (DVR)", *IEEE-PES Winter Meeting*, Vol. 03, pp. 1033-1038, 2001.
- [4] L.N. Arruda, S.M. Silva, B.J. Cardoso Filho, "PLL Structures for Utility Connected Systems", *IEEE Industry Application Annual Meeting (IAS)*, Vol. 4, pp. 2655-2660, 2001.
- [5] L Rossetto, and S. Buso, "PWM Line Voltage Regulator with Integrated PFC", *IEEE Power Electronics Specialists Conference CD-ROM (PESC)*, 2003.
- [6] H. Awad, J. Svensson, M. Bollen, "Phase Locked Loop for Static Series Compensator", *European Power Electronics Conference (EPE)*, 2003.
- [7] G. C. Hsieh, J. C. Hung, "Phase-Locked Loop Techniques – A Survey", *IEEE Trans. on Industrial Electronics*, Vol. 43, No. 6, pp. 609-615, 1996.
- [8] S. Chung, "A Phase Tracking System for Three Phase Utility Interface Inverters", *IEEE Trans. on Power Electronics*, Vol. 15, No. 3, pp. 431-438, 2000.
- [9] S.A.O. Silva, P.Donos-Garcia, P. C. Cortizo, and P. F. Seixas, "A Three-Phase Line-Interactive UPS System Implementation with Series-Parallel Active Power-Line Conditioning Capabilities", *IEEE Trans. on Industry Application*, Vol. 38, No. 6, pp. 1581-1590, 2002.
- [10] E.M. Sasso, G.G. Sotelo, A.A. Ferreira, E.H. Watanabe, M. Aredes, P. Barbosa, "Investigação dos modelos de circuitos de sincronismo trifásicos baseados na teoria de potências real e imaginária instantâneas (p-PLL e q-PLL)", *Anais do Congresso Brasileiro de Automática*, pp.480-485, 2002.
- [11] S.M. Deckmann, F.P. Marafão, M.S. Pádua, "Single and Three-Phase Digital PLL Structures based on Instantaneous Power Theory", CD-ROM of the *Brazilian Power Electronics Conference (COBEP)*, 2003.
- [12] L.C.G. Lopes, R.L. Carletti, P. G. Barbosa, "Implementation of a Digital and a Dead-Beat PLL Circuit based on instantaneous Power Theory with DSP TMS320F243", CD-ROM of the *Brazilian Power Electronics Conference (COBEP)*, 2003.
- [13] F.D. Jesus, C.F.T. Soares, J.L.S. Neto, E.H. Watanabe, M. Aredes, J.R.D. Carvalho, M. Leal, "Improvement of a Positive Sequence Components Detector in a Unbalanced Three-Phase System", CD-ROM of the *Brazilian Power Electronics Conference (COBEP)*, 2003.
- [14] H. Akagi, S. Ogasawara, H. Kim, "The theory of instantaneous power in three-phase four wire systems: a comprehensive approach", *Proc. of the IEEE-IAS Annual Meeting*, pp. 431-439, 1999.
- [15] F.P. Marafão, "Análise e Controle da Energia Elétrica Através de Técnicas de Processamento Digital de Sinais", Tese de Doutorado, Faculdade de Engenharia Elétrica e de Computação da UNICAMP, Campinas, SP, 2004.
- [16] E. Kreyzig, *Advanced Engineering Mathematics*, John Wiley & Sons, Inc., 1999.
- [17] A. V. Oppenheim, R. W. Schaffer, and J. R. Buck, J. R. *Discrete-Time Signal Processing*, Prentice Hall Inc., 1999.
- [18] K. J. Aström, B. Wittenmark, *Computer-Controlled Systems: Theory and Design*, Prentice Hall Inc. 1997.
- [19] N. S. Nise, *Control Systems Engineering*, John Wiley & Sons, Inc., 2000.
- [20] F. P. Marafão, P. Mattavelli, S. Buso, S. Deckmann, "Repetitive-Based Control for Selective Active Filters using Discrete Cosine Transform", *Eletrônica de Potência*, Vol. 9, No. 1, pp.29-36, June 2004.
- [21] R. Q. Machado, S. Buso, J.A. Pomilio, F.P. Marafão, "Three-Phase to Single-Phase Direct Connection for rural co-generation systems", CD-ROM of the *IEEE Applied Power Electronics Conference (APEC)*, 2004.

DADOS BIOGRÁFICOS

Fernando Pinhabel Marafão, natural de José Bonifácio, SP, é engenheiro eletricista (1997) formado na Universidade Estadual Paulista (Campus Bauru), mestre (2000) e doutor (2004) pela Universidade Estadual de Campinas.

Em 2002 foi pesquisador visitante no Departamento de Engenharia de Informação da Universidade de Pádua (Itália), onde trabalhou em técnicas de controle digital aplicadas ao controle de filtros ativos de potência. Atualmente é Professor Assistente na Universidade Estadual Paulista (Campus Sorocaba), onde integra o grupo de Engenharia de Controle e Automação. Suas áreas de interesse relacionam-se com o uso de técnicas de processamento e controle digital em aplicações da eletrônica de potência e sistemas de energia, filtros ativos de potência, qualidade de energia e definições de potência na presença de distorções e assimetrias.

Dr. Marafão é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP), da Sociedade Brasileira de Automática (SBA) e do IEEE.

Sigmar Maurer Deckmann é engenheiro eletricitista (1973), mestre (1976) e doutor (1980) pela Universidade Estadual de Campinas.

É professor da Faculdade de Engenharia Elétrica e Computação da Universidade Estadual de Campinas desde 1974. De 1986 a 1988 foi chefe do Departamento de Sistemas e Controle de Energia. De 1999 a 2003 foi vice-diretor da faculdade. Também tem liderado diversos projetos sobre *Flicker*, monitoração de qualidade de energia e instrumentação digital. Suas principais linhas de pesquisa tem sido: dinâmica do sistema de potência, instrumentação, qualidade de energia, monitoração de distúrbios, estudos sobre a propagação de harmônicos e *Flicker* e filtros ativos de potência.

Dr. Deckmann é membro do IEEE.

José Antenor Pomilio é engenheiro eletricitista, mestre e doutor em Engenharia Elétrica pela Universidade Estadual de Campinas.

De 1988 a 1991 foi chefe do grupo de eletrônica de potência do Laboratório Nacional de Luz Síncrotron. Realizou estágios de pós-doutoramento junto à Universidade de Pádua e à Terceira Universidade de Roma, ambas na Itália. Foi presidente da Sociedade Brasileira de Eletrônica de Potência – SOBRAEP e membro do comitê administrativo

da *IEEE Power Electronics Society*. Atualmente é editor da revista Eletrônica de Potência, editor associado da *IEEE Trans. on Power Electronics* e de Controle & Automação. É professor da Faculdade de Engenharia Elétrica e de Computação da Unicamp deste 1984.

Dr. Pomilio é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP), da Sociedade Brasileira de Automática (SBA), da SBPC e do IEEE.

Ricardo Quadros Machado é natural de Santa Maria RS graduou-se engenheiro eletricitista (1997) pela Universidade Federal de Santa Maria, mestre (2002) e doutor em Engenharia Elétrica (2005) pela Universidade Estadual de Campinas.

Entre 2003 e 2004 foi pesquisador visitante junto ao grupo de Eletrônica de Potência da Universidade de Padova, Itália. Atualmente atua como pesquisador junto CEEMA (Centro de Estudos em Energia e Meio-Ambiente) e PPGEE (Programa de Pós-Graduação em Engenharia Elétrica) da Universidade Federal de Santa Maria. Suas áreas de interesse são: controle digital aplicado à eletrônica de potência, qualidade do processamento da energia elétrica, filtros ativos e fontes alternativa de energia.

Dr. Machado é membro da SOBRAEP.