

# RETIFICADOR TRIFÁSICO HÍBRIDO OPERANDO COM CONTROLE DIGITAL E MODULAÇÃO POR HISTERESE

Jurandir de O. Soares\*, Carlos A. Canesin\*, Luiz C. de Freitas\*\* e Flávio A. S. Gonçalves\*

\* Universidade Estadual Paulista – UNESP, FEIS/DEE, CEP 15385-000, C.P. 31, Ilha Solteira (SP), Brasil  
e-mail: [jurandir@aluno.feis.unesp.br](mailto:jurandir@aluno.feis.unesp.br), [canesin@dee.feis.unesp.br](mailto:canesin@dee.feis.unesp.br), [flavio@dee.feis.unesp.br](mailto:flavio@dee.feis.unesp.br)

\*\* Universidade Federal de Uberlândia – Faculdade de Engenharia Elétrica – FEELT, Uberlândia (MG), Brasil  
e-mail: [freitas@ufu.br](mailto:freitas@ufu.br)

**Resumo** – Neste artigo uma modulação por histerese digital é proposta e analisada usando dispositivo FPGA (*Field Programmable Gate Array*) e linguagem VHDL (*Hardware Description Language*), aplicada em um retificador trifásico híbrido composto por retificadores monofásicos SEPIC conectados em paralelo a cada um dos braços de um retificador de 6-pulsos convencional à diodos. O controle digital permite a programação da DHT (Distorção Harmônica Total) das correntes de entrada, possibilitando que a potência processada através dos conversores controlados, conectados em paralelo, represente uma pequena fração da potência média total de saída, de tal forma a permitir a obtenção de um conversor compacto, com uma DHT reduzida para as correntes de entrada e um fator de potência elevado. Assim, a solução proposta é considerada economicamente viável para instalações com potências elevadas, com um retorno imediato do investimento realizado. Além disso, a melhoria de instalações existentes é factível, uma vez que a conexão paralela com o *link* CC existente pode ser facilmente realizada. Finalmente, a estratégia de controle proposta é verificada através dos resultados experimentais com um protótipo de 3,0 kW.

**Palavras-Chave** – Controle Digital, Correção Ativa do Fator de Potência, Dispositivo FPGA, Modulação por Histerese, Retificador Híbrido.

## HYBRID THREE-PHASE RECTIFIER OPERATING WITH DIGITAL CONTROL AND HYSTERESIS MODULATION

**Abstract** – In this paper a digital hysteresis modulation is proposed and analyzed using a FPGA (*Field Programmable Gate Array*) device and VHDL (*Hardware Description Language*), applied at a hybrid three-phase rectifier composed by parallel SEPIC controlled single-phase rectifiers connected to each leg of a standard 6-pulses uncontrolled diode rectifier. The digital control allows a programmable THD (*Total Harmonic Distortion*) at the input currents, and it makes possible that the power rating of the switching-mode converters, connected in parallel, can be a small fraction of the total average output power, in order to obtain a

Artigo submetido em 15 de maio de 2008; primeira revisão em 15 de outubro de 2008; segunda revisão em 13 de novembro de 2008. Recomendado para publicação pelos Editores da Seção Especial, João Carlos dos Santos Fagundes e Felix Alberto Farret.

compact converter, reduced input current THD and high power factor. Thus, the proposed solution is considered economically viable for very high power installations, with fast pay back of the investment. Moreover, retrofitting to existing installations is also feasible since the parallel path can be easily integrated with the existing dc-link. Finally, the proposed control strategy is verified through experimental results from an implemented 3.0 kW prototype.

**Keywords** - Active Power-Factor Correction, Digital Control, FPGA Device, Hybrid Rectifier, Hysteresis Modulation.

## I. INTRODUÇÃO

Devido ao crescimento significativo das cargas não lineares, incluindo os retificadores monofásicos e trifásicos, valores elevados de distorções harmônicas nas correntes através dos alimentadores de distribuição CA têm sido observados, causando distorções harmônicas significantes nas tensões sobre os pontos de acoplamento de cargas. Neste contexto, foram estabelecidas normas internacionais (IEC 61000-3-2, IEC 61000-3-4 e IEEE 519) com o objetivo de impor limites na emissão de componentes harmônicas por parte destes equipamentos [1-2]. Além disso, considerando a necessidade de impor restrições do conteúdo harmônico das correntes de entrada, inúmeras estratégias e estruturas têm sido desenvolvidas, buscando um fator de potência elevado e níveis eletromagnéticos compatíveis para aplicações de retificadores trifásicos. Considerando as pesquisas desenvolvidas com a finalidade de combinar as vantagens dos retificadores ativos e passivos, os retificadores híbridos foram propostos, aplicados para potências médias e elevadas [3-6]. Os retificadores híbridos são constituídos pela associação de um retificador não controlado e um retificador controlado PWM (*Pulse Width Modulated*). O retificador não controlado opera em baixa frequência e processa a maior parte da potência ativa entregue para a carga. Enquanto isso, o retificador controlado PWM processa uma pequena parte da potência ativa, operando em frequência elevada. A grande vantagem deste tipo de estrutura, é o fato de combinar a robustez e eficiência do retificador não controlado, com a imposição de uma corrente de entrada com uma DHT reduzida, através do controle adequado do retificador controlado. Portanto, do ponto de vista da eficiência energética, tal característica de operação torna os retificadores híbridos bastante atrativos comercialmente. Na Figura 1, apresenta-se uma estrutura denominada Retificador Trifásico Híbrido com fator de potência elevado (HPF),

constituído de um retificador de 6 pulsos convencional à diodos (Retificador não controlado: Retif-1), com a ligação em paralelo de retificadores chaveados monofásicos compostos de conversores SEPIC (Retificador controlado: Retif-2) [4]. Estes conversores chaveados, em uma análise global, comportam-se como uma fonte de corrente controlada, através de uma estratégia bastante simples de controle. Impõe-se uma referência de corrente para os conversores SEPIC, de maneira que as correntes drenadas por estes conversores, quando somadas com as correntes drenadas pelo retificador de seis pulsos convencional, resulte em uma corrente de entrada com multiníveis, inclusive com a possibilidade de se obter uma corrente aproximadamente senoidal, com uma DHT reduzida e fator de potência próximo do unitário. Contudo, considerando o retificador proposto da Figura 1, operando com uma corrente de entrada de “ $q.6\pm 1$ ” pulsos [7], dependendo do valor do índice “ $q$ ” e da magnitude da potência nominal de saída processada, o conteúdo harmônico ainda existente nas correntes de entrada (por exemplo,  $i_a(\omega.t)$ ), para algumas ordens harmônicas, pode não obedecer aos limites estabelecidos pelas normas, como por exemplo a IEC61000-3-4. Adicionalmente, foi proposto pelos autores, em [4], uma técnica de controle analógico, o que resulta em circuitos analógicos bastante complexos, dificultando a imposição de uma corrente de entrada senoidal e impedindo a desejada programação da DHT para as correntes de entrada. Assim, objetivando atender os limites estabelecidos pelas normas internacionais IEC/IEEE, para a corrente de linha de entrada, propõe-se neste artigo uma técnica de controle digital modificada, usando a modulação por histerese e oferecendo uma maior flexibilidade na implementação da imposição da corrente de entrada dos conversores controlados (por exemplo,  $i_{a2}(\omega.t)$ ), resultando em um fator de potência quase unitário e um percentual reduzido de potência ativa processada pelo

retificador controlado, permitindo ainda ampla programação da desejada DHT das correntes drenadas da rede de alimentação em corrente alternada. Para implementar a lógica de controle digital proposta, torna-se necessária a aquisição e processamento digital simultâneo de vários sinais do retificador trifásico híbrido, conforme Figura 1 e discussões apresentadas na seção 3. Para a implementação da técnica de controle utilizou-se um dispositivo programável FPGA e linguagem VHDL, devido às suas características de flexibilidade e de processamento concorrente, possibilitando executar todos os procedimentos de controle de forma simultânea [8].

## II. ANÁLISE TEÓRICA

Para simplificar a análise, será considerado um sistema trifásico balanceado com tensões de entrada senoidais. Assim, será discutido neste artigo somente o controle da corrente de entrada  $i_a(\omega.t)$  pertencente à fase “a”, conforme mostrado na Figura 1. O objetivo principal da análise a ser apresentada nesta seção é estabelecer uma relação entre a DHT imposta para as correntes de entrada, com formas de onda praticamente senoidais, e a potência média total processada pelos retificadores controlados e não controlado. De acordo com a Figura 2, a corrente de entrada imposta no retificador controlado,  $i_{a2}(\omega.t)$ , segue uma referência de corrente gerada pela subtração  $i_{sen}(\omega.t) - i_{a1}(\omega.t)$ . A corrente  $i_{sen}(\omega.t)$ , dada pela equação (1), é uma corrente senoidal auxiliar da técnica de controle proposta. Observa-se que o formato da corrente  $i_a(\omega.t)$  depende de uma relação constante entre os valores de pico das correntes  $i_{a1}(\omega.t)$  e  $i_{sen}(\omega.t)$ , representada pelo parâmetro “ $K$ ”, conforme equação (2).

$$I_{sen}(\omega.t) = K \cdot I_{Retif\_1} \cdot sen(\omega.t) \quad (1)$$

$$K = \frac{I_m}{I_{Retif\_1}} \quad (2)$$

Onde:

- $I_m$  - Valor de pico da corrente senoidal auxiliar  $i_{sen}(\omega.t)$ .
- $I_{Retif\_1}$  - Valor de pico da corrente  $i_{a1}(\omega.t)$  (igual ao valor médio da corrente de saída do Retif\_1).

$$\omega.\Delta t(K) = \begin{cases} \arcsen\left(\frac{I}{K}\right) - \frac{\pi}{6}, & 1 \leq K \leq 2 \\ 0, & K > 2 \end{cases} \quad (3)$$

A descontinuidade de  $i_{a2}(\omega.t)$ , conforme Figura 2, ocorre devido à unidirecionalidade do retificador trifásico híbrido. Desta forma, o intervalo de tempo “ $\omega.\Delta t(K)$ ” é obtido através da equação (3). É interessante observar que, elevando-se o valor do parâmetro “ $K$ ”, resultará na redução do valor da DHT da corrente de entrada  $i_a(\omega.t)$ , até atingir DHT=0, quando  $K=2$ . Entretanto, com o aumento do valor de “ $K$ ”, aumenta-se também a potência processada pelo retificador controlado (Retif\_2) e reduz-se a eficiência global do retificador híbrido. Assim, na seqüência, será discutida a análise para encontrar um valor de “ $K$ ” que proporcione um valor mínimo de potência processada pelo retificador controlado e um valor máximo de DHT permitido pelas normas internacionais.

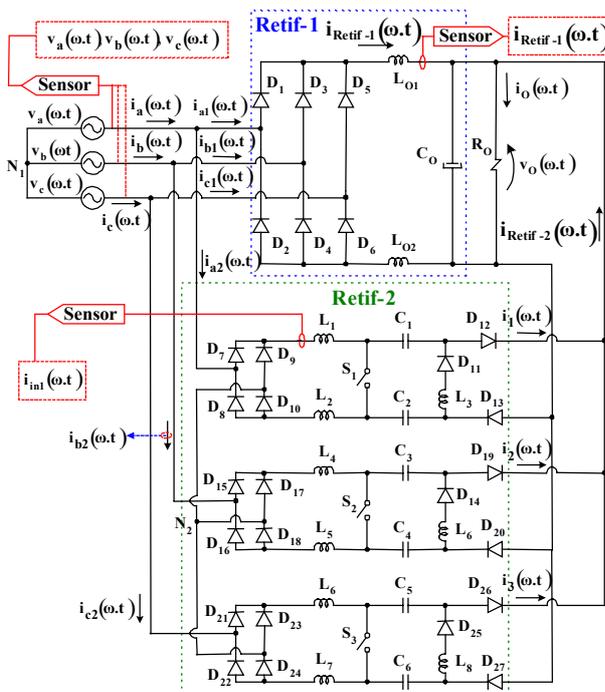


Fig. 1. Retificador Trifásico Híbrido com fator de potência elevado (HPF).

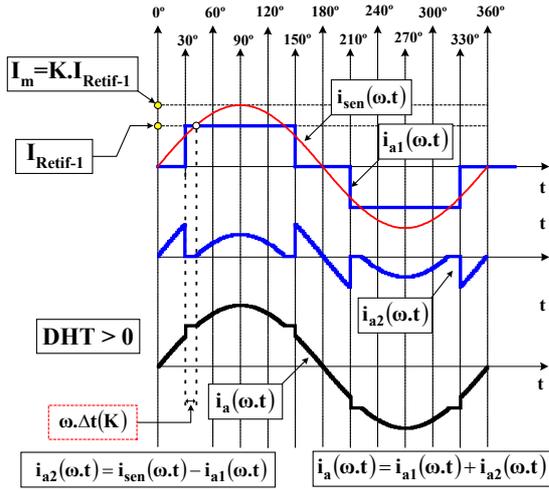


Fig. 2. Formas de onda teóricas das correntes, referentes à “fase a” do retificador trifásico híbrido.

O primeiro passo é obter as representações por séries de Fourier para as correntes de entrada  $i_{a1}(\omega.t)$ ,  $i_{a2}(\omega.t)$  e  $i_a(\omega.t)$ , representadas na Figura 2. No passo seguinte, calculam-se os valores eficazes e as DHT das correntes  $i_{a1}(\omega.t)$ ,  $i_{a2}(\omega.t)$  e  $i_a(\omega.t)$ , de acordo com as equações (4), (5), (6), (7) e (8).

$$I_{a1(\text{eficaz})} = \sqrt{\sum_{n=1}^{\infty} \frac{F_1^2(n)}{2}} \quad (4)$$

$$DHT_{i_{a1}} = \frac{\sqrt{\sum_{n=2}^{\infty} F_1^2(n)}}{\sum_{n=1}^l F_1(n)} \quad (5)$$

$$I_{a2(\text{eficaz})} = \frac{I_{\text{Retif-1}}}{\pi} \sqrt{\sum_{n=2}^{\infty} \frac{\{F_2(n, K) + F_3(n, K)\}^2}{2} + \sum_{n=1}^l \frac{F_4^2(n, K)}{2}} \quad (6)$$

$$I_{a(\text{eficaz})} = \frac{I_{\text{Retif-1}}}{\pi} \sqrt{\sum_{n=2}^{\infty} \frac{\{F_1(n) + F_2(n, K) + F_3(n, K)\}^2}{2} + \sum_{n=1}^l \frac{\{F_1(n) + F_4(n, K)\}^2}{2}} \quad (7)$$

$$DHT_{i_a} = \frac{\sqrt{\sum_{n=2}^{\infty} \{F_1(n) + F_2(n, K) + F_3(n, K)\}^2}}{\sum_{n=1}^l \{F_1(n) + F_4(n, K)\}} \quad (8)$$

Onde:

- $I_{a1(\text{eficaz})}$  - Valor eficaz da corrente  $i_{a1}(\omega.t)$ .
- $DHT_{i_{a1}}$  - DHT da corrente  $i_{a1}(\omega.t)$ .
- $I_{a2(\text{eficaz})}$  - Valor eficaz da corrente  $i_{a2}(\omega.t)$ .
- $I_{a(\text{eficaz})}$  - Valor eficaz da corrente  $i_a(\omega.t)$ .
- $DHT_{i_a}$  - DHT da corrente  $i_a(\omega.t)$ .

As equações (9), (10), (11), (12) e (13), apresentadas na sequência, são expressões auxiliares que compõem as equações (4), (5), (6), (7) e (8).

$$F_1(n) = \begin{cases} \int_{\frac{\pi}{6}}^{\frac{5\pi}{6}} \{sen(n.\omega.t) + cos(n.\omega.t)\}.d(\omega.t) + \\ - \int_{\frac{7\pi}{6}}^{\frac{11\pi}{6}} \{sen(n.\omega.t) + cos(n.\omega.t)\}.d(\omega.t) \end{cases} \quad (9)$$

$$F_2(n, K) = \begin{cases} \int_{\frac{\pi}{6} + \omega\Delta t(K)}^{\frac{5\pi}{6} - \omega\Delta t(K)} \{sen(n.\omega.t) + cos(n.\omega.t)\}.d(\omega.t) + \\ - \int_{\frac{7\pi}{6} + \omega\Delta t(K)}^{\frac{11\pi}{6} - \omega\Delta t(K)} \{sen(n.\omega.t) + cos(n.\omega.t)\}.d(\omega.t) \end{cases} \quad (10)$$

$$F_3(n, K) = \frac{K}{2} \left\{ \begin{aligned} & \int_{\frac{\pi}{6}}^{\frac{\pi}{6} + \omega\Delta t(K)} sen(\omega.t).sen(n.\omega.t).d(\omega.t) + \\ & + \int_{\frac{5\pi}{6}}^{\frac{5\pi}{6} + \omega\Delta t(K)} sen(\omega.t).sen(n.\omega.t).d(\omega.t) + \\ & + \int_{\frac{7\pi}{6}}^{\frac{7\pi}{6} + \omega\Delta t(K)} sen(\omega.t).sen(n.\omega.t).d(\omega.t) + \\ & + \int_{\frac{11\pi}{6}}^{\frac{11\pi}{6} + \omega\Delta t(K)} sen(\omega.t).sen(n.\omega.t).d(\omega.t) \end{aligned} \right\} \quad (11)$$

$$F_4(n, K) = K.\pi + F_5(K) - F_2(n, K) - F_3(n, K) \quad (12)$$

$$F_5(K) = 2.K \cdot \sum_{x=0}^{\infty} \left\{ \int_{\frac{\pi}{6}}^{\frac{\pi}{6} + \omega\Delta t(K)} sen(\omega.t).sen(x.\omega.t).d(\omega.t) \right\} .sen\left(\pi \cdot \frac{x}{2}\right) \quad (13)$$

Neste contexto, assumindo valores desejáveis de uma eficiência global “ $\eta$ ” especificada e de um fator de potência “FP” para o retificador trifásico híbrido, pode-se estabelecer uma relação entre a potência aparente de entrada “S” e o valor médio da potência de saída “P”, através das seguintes equações.

$$P_{in} = \frac{P}{\eta} \quad (14)$$

$$FP = \frac{P_{in}}{S} \quad (15)$$

$$S = 3.V_{ef}.I_{ef} \quad (16)$$

$$P = \frac{V_O^2}{R_O} \quad (17)$$

$$V_O = \frac{3.\sqrt{6}.V_{ef}}{\pi} \quad (18)$$

Onde:

- $P_{in}$  - Valor nominal da potência média de entrada.
- $P$  - Valor nominal da potência média de saída.
- $S$  - Valor nominal da potência aparente de entrada.
- $R_O$  - Valor nominal da resistência de carga.
- $V_O$  - Valor nominal da tensão média de saída.
- $V_{ef}$  - Valor nominal eficaz da tensão de entrada (fase-neutro).

Assim, obtém-se a equação (19).

$$\varepsilon = \eta.FP = \frac{P}{S} \quad (19)$$

Onde:

- $\varepsilon$  - Parâmetro auxiliar.

Adicionalmente, utilizando-se (16), (17), (18) e (19), pode-se obter a equação (20).

$$I_{ef} = \frac{18.V_{ef}}{\pi^2.R_O.\varepsilon} \quad (20)$$

Finalmente, considerando-se a igualdade dos valores eficazes calculados por (20),  $I_{ef}$ , e por (7),  $I_{a(eficaz)}$ , os valores médios das correntes de saída " $I_{Retif\_1}$ " e " $I_{Retif\_2}$ " podem ser obtidos através das equações (21) e (22), respectivamente.

$$I_{Retif\_1} = \frac{18.\sqrt{2}.V_{ef}}{\varepsilon.\pi.R_O.\sqrt{\sum_{n=2}^{\infty} \frac{\{F_1(n)+F_2(n,K)+F_3(n,K)\}^2}{2} + \sum_{n=1}^1 \frac{\{F_1(n)+F_4(n,K)\}^2}{2}}} \quad (21)$$

$$I_{Retif\_2} \% = \left(1 - \frac{I_{Retif\_1}.V_O}{P}\right).100 \quad (22)$$

Deve ser observado que a obtenção dos valores eficazes das correntes de entrada através das equações (4), (6) e (7), e dos valores médios das correntes de saída através das equações (21) e (22), requer a especificação prévia do valor do parâmetro " $K$ ". Assim, especificando-se um valor de DHT desejável para a corrente de entrada (de linha), conforme Figura 3, um valor correspondente de " $K$ " é obtido nesta Figura, considerando-se a equação (8).

Na seqüência, um parâmetro importante, utilizado para projetar o retificador híbrido, é a relação entre o valor médio da corrente de saída para cada retificador, não controlado e controlado, e o valor médio total da corrente de saída através da carga. Neste contexto, a Figura 4 apresenta os valores percentuais das correntes médias processadas pelo retificador não controlado ( $I_{Retif\_1} [\%]$ ), e pelo retificador controlado

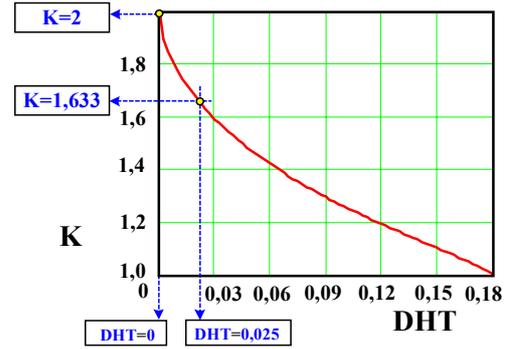


Fig. 3. Parâmetro " $K$ " em função da DHT da corrente de entrada para o retificador trifásico híbrido.

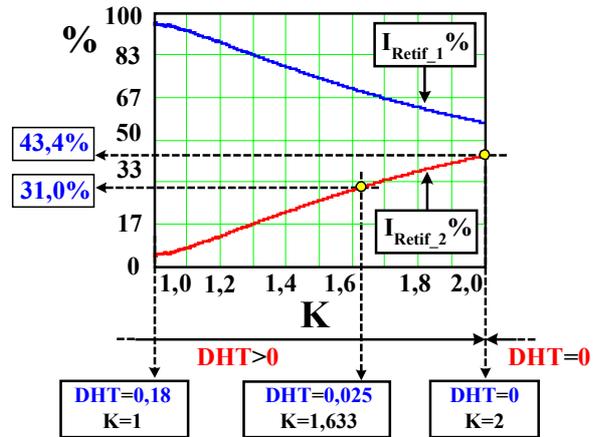


Fig. 4. Variação percentual das correntes médias de saída  $I_{Retif\_1} [\%]$  e  $I_{Retif\_2} [\%]$ , em relação à corrente média de saída total, como uma função do parâmetro " $K$ ".

( $I_{Retif\_2} [\%]$ ), em relação à corrente média total na carga, como uma função do parâmetro " $K$ ", conforme equações (21) e (22). Através das Figuras 3 e 4, é mostrado que considerando uma DHT menor do que 3% para a corrente de entrada (de linha),  $i_a(\omega.t)$ , o valor do parâmetro " $K$ " cresce numa taxa elevada, aumentando-se também o valor da potência processada pelo retificador controlado. Portanto, um ponto de operação com uma DHT em torno de 3% deverá ser considerado, com o objetivo de reduzir a relação ( $I_{Retif\_2} [\%]$ ), para os conversores controlados SEPIC. A escolha definitiva do ponto de operação requererá uma verificação, através da equação (7), dos valores das componentes harmônicas da corrente de entrada, corrente de linha, em relação ao atendimento dos limites estabelecidos pelas normas específicas, tais como: IEC 61000-3-2, ou, IEC 61000-3-4, ou, IEEE 519.

### III. CONTROLE DIGITAL PROPOSTO

O controle digital proposto utiliza dispositivo FPGA e linguagem VHDL para impor as formas de onda das correntes de entrada dos retificadores SEPIC. Para compor o controle proposto, é necessário fazer a amostragem das tensões de entrada  $v_a(\omega.t)$  na fase "a",  $v_b(\omega.t)$  na fase "b" e  $v_c(\omega.t)$  na fase "c", e, adicionalmente, a corrente de entrada  $i_{in1}(\omega.t)$  do conversor SEPIC<sub>1</sub> e a corrente de saída  $i_{Retif\_1}(\omega.t)$

do retificador não controlado, destacadas na Figura 1. A idéia básica deste controle é que a corrente  $i_{in1}(\omega.t)$  siga uma referência de corrente, de modo que a corrente  $i_{a2}(\omega.t)$ , quando somada com  $i_{a1}(\omega.t)$ , resulte em uma corrente  $i_a(\omega.t)$  com o mesmo formato da curva teórica visualizada na Figura 2. No intuito de operar o retificador híbrido com um fator de potência quase unitário, é gerada digitalmente uma referência de corrente  $S_{mal\_Ref\_sen}(n)$ , como é mostrado na Figura 5, com o objetivo de impor o formato da corrente  $i_{a2}(\omega.t)$ , conforme Figura 2. Assim, para compor a lógica de controle mostrada na Figura 5, serão necessários dois sinais lógicos auxiliares  $C_{control\_I_{sen}}(n)$  e  $C_{control\_I_{a1}}(n)$ . Estes sinais lógicos auxiliares são gerados através de um outro sinal lógico denominado  $I_{a1\_sensor}(n)$ , conforme Figura 6. O sinal lógico  $I_{a1\_sensor}(n)$ , gerado por um sensor analógico, recebe sinal lógico “1” se  $i_{a1}(\omega.t) = 0$ , senão  $I_{a1\_sensor}(n)$  receberá sinal lógico “0”. A largura dos sinais  $C_{control\_I_{sen}}(n)$  e  $C_{control\_I_{a1}}(n)$ , dependem do intervalo de descontinuidade “ $\omega.\Delta t(K)$ ”, calculado pela equação (3).

Assim, conforme Figura 5, o sinal  $C_{control\_I_{a1}}(n)$  receberá sinal lógico “1” se  $\{30^\circ + \omega.\Delta t(K)\} < \omega.t < \{150^\circ -$

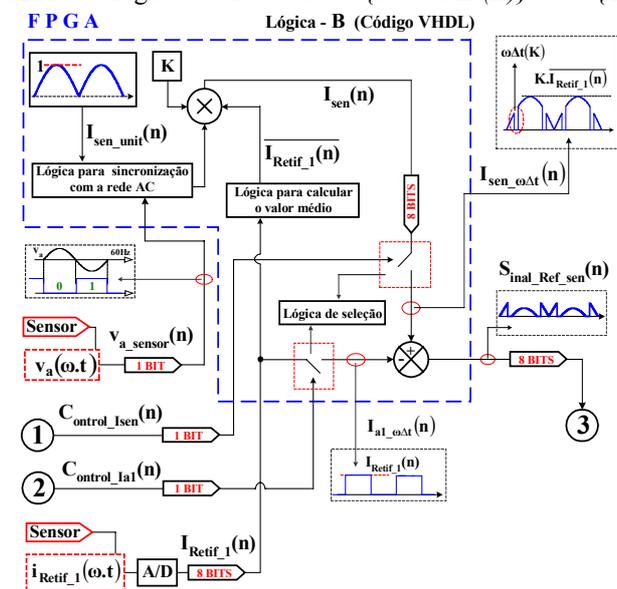


Fig. 5. Detalhes da lógica para gerar a corrente de referência para o SEPIC<sub>1</sub>.

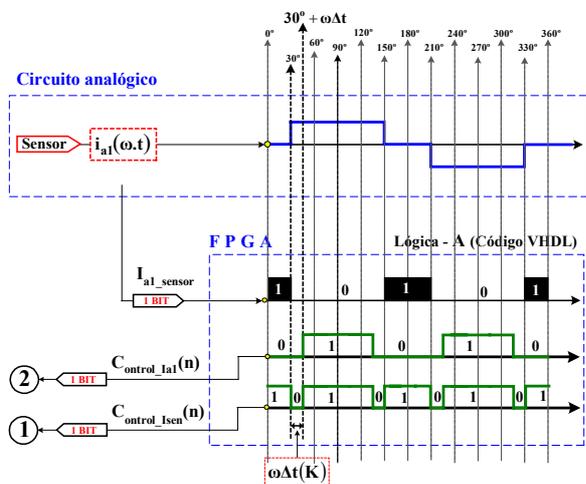


Fig. 6. Lógica auxiliar para gerar a corrente de referência para o SEPIC<sub>1</sub>.

$\omega.\Delta t(K)\}$  ou se  $\{210^\circ + \omega.\Delta t(K)\} < \omega.t < \{330^\circ - \omega.\Delta t(K)\}$ , senão  $C_{control\_I_{a1}}(n)$  receberá sinal lógico “0”. Adicionalmente, o sinal  $C_{control\_I_{sen}}(n)$  receberá sinal lógico “0” se  $30^\circ < \omega.t < \{30^\circ + \omega.\Delta t(K)\}$ , se  $\{150^\circ - \omega.\Delta t(K)\} < \omega.t < 150^\circ$ , se  $210^\circ < \omega.t < \{210^\circ + \omega.\Delta t(K)\}$  ou se  $\{330^\circ - \omega.\Delta t(K)\} < \omega.t < 330^\circ$ , senão  $C_{control\_I_{sen}}(n)$  receberá sinal lógico “1”. Na Figura 5, os sinais de entrada são: os sinais de controle  $C_{control\_I_{a1}}(n)$  e  $C_{control\_I_{sen}}(n)$ , e, a corrente de saída  $I_{Retif\_1}(n)$ . O propósito do sinal  $C_{control\_I_{a1}}(n)$  é o estabelecimento de uma corrente digital  $I_{a1\_omegaDelta}(n)$ , através da seguinte lógica de seleção: Se  $C_{control\_I_{a1}}(n) = “1”$ ,  $I_{a1\_omegaDelta}(n) = I_{Retif\_1}(n)$ , senão se  $C_{control\_I_{a1}}(n) = “0”$ ,  $I_{a1\_omegaDelta}(n) = “00000000”$ . O sinal  $I_{sen\_unit}(n)$  é uma corrente senoidal retificada com a amplitude unitária, gerada digitalmente e sincronizada com a rede através do sinal  $V_{a\_sensor}(n)$ . O sinal  $V_{a\_sensor}(n)$ , dado por um sensor analógico, recebe sinal lógico “0” se  $v_a(\omega.t) > 0$ , senão  $V_{a\_sensor}(n)$  recebe sinal lógico “1”. Assim, multiplicando-se a corrente de saída  $I_{Retif\_1}(n)$  pelo parâmetro “K” e por  $I_{sen\_unit}(n)$ , resultará um sinal senoidal  $I_{sen}(n)$  com uma amplitude  $K.I_{Retif\_1}(n)$ . O sinal  $C_{control\_I_{sen}}(n)$  é usado para obter um intervalo de descontinuidade “ $\omega.\Delta t(K)$ ” no sinal  $I_{sen}(n)$ , resultando no sinal  $I_{sen\_omegaDelta}(n)$ , o qual é obtido através da seguinte lógica de seleção: Se  $C_{control\_I_{sen}}(n) = “1”$ ,  $I_{sen\_omegaDelta}(n) = I_{sen}(n)$ , senão se  $C_{control\_I_{sen}}(n) = “0”$ ,  $I_{sen\_omegaDelta}(n) = “00000000”$ . Deste modo, o controle para a DHT da corrente de entrada, de linha, é obtido somente com a especificação do parâmetro “K” desejável, conforme análise teórica discutida previamente. Finalmente, a referência de corrente  $S_{sinal\_Ref\_sen}(n)$  para o SEPIC<sub>1</sub> é gerada pela subtração  $I_{sen\_omegaDelta}(n) - I_{a1\_omegaDelta}(n)$ , conforme diagrama mostrado na Figura 5.

#### A. Modulação por Histerese Digital

Uma modulação por histerese totalmente digital é caracterizada por usar somente as amostras das variáveis controladas para determinar os estados ON (em condução) e OFF (bloqueado) do interruptor controlado. Esta técnica tem sido bastante aplicada na sua forma padrão, ou seja, o interruptor é imediatamente comandado para a condução sempre que a corrente controlada atingir o limite inferior da banda de histerese, e é comandado para o bloqueio sempre que corrente controlada atingir o limite superior da banda de histerese. No entanto, devido ao processo de aquisição de dados, através dos conversores A/D (Analogical-Digital Converter), a corrente digitalizada não comuta exatamente nos limites inferior e superior da banda de histerese, tendo em vista que a decisão de comandar o interruptor ao bloqueio ou à condução acontece somente após a aquisição do dado, resultando em uma variação adicional da frequência de comutação, fato que não ocorre na modulação por histerese analógica convencional. Considerando que os instantes de comutação são sempre múltiplos do período de aquisição de dados, poderá resultar em frequências de operação impraticáveis para que um valor médio instantâneo desejável da corrente controlada seja garantido. Constam na literatura várias técnicas desenvolvidas com o objetivo de minimizar este problema. Em [9] os autores propuseram uma modulação por histerese digital baseada na previsão do instante de comutação do interruptor controlado, analisando-se as derivadas de subida e descida da corrente controlada, o

que teoricamente evita variações adicionais indesejáveis da frequência de comutação, associadas ao processo de aquisição de dados. Além disso, em [10], foi utilizado um algoritmo de estabilização da frequência de comutação, mantendo-se as vantagens da técnica PWM. Baseando-se parcialmente nos conceitos aplicados em [9], é proposta neste artigo uma metodologia bastante simples usando uma modulação por histerese para gerar os pulsos de controle para o retificador SEPIC<sub>1</sub>, evitando-se os erros de comutação no limite superior da banda de histerese. Nesta modulação, a referência superior da banda de histerese é eliminada, conforme Figuras 7 e 8. O controle da variação do ripple e da frequência da corrente de entrada  $i_{in1}(\omega.t)$  do SEPIC<sub>1</sub> é realizado impondo-se um intervalo de condução  $t_{ON}$  constante através da lei de controle de modulação dada pelos estados  $E_0, E_1, E_2, E_3$  e  $E_4$ , em detalhe na Figura 8. O intervalo de tempo  $t_{ON}$  ocorre durante o estado  $E_0$  e o  $P_{ulso\_SEPIC1}$  recebe sinal lógico “1”. Este intervalo de tempo é controlado através de um contador lógico crescente, que determina exatamente o instante da transição para o estado  $E_1$ , evitando erros do comparador associados ao processo de aquisição, conforme discutido anteriormente. Nos estados  $E_1$  e  $E_3$  ocorrem as transições de comutação ON para OFF ( $P_{ulso\_SEPIC1}$  recebe sinal lógico “0”) e OFF para ON ( $P_{ulso\_SEPIC1}$  recebe sinal lógico “1”), respectivamente. Nestes estados, também não existe atuação do comparador, assim, os intervalos de tempo são controlados por contadores

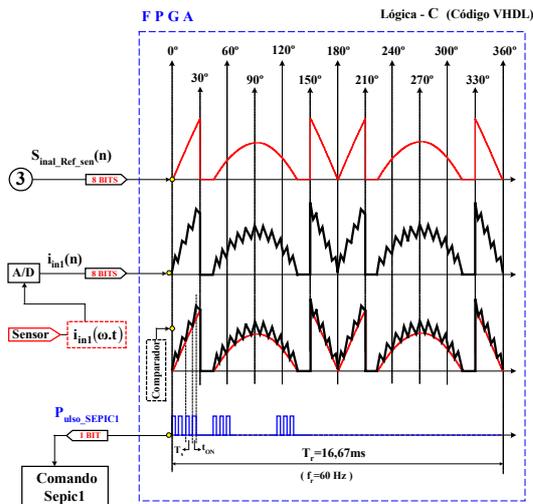


Fig. 7. Metodologia para gerar pulsos de controle do retificador monofásico SEPIC<sub>1</sub>.

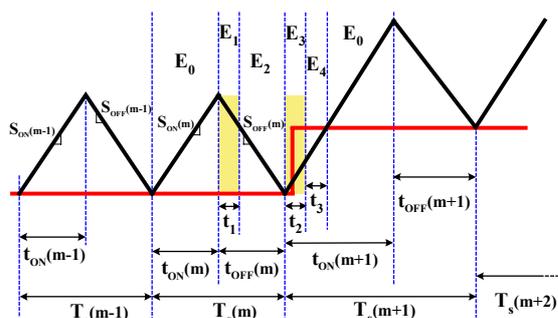


Fig. 8. Detalhe do funcionamento da modulação por histerese digital proposta.

lógicos, com o objetivo de evitar uma atuação inadequada do controle devido à presença de ruídos de comutação. O intervalo de tempo  $T_{OFF}$  ocorre durante o estado  $E_2$ . Este intervalo de tempo é controlado pelo comparador dentro da seguinte lógica: Se  $I_{in1}(n) \geq S_{in1\_Ref\_sen1}(n)$ ,  $P_{ulso\_SEPIC1}$  receberá sinal lógico “0”, senão, se  $I_{in1}(n) < S_{in1\_Ref\_sen1}(n)$ ,  $P_{ulso\_SEPIC1}$  receberá sinal lógico “1” e o estado muda para  $E_3$ . Finalmente, o estado  $E_4$  tem a função de verificar se o  $S_{in1\_Ref\_sen1}(n)$  teve o seu valor alterado durante o estado  $E_3$ , dentro da seguinte lógica: Se  $I_{in1}(n) \geq S_{in1\_Ref\_sen1}(n)$ , o estado muda para  $E_0$ , senão, se  $I_{in1}(n) < S_{in1\_Ref\_sen1}(n)$ , o estado  $E_4$  é mantido. O  $P_{ulso\_SEPIC1}$  recebe somente sinal lógico “1” no estado  $E_4$ . Assim, o comportamento dinâmico inerente da modulação por histerese analógica é perfeitamente garantido.

#### IV. RESULTADOS EXPERIMENTAIS

Considerando a análise teórica discutida nas seções II e III, aplicada para o controle digital proposto, um protótipo do retificador trifásico híbrido foi construído para uma potência de 3,0 kW. Os dados de entrada e saída, incluindo os parâmetros projetados e componentes usados no protótipo são mostrados na Tabela I. Na Figura 9 apresenta-se uma vista geral da estrutura implementada, contemplando o retificador não controlado (Ponte retificadora trifásica de diodos e o filtro LC de saída), os retificadores monofásicos SEPIC conectados em paralelo nas fases “a”, “b” e “c”, circuitos de condicionamento de sinais e o dispositivo FPGA XC2S200E da Xilinx (Versão 6.303i/Spartan2e).

TABELA I  
Parâmetros do Retificador Trifásico Híbrido

Dados de entrada e saída		Parâmetros do circuito	
Parâmetro	Valor	Parâmetro	Valor
$V_{in}$ fase(eficaz)	129,6 V	$S_{1,2,3}$	HGTG7N60A4D
$V_o$	298,7 V	$D_{1,1,2,13,14,19}$	RHRP860
$I_o$	10,05 A	$D_{20,25,26,27}$	RHRP860
$P$	3,0kW	$D_{7,8,9,10}$	GBU8J
$I_{Retif-1}$	6,83 A	$L_{1,2,4,5,6,7}$	2,5mH – EE55/21
$I_{Retif-2}$	3,22 A	$L_{3,6,8}$	5mH – EE55/21
$f_s$ max	43,86 kHz	$D_{1,2,3,4,5,6}$	SKD2508
$f_s$ min	27,4 kHz	$L_{O1}$ e $L_{O2}$	22mH
$K$	1,633	$C_o$	680uF

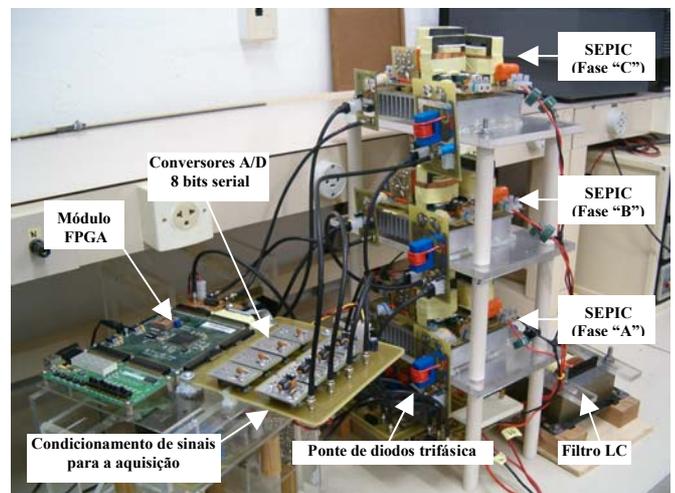


Fig. 9. Vista geral do retificador trifásico híbrido, implementado.

As formas de onda mostradas nas Figuras 10, 11 e 12, constituem os resultados experimentais das fases “a”, “b” e “c” do retificador trifásico híbrido operando com a potência de 100% da carga nominal ( $P=3,0\text{ kW}$ ). Analisando os resultados das formas de onda das correntes de entrada de linha, através do software Wavestar da Tektronix, mostrados na Figura 10, foi confirmada uma DHT=4,03% para  $i_a(\omega.t)$ , DHT=4,18% para  $i_b(\omega.t)$  e DHT=4,54% para  $i_c(\omega.t)$ , conforme espectro harmônico apresentado nas Figuras 13, 14 e 15, respectivamente. Portanto, considerando os valores

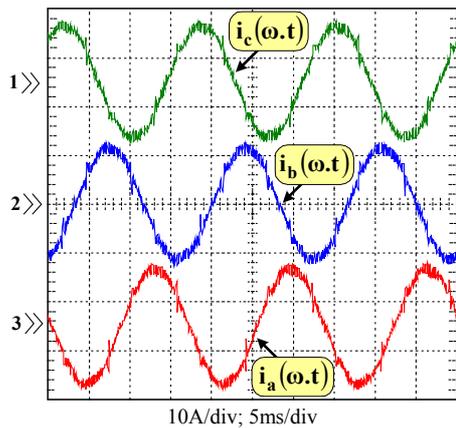


Fig. 10. Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, para o retificador trifásico híbrido.

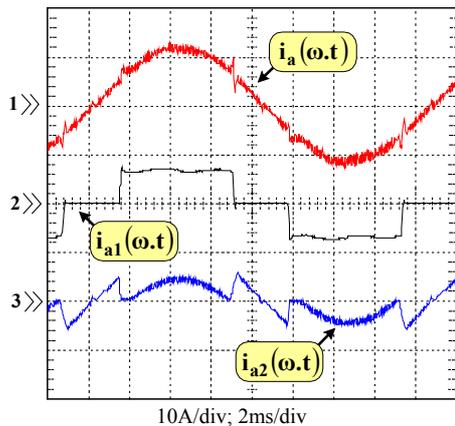


Fig. 11. Detalhes da forma de onda da corrente de entrada de linha, na fase “a”, para o retificador trifásico híbrido.

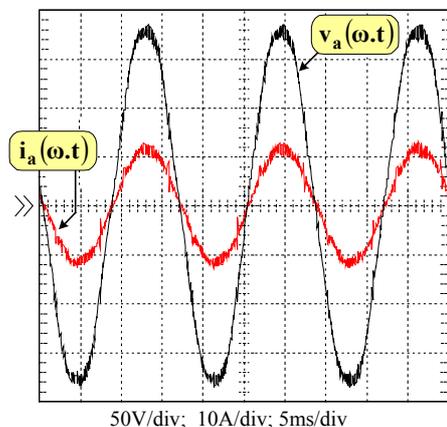


Fig. 12. Detalhes das formas de onda da corrente e tensão de entrada de linha, na fase “a”, para o retificador trifásico híbrido.

eficazes das correntes de linha processadas ( $i_{aef}=8,25\text{ A}$ ,  $i_{bef}=8,16\text{ A}$  e  $i_{cef}=8,05\text{ A}$ ) pelo protótipo implementado, pode-se concluir que a norma IEC 61000-3-2 é obedecida plenamente. Contudo, objetivando a aplicação para potências elevadas ( $i_{aef}>16\text{ A}$ ) e atender os limites impostos pela IEC 61000-3-4, os resultados comentados anteriormente deverão ser melhorados com a imposição de um sincronismo apropriado entre as correntes de entrada não controlada  $\{i_{a1}(\omega.t)\}$  e a controlada  $\{i_{a2}(\omega.t)\}$ , com o finalidade de compor uma corrente de entrada de linha  $\{i_a(\omega.t)\}$ , conforme Figura 2 (mostrada na seção II). Na Figura 12, são destacadas as formas de onda da tensão de entrada  $\{v_a(\omega.t)\}$  e a corrente de entrada  $\{i_a(\omega.t)\}$  com uma defasagem de  $3,15^\circ$ . É importante enfatizar que foi verificada para a tensão de entrada  $\{v_a(\omega.t)\}$  uma DHT=2,71%, através do software Wavestar, devido ao conteúdo harmônico existente na rede de alimentação.

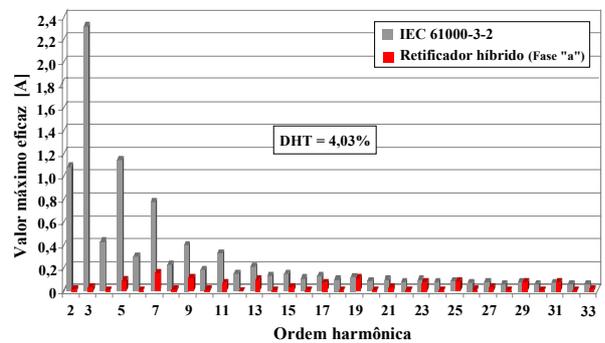


Fig. 13. Espectro harmônico para a corrente de entrada  $i_a(\omega.t)$ , em 100% da potência nominal.

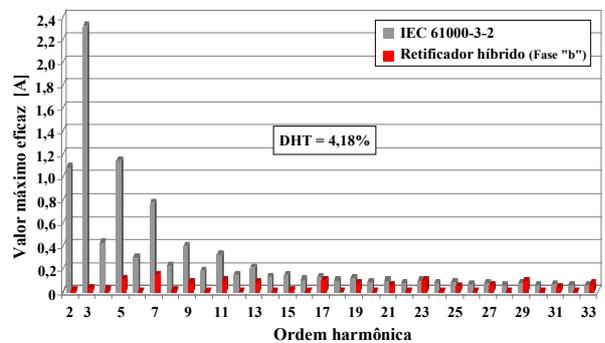


Fig. 14. Espectro harmônico para a corrente de entrada  $i_b(\omega.t)$ , em 100% da potência nominal.

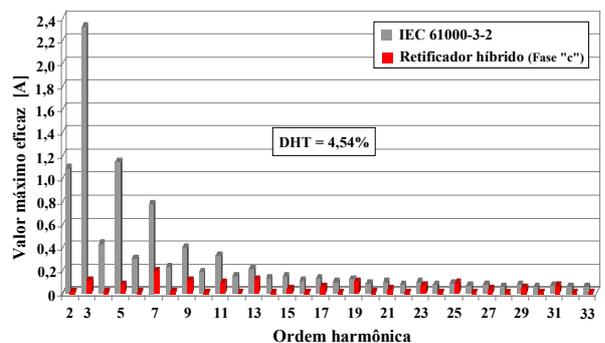


Fig. 15. Espectro harmônico para a corrente de entrada  $i_c(\omega.t)$ , em 100% da potência nominal.

Contudo, isto não causou nenhum problema para o funcionamento do protótipo implementado, resultando em um fator de potência quase unitário ( $FP=0,99$ ). No intuito de avaliar o desempenho da técnica de controle digital proposta para o retificador trifásico híbrido, operando em regime permanente, considerando outros valores de carga diferentes da potência nominal, verificou-se a DHT das correntes de entrada e o atendimento à norma IEC61000-3-2, também para os seguintes níveis de potência: 83,33% ( $P=2,5\text{ kW}$ ), 50% ( $P=1,5\text{ kW}$ ) e 20% ( $P=0,6\text{ kW}$ ) da potência nominal. Com os resultados experimentais obtidos para estes três níveis de potência, mostrados respectivamente nas Figuras 16, 17 e 18, e analisados através do software Wavestar, concluiu-se que as amplitudes das componentes harmônicas das correntes de entrada das fases “a”, “b” e “c” encontradas estão em conformidade com a norma IEC61000-3-2, sem qualquer filtro adicional na entrada. Observou-se um acréscimo da DHT das correntes de entrada com a redução da potência processada pelo retificador híbrido, entretanto, há um decréscimo das amplitudes das componentes harmônicas, facilitando o atendimento à norma nesta condição de operação. Assim, considera-se necessário apresentar para cada nível de potência (83,33%, 50% e 20%) o espectro harmônico para apenas uma única fase das correntes de entrada (aquela que possui a maior DHT), respectivamente, mostrados nas Figuras 19, 20 e 21.

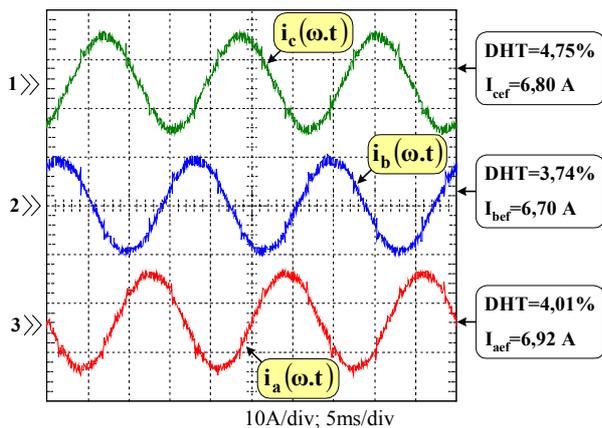


Fig. 16. Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, em 83,33% da potência nominal.

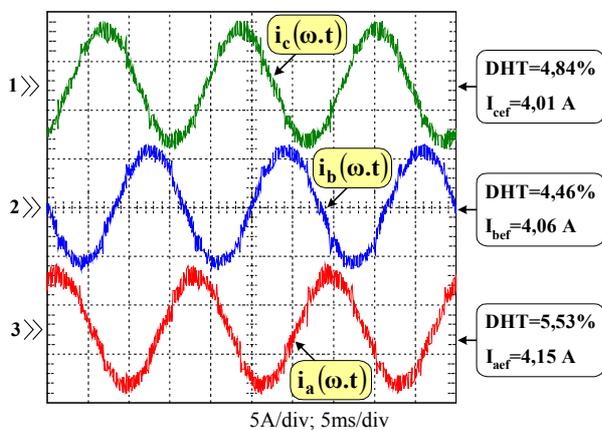


Fig. 17. Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, em 50% da potência nominal.

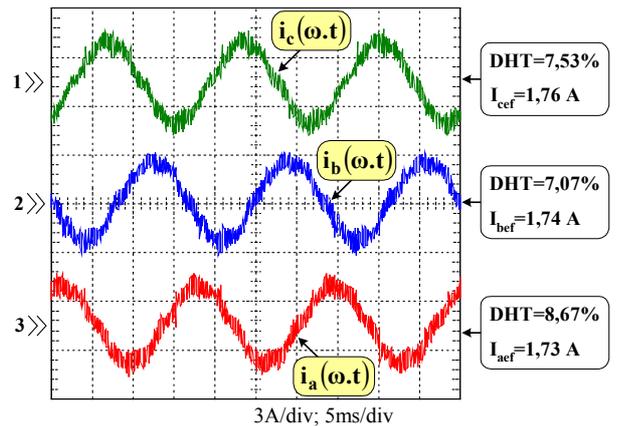


Fig. 18. Formas de onda das correntes de entrada de linha nas fases “a”, “b” e “c”, em 20% da potência nominal.

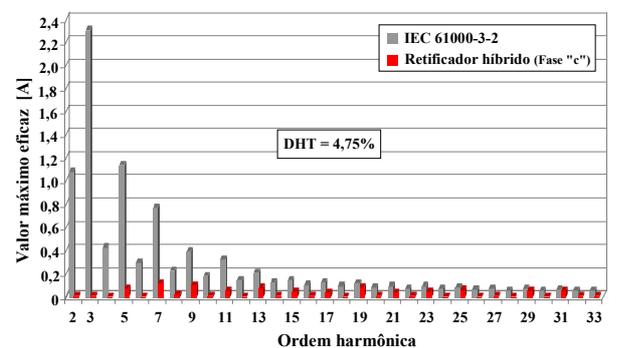


Fig. 19. Espectro harmônico para a corrente de entrada  $i_c(\omega.t)$ , em 83,33% da potência nominal.

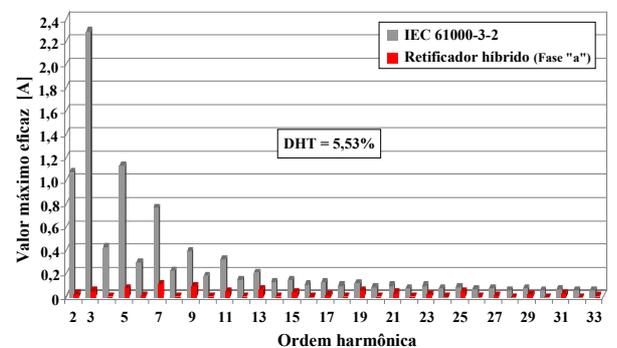


Fig. 20. Espectro harmônico para a corrente de entrada  $i_a(\omega.t)$ , em 50% da potência nominal.

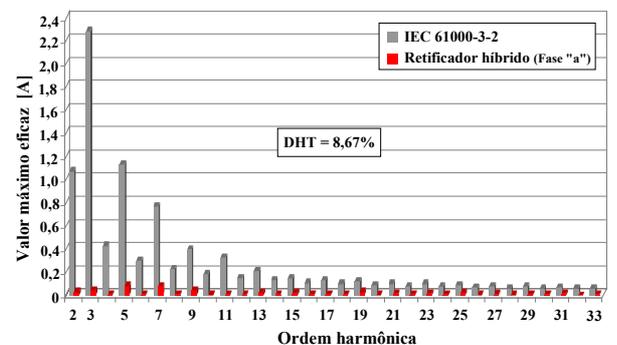


Fig. 21. Espectro harmônico para a corrente de entrada  $i_a(\omega.t)$ , em 20% da potência nominal.

## V. CONCLUSÕES

Neste trabalho foram apresentadas as análises e resultados experimentais da lógica de controle digital e modulação por histerese, aplicada em um retificador trifásico híbrido, capaz de impor a DHT das correntes de entrada de linha, resultando em um fator de potência elevado para o conversor analisado. O controle digital usando a modulação por histerese variável foi descrito em linguagem VHDL e implementado através de um dispositivo FPGA. Foi verificado através dos resultados experimentais analisados que o valor máximo de DHT das correntes de entrada de linha não ultrapassou 4,54%, para a potência nominal, resultando em um fator de potência quase unitário (FP=0,99). Através da decomposição das correntes de entrada do retificador híbrido, em séries de Fourier, e usando relações matemáticas do próprio circuito, foi definida uma metodologia de projeto que estabelece uma relação entre a DHT imposta para as correntes de linha de entrada e a potência ativa total processada pelos retificadores controlado e não controlado. Portanto, o principal objetivo desta análise teórica é obter um valor máximo de DHT para as correntes de entrada de linha, cujo conteúdo harmônico correspondente atenda os limites estabelecidos pelas normas internacionais, e, conseqüentemente, um valor mínimo de potência processada pelo retificador controlado. Dentre as vantagens do retificador trifásico híbrido, são destacados os benefícios econômicos desta topologia, que são extremamente viáveis para instalações de potências médias e elevadas, devido a sua eficiência e desempenho. A potência total ativa processada pelos retificadores monofásicos SEPIC representa uma fração reduzida de 32% da potência ativa total de saída. Além disso, por estarem operando no modo de condução contínua e modulação por histerese, oferecem volume e peso reduzidos para a estrutura. Adicionalmente, o uso da técnica de controle digital proposta, implementada em dispositivo FPGA, permite uma flexibilidade importante e facilidades para impor uma forma de onda desejável e especificada, para as correntes de entrada, incluindo formas de ondas senoidais, através do código VHDL, constituindo em uma DHT para as correntes de entrada do retificador trifásico analisado, verdadeiramente programável.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Std 61000-3-2 and 61000-3-4, "Limits for Harmonic Current Emissions", 1998.
- [2] IEEE Std 519, "IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems", 1992.
- [3] J. W. Kolar, and H. Ertl, "Status of the Techniques of Three-Phase Rectifier Systems with Low Effects on the Mains", in *Proc. of IEEE International Telecommunications Energy Conference*, pp. 1-16, 1999.
- [4] L. C. G. Freitas, E. A. A. Coelho, M. G. Simões, C. A. Canesin, L. C. Freitas, "Um novo retificador trifásico híbrido multipulsos com elevado fator de potência", *Eletrônica de Potência – SOBRAEP*, vol. 10, n.º. 2, pp. 17-24, 2005.
- [5] L. C. G. Freitas, M. G. Simões, C. A. Canesin, L. C. de Freitas, "Programmable PFC Based Hybrid Multipulse Power Rectifier for Ultra Clean Power Application", *IEEE Transactions on Power Electronics*, vol. 21, n.º 4, pp. 956-966, 2006.
- [6] L. C. G. Freitas, M. G. Simões, C. A. Canesin, L. C. de Freitas, "Performance Evaluation of a Novel Hybrid Multipulse Rectifier for Utility Interface of Power Electronics Converters", *IEEE Transactions on Industry Applications*, vol. 54, no. 6, pp. 3030-3041, 2007.
- [7] R. W. Erickson, *Fundamentals of Power Electronics*, Kluwer Academic Publishers, 2ª Edição, Boulder, 2001.
- [8] A. de Castro, P. Zumel, O. Garcia, T. Riesgo, and J. Uceda, "Concurrent and Simple Digital Controller of an AC/DC Converter With Power Factor Correction Based on an FPGA", *IEEE Transactions on Industry Applications*, vol. 18, no. 1, pp. 334-343, January 2003.
- [9] W. Stefanutti, P. Mattavelli, "Fully Digital Hysteresis Modulation With Switching-Time Prediction", *IEEE Transactions on Industry Applications*, vol. 42, no. 3, pp. 763-769, May/June 2006.
- [10] L. Sonaglioni, "Predictive Digital Hysteresis Current Control", in *Proc. of IEEE Industry Application Society Conference*, vol. 3, pp. 1879-1886, 1995.

## DADOS BIOGRÁFICOS

**Carlos A. Canesin**, nascido em 11/07/1961 em Lavínia (SP) é engenheiro eletrícista (1984) pela Universidade Estadual Paulista (UNESP), mestre (1990) e doutor (1996) em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC). Atualmente é professor titular do Departamento de Engenharia Elétrica (DEE) da UNESP-FEIS. É editor associado da IEEE Transactions on Power Electronics. Suas áreas de interesse incluem qualidade da energia elétrica, técnicas de comutação não-dissipativa, conversores CC-CC, retificadores e inversores, fontes de alimentação chaveadas, reatores para iluminação e técnicas de correção ativa do fator de potência.

**Jurandir de O. Soares**, nascido em 28/03/1971 em Camapuã (MS) é engenheiro eletrícista (2000) pela Universidade para o Desenvolvimento do Estado e Região do Pantanal, e mestre (2004) em Engenharia Elétrica pela Universidade Estadual Paulista. Atualmente é aluno do curso de Doutorado em Engenharia Elétrica da Universidade Estadual Paulista, área de Eletrônica de Potência. Suas áreas de interesse são: Controle digital e técnicas de correção ativa do fator de potência.

**Luiz C. de Freitas**, nascido em 01/04/1952 em Monte Alegre de Minas (MG) é engenheiro eletrícista (1975) pela Universidade Federal de Uberlândia, mestre (1985) e doutor em Engenharia Elétrica (1992) pela Universidade Federal de Santa Catarina. Atualmente é professor titular da Universidade Federal de Uberlândia. Suas áreas de interesse são: Conversão de potência em alta frequência, modelamento e controle de conversores, circuitos para correção de fator de potência e novas topologias de conversores.

**Flávio A. S. Gonçalves**, nascido em 25/02/1975 em Porto velho (RO) é engenheiro eletrícista (1998), mestre (2001) e doutor (2005) em Engenharia Elétrica pela Universidade Estadual Paulista. Atualmente é professor colaborador na Universidade Estadual Paulista e pesquisador associado ao Laboratório de Eletrônica de Potência (LEP). Suas áreas de interesse são: Qualidade da energia elétrica, controle digital (FPGA, DSP, Microcontroladores, J2ME) e técnicas de correção ativa do fator de potência.