

CORREÇÃO DE FATOR DE POTÊNCIA COM CONVERSORES BOOST ZCS ENTRELAÇADOS OPERANDO NO MODO DE CONDUÇÃO CRÍTICA

Carlos M. de O. Stein, José R. Pinheiro e Hélio L. Hey

UFSM - CT - DELC

97105-900 - Santa Maria - RS - Brasil

E-mail: cmstein@ieee.org, renes@pequim.ctlab.ufsm.br, hey@pequim.ctlab.ufsm.br

Resumo – A aplicação de circuitos auxiliares de comutação ZCS (*zero current switching*) em conversores boost entrelaçados (*interleaved*), operando no modo de condução crítica (C-DCM) é investigada. A operação no modo C-DCM propicia que as chaves principais sejam habilitadas naturalmente em ZCS, além de reduzir as perdas devido à recuperação reversa dos diodos boost. O bloqueio das chaves principais em ZCS é garantido pelos circuitos auxiliares à comutação, os quais são acionados apenas durante as comutações destas chaves. Através do uso da técnica de entrelaçamento (*interleaving*) de conversores, a ondulação (*ripple*) da corrente de entrada é minimizada. O circuito de comando dos conversores foi implementado utilizando um único dispositivo lógico programável do tipo EPLD (*Erasable Programmable Logic Device*). São apresentados os resultados experimentais obtidos com um protótipo de 1,2 kW operando com uma tensão CA de entrada de 120 Vrms e uma tensão CC de saída de 300 V.

Abstract – The application of the ZCS auxiliary commutation circuits in the interleaved boost converters, operating in critical conduction mode (C-DCM), is investigated. Due to the C-DCM, the main switches turn-on occurs naturally in ZCS, besides to reduce the reverse recovery losses of the boost diodes. The use of the auxiliary commutation circuits provides ZCS at the main switches turn-off and they are only activated during the main switches commutations. By using the interleaved converters technique, the input current ripple is minimized. The control circuit of the converters has been implemented using a single Erasable Programmable Logic Device (EPLD). The experimental results obtained from a 1.2 kW prototype operating with input AC voltage source of 120 Vrms and an output DC voltage of 300 V are presented.

I. INTRODUÇÃO

Para que padrões internacionais, como IEC-1000-3-2, sejam atendidos, muitas técnicas ativas de correção de fator de potência (PFC) têm sido desenvolvidas. A utilização destas técnicas de PFC auxilia na redução dos distúrbios causados por cargas não lineares, especialmente harmônicas de corrente, em sistemas elétricos. Neste sentido, a técnica mais popular é a utilização de conversores boost monofásicos operando no modo de condução contínua (CCM) [1, 2]. Os principais aspectos favoráveis desta configuração são: a característica elevadora de tensão, simplicidade da topologia, alta eficiência, e o fato de apresentar uma corrente contínua na entrada. Entretanto, a operação do conversor boost no modo CCM pode apresentar alguns aspectos negativos, como a grande corrente de recuperação reversa no diodo boost, além de perdas de comutação. Isto resulta em uma considerável emissão de interferência eletromagnética (EMI), além de uma redução a eficiência do conversor [3].

A utilização de técnicas de comutação suave tem sido proposta na literatura como uma solução para estas desvantagens [6-10]. Uma outra alternativa é a utilização da técnica de conversores boost entrelaçados (*interleaved*) operando no modo de condução descontínua (DCM) ou no modo de condução crítica (C-DCM) [3-5]. Isto pode permitir a redução das perdas de condução nas chaves, mantendo-se uma boa conformação da corrente de entrada, além de garantir que a entrada em condução das chaves principais ocorra naturalmente em ZCS. Entretanto, as perdas de bloqueio das chaves não são minimizadas, o que ocorre sob condição de corrente máxima.

Para melhorar o rendimento dos conversores boost entrelaçados em C-DCM, neste trabalho é investigada a utilização de circuitos auxiliares de comutação que propiciem comutações do tipo ZCS no bloqueio das chaves principais destes conversores.

A operação dos circuitos auxiliares de comutação ZCS aplicados a conversores boost entrelaçados é analisada na seção II. Na seção III é apresentado um exemplo de projeto. Na seção IV é demonstrada a estratégia do circuito de comando, o qual é implementado utilizando-se dispositivos lógicos programáveis do tipo EPLD. Os resultados experimentais obtidos com um protótipo de 1,2 kW operando com uma tensão CA de entrada de 120 Vrms e uma tensão CC de saída de 300 V são apresentados na seção V. Na última seção são apresentadas as considerações finais, traçadas a partir das conclusões obtidas nesta investigação.

II. PRINCÍPIO DE OPERAÇÃO

A. Conversores Boost ZCS Entrelaçados

A Fig. 1 mostra dois conversores boost ZCS entrelaçados. Cada um destes conversores apresenta um circuito auxiliar de comutação composto por um capacitor ressonante C_{R1} (C_{R2}), um indutor ressonante L_{R1} (L_{R2}), e uma chave bidirecional em corrente S_{A1} - D_{A1} (S_{A2} - D_{A2}). Desde que os conversores operam no modo de condução crítica (C-DCM), a entrada em condução das chaves principais ocorre naturalmente em ZCS, deixando para o circuito auxiliar a função de garantir condições para que o bloqueio destes dispositivos ocorra em ZCS. As principais características desta topologia são:

- Entrada em condução em ZCS e bloqueio em ZCS e ZVS para as chaves principais e auxiliares;
- Entrada em condução em ZCS e ZVS e bloqueio em ZCS para os diodos boost;

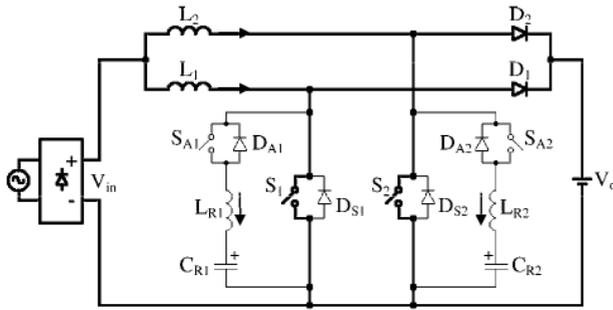


Fig. 1. Conversores boost ZCS entrelaçados.

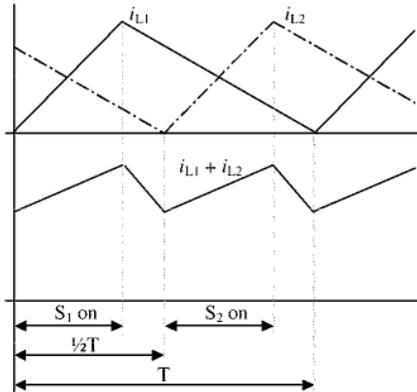


Fig. 2. Formas de onda ideais das correntes nos indutores.

- As perdas devido à recuperação reversa dos diodos boost são minimizadas;
- Os circuitos auxiliares de comutação estão localizados fora do caminho principal do fluxo de potência, sendo ativados apenas durante as transições das chaves principais;
- A ondulação da corrente de entrada é reduzida, quando comparada à de um único conversor boost operando no modo de condução crítica;
- Operação no modo de condução crítica (C-DCM).

Na Fig. 2 estão representadas as formas de onda ideais das correntes nos indutores L_1 e L_2 operando em C-DCM. A forma de onda resultante da soma das correntes nos indutores boost corresponde à corrente de entrada do conversor, sendo similar à forma de onda da corrente de entrada de um conversor boost operando em CCM. A menor ondulação na corrente de entrada é obtida para uma defasagem de meio período de chaveamento entre os sinais de comando das chaves principais.

B. Operação em Frequência Variável

Na Fig. 3 está representado um detalhe da corrente em um dos indutores boost, onde t_{on} é o tempo de condução da chave principal, t_{off} o tempo de condução do diodo boost e T é o período de chaveamento. A corrente no indutor boost deve atingir zero no final de cada período. Assim:

$$\left| \Delta i_{t_{on}} \right| = \left| \Delta i_{t_{off}} \right| \quad (1)$$

A tensão de entrada é definida como:

$$V_{in}(t) = V_p \sin(\omega t) \quad (2)$$

Então:

$$\frac{V_p \sin(\omega t) \cdot t_{on}}{L_1} = \frac{(V_o - V_p \sin(\omega t)) t_{off}}{L_1} \quad (3)$$

A variação da frequência de chaveamento, a qual garante a operação do conversor boost em C-DCM, pode ser obtida da equação (3):

$$f_s(t) = \frac{1 - a \sin(\omega t)}{t_{on}} \quad (4)$$

onde a é a relação entre o pico da tensão de entrada e o valor da tensão de saída, como mostrado a seguir:

$$a = \frac{V_p}{V_o} \quad (5)$$

Na Fig. 4 está representada a variação da frequência de chaveamento em função do ângulo da tensão de entrada para diferentes valores de a .

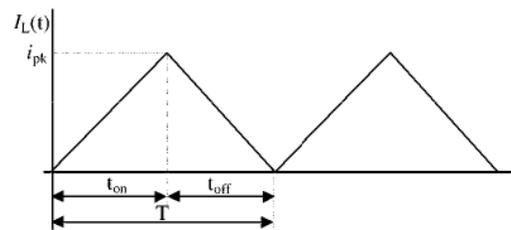


Fig. 3. Corrente em um dos indutores boost.

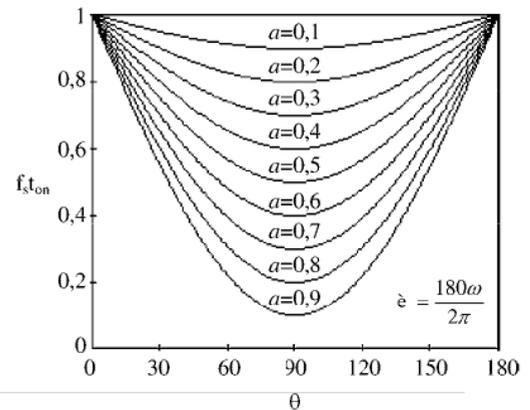


Fig. 4. Variação da frequência de chaveamento.

C. Circuito Auxiliar de Comutação

Considerando que os conversores boost operam sem interação entre si, o princípio de operação da célula de comutação é analisado em somente um dos conversores. Nesta análise o capacitor de filtro de saída é assumido como sendo uma fonte de tensão constante V_o durante um período de chaveamento. A Fig. 5 mostra as etapas de operação do conversor boost ZCS simplificado durante um ciclo de chaveamento, as quais são descritas a seguir:

Etapa 1. (t_0, t_1): Durante esta etapa, a corrente de entrada $i_{L1}(t)$ flui através da chave principal S_1 , crescendo linearmente. Esta etapa é responsável pelo controle de transferência de potência. A tensão no capacitor ressonante $v_{CR1}(t)$ está grampeada em $-V_{C0}$, onde:

$$V_{C0} = V_o - I_{in} Z_1 \quad (6)$$

$$e \quad Z_1 = \sqrt{\frac{L_{R1}}{C_{R1}}} \quad (7)$$

Etapa 2. (t_1, t_2): Em t_1 , a chave auxiliar S_{A1} é habilitada sob ZCS. Esta condição é garantida pela presença do indutor L_{R1} em série com esta chave. A corrente $i_{L_{R1}}(t)$ e a tensão $v_{C_{R1}}(t)$ evoluem de forma ressonante, até que $i_{L_{R1}}(t)$ seja igual à corrente de entrada $i_{L1}(t)$. A corrente $i_{L_{R1}}(t)$ e a tensão $v_{C_{R1}}(t)$ podem ser expressas por:

$$i_{L_{R1}}(t) = \frac{V_{C0}}{Z_1} \text{sen}(\omega_1 t) \quad (8)$$

$$e \quad v_{C_{R1}}(t) = -V_{C0} \cos(\omega_1 t) + V_o \quad (9)$$

$$\text{onde} \quad \omega_1 = \frac{1}{\sqrt{L_{R1} C_{R1}}} \quad (10)$$

A duração desta etapa é:

$$\Delta_{t_2} = \frac{1}{\omega_1} \text{sen}^{-1} \left(\frac{Z_1 I_{in}}{V_{C0}} \right) \quad (11)$$

Etapa 3. (t_2, t_3): Durante esta etapa, a diferença entre a corrente $i_{L_{R1}}(t)$ e a corrente de entrada $i_{L1}(t)$ flui através do diodo D_{S1} . Durante a condução de D_{S1} , a chave principal S_1 pode ser desabilitada em ZCS e ZVS. Quando $i_{L_{R1}}(t)$ for novamente igual à corrente de entrada, o diodo D_{S1} é bloqueado. A corrente $i_{L_{R1}}(t)$ e a tensão $v_{C_{R1}}(t)$ podem ser expressas como:

$$i_{L_{R1}}(t) = \frac{-V_{C2}}{Z_1} \text{sen}(\omega_1 t) + I_{in} \cos(\omega_1 t) \quad (12)$$

$$e \quad v_{C_{R1}}(t) = V_{C2} \cos(\omega_1 t) + Z_1 I_{in} \text{sen}(\omega_1 t) \quad (13)$$

$$\text{onde} \quad V_{C2} = -\sqrt{V_{C0}^2 - (I_{in} Z_1)^2} \quad (14)$$

A duração desta etapa é determinada por:

$$\Delta_{t_3} = \frac{1}{\omega_1} \text{sen}^{-1} \left(\frac{2Z_1 I_{in} \sqrt{V_o^2 - 2V_o Z_1 I_{in}}}{(V_o - Z_1 I_{in})^2} \right) \quad (15)$$

Etapa 4. (t_3, t_4): Durante esta etapa o capacitor C_{R1} é carregado linearmente até atingir o valor da tensão de saída V_o . Quando $v_{C_{R1}}(t)$ é igual a V_o o diodo boost D_1 é diretamente polarizado. Durante esta etapa a tensão $v_{C_{R1}}(t)$ é dada por

$$v_{C_{R1}}(t) = V_{C3} + \frac{I_{in}}{C_{R1}} t \quad (16)$$

$$\text{onde} \quad V_{C3} = -V_{C2} = \sqrt{V_{C0}^2 - (I_{in} Z_1)^2} \quad (17)$$

A duração desta etapa é:

$$\Delta_{t_4} = C_{R1} \frac{V_o - \sqrt{V_{C0}^2 - 2V_o Z_1 I_{in}}}{I_{in}} \quad (18)$$

Etapa 5. (t_4, t_5): Durante esta etapa, a corrente $i_{L_{R1}}(t)$ e a tensão $v_{C_{R1}}(t)$ evoluem de forma ressonante. A diferença entre $i_{L1}(t)$ e $i_{L_{R1}}(t)$ é assumida pelo diodo boost D_1 , sendo que esta etapa é finalizada quando $i_{D1}(t)$ for igual a $i_{L1}(t)$. Durante esta etapa a corrente $i_{L_{R1}}(t)$ e a tensão $v_{C_{R1}}(t)$ podem ser expressas como:

$$i_{L_{R1}}(t) = I_{in} \cos(\omega_1 t) \quad (19)$$

$$e \quad v_{C_{R1}}(t) = Z_1 I_{in} \text{sen}(\omega_1 t) + V_o \quad (20)$$

A duração desta etapa ressonante é igual a

$$\Delta_{t_5} = \frac{\pi}{2\omega_1} \quad (21)$$

Etapa 6. (t_5, t_6): Esta etapa tem início quando a corrente $i_{L_{R1}}(t)$ inverte seu sentido, passando a fluir através do diodo D_{A1} . Durante esta etapa a chave auxiliar S_{A1} pode ser desabilitada em ZCS e ZVS. Quando $i_{L_{R1}}(t)$ for novamente igual a zero, o diodo D_{A1} é bloqueado. A corrente $i_{L_{R1}}(t)$ e a tensão $v_{C_{R1}}(t)$ podem ser expressas como:

$$i_{L_{R1}}(t) = \frac{-(V_{C5} - V_o)}{Z_1} \text{sen}(\omega_1 t) \quad (22)$$

$$e \quad v_{C_{R1}}(t) = (V_{C5} - V_o) \cos(\omega_1 t) + V_o \quad (23)$$

$$\text{onde} \quad V_{C5} = V_o + I_{in} Z_1 \quad (24)$$

A duração desta etapa ressonante é igual a

$$\Delta_{t_6} = \frac{\pi}{\omega_1} \quad (25)$$

Etapa 7. (t_6, t_7): As chaves ativas S_1 e S_{A1} encontram-se bloqueadas. A corrente de entrada flui através do diodo boost D_1 , decrescendo linearmente.

Etapa 8. (t_7, t_0): Em t_7 , quando a corrente de entrada $i_{L1}(t)$ atinge zero, a chave principal S_1 é habilitada em ZCS e o diodo boost D_1 é reversamente polarizado. A corrente $i_{L_{R1}}(t)$ e a tensão $v_{C_{R1}}(t)$ evoluem de forma ressonante, através de S_1 e D_{A1} , fazendo com que a tensão $v_{C_{R1}}(t)$ inverta sua polaridade. Quando $i_{L_{R1}}(t)$ for novamente igual a zero, o diodo D_{A1} bloqueia, completando um ciclo de operação do conversor. Durante esta etapa a corrente no indutor ressonante $i_{L_{R1}}(t)$ e a tensão no capacitor ressonante $v_{C_{R1}}(t)$ podem ser expressas como:

$$i_{L_{R1}}(t) = \frac{-V_{C0}}{Z_1} \text{sen}(\omega_1 t) \quad (26)$$

$$e \quad v_{C_{R1}}(t) = V_{C0} \cos(\omega_1 t) \quad (27)$$

A duração desta etapa é determinada por

$$\Delta_{t_8} = \frac{\pi}{\omega_1} \quad (28)$$

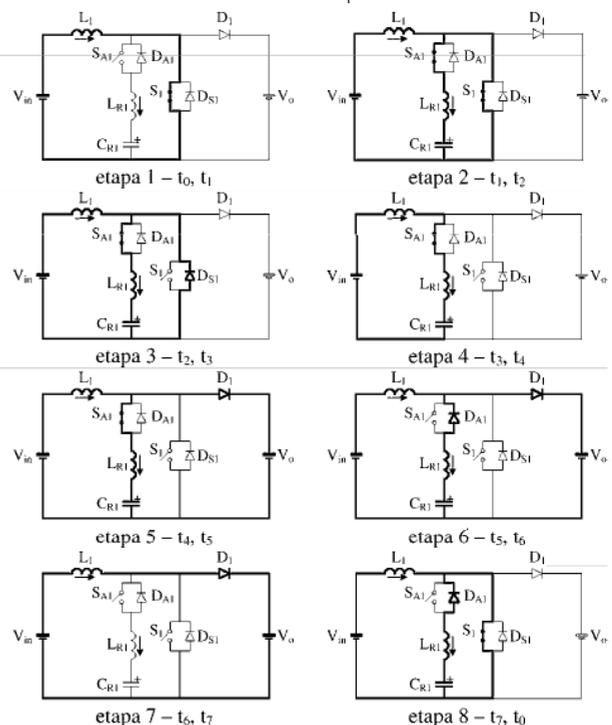


Fig. 5. Etapas de operação de um dos conversores boost.

A Fig. 6 mostra as formas de onda teóricas da operação do conversor. Na Fig. 7 estão representados os planos de fase do conversor para a máxima e para a mínima corrente de entrada.

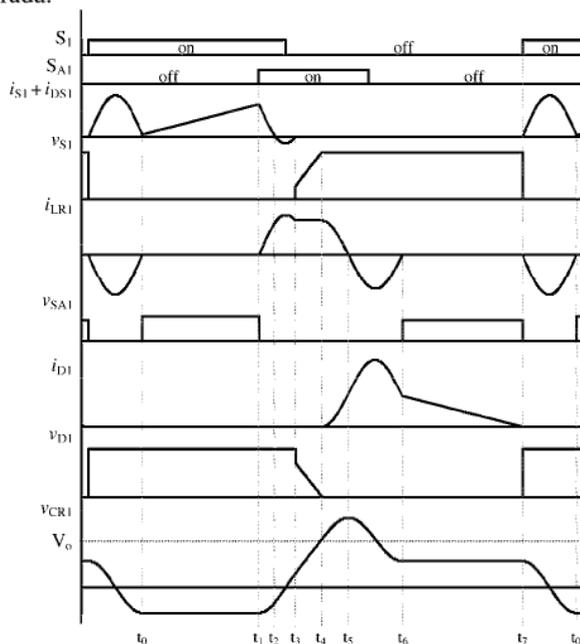


Fig. 6. Formas de onda teóricas.

III. PROCEDIMENTO E EXEMPLO DE PROJETO

Nesta seção é apresentado o procedimento de projeto, bem como um exemplo, para determinar os valores dos componentes dos conversores boost entrelaçados, a partir das especificações desejadas.

a) As especificações do conversor são:

Potência de saída	$P_o = 1200 \text{ W}$
Tensão de saída	$V_o = 300 \text{ V}$
Tensão de entrada	$V_{in} = 120 \text{ Vrms}$
Frequência de entrada	$f_{in} = 60 \text{ Hz}$
Mínima frequência de chaveamento	$f_{S \text{ min}} = 40 \text{ kHz}$

b) Relação de tensão: a partir das especificações acima e da equação (5) é possível obter a relação de tensão do conversor:

$$a = \frac{V_p}{V_o} = \frac{120\sqrt{2}}{300} = 0,5657 \quad (29)$$

c) Tempo de condução da chave principal: com o valor da relação de tensão a e da mínima frequência de chaveamento, tem-se que:

$$t_{on} = \frac{1-a}{f_{S \text{ min}}} = \frac{1-0,5657}{40000} = 10,8 \mu\text{s} \quad (30)$$

d) Máxima frequência de chaveamento:

$$f_{S \text{ max}} \approx \frac{1}{t_{on}} = 93 \text{ kHz} \quad (31)$$

e) Valores dos indutores boost L_1 e L_2 :

$$L_1 = L_2 = \frac{V_p^2 t_{on}}{2P_o} = 129,6 \mu\text{H} \quad (32)$$

f) Corrente de pico nos indutores boost L_1 e L_2 :

$$I_{pk} = \frac{V_p t_{on}}{L_1} = 14,14 \text{ A} \quad (33)$$

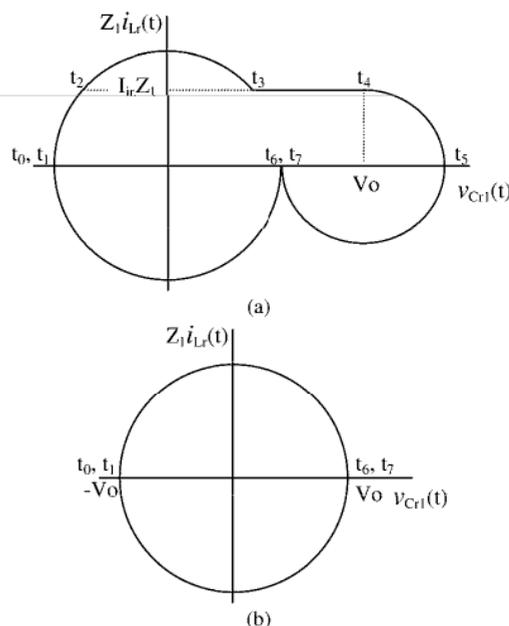


Fig. 7. Plano de fase de um dos conversores boost.

(a) para corrente de entrada máxima;
(b) para corrente de entrada mínima.

g) Impedância característica do circuito auxiliar: para garantir que o bloqueio das chaves principais ocorra em ZCS, a corrente de pico no indutor auxiliar durante a etapa 3 deve ser maior do que a máxima corrente no indutor boost. Definindo-se α como o valor parametrizado da máxima corrente no indutor boost, deve-se ajustar este parâmetro em um valor maior do que 1. Adotando-se $\alpha = 1,1$, resulta:

$$Z_1 = \frac{V_o}{I_{pk}(1+\alpha)} = 10,1 \Omega \quad (34)$$

h) Valor dos indutores ressonantes L_{R1} e L_{R2} : escolhendo-se C_{R1} e C_{R2} iguais a 56 nF (valor comercial) o valor do indutor ressonante é obtido:

$$L_{R1} = L_{R2} = Z_1^2 C_{R1} = 5,7 \mu\text{H} \quad (35)$$

IV. ESTRATÉGIA DO CIRCUITO DE COMANDO

O diagrama de blocos do circuito de comando dos conversores boost ZCS entrelaçados apresentado neste trabalho é mostrado na Fig. 8. Em relação à Fig. 1, o conversor boost formado por L_1 , S_1 , D_1 (e seu circuito auxiliar) é considerado como o conversor boost mestre, e o outro é considerado como conversor escravo. Para garantir a operação do conversor mestre em C-DCM, a chave S_1 deve entrar em condução quando a corrente no indutor L_1 atingir zero. O valor da corrente em L_1 é monitorado através de um sensor de corrente do tipo LA 55-P (*LEM Inc*). O sinal do sensor de corrente é comparado com zero e o sinal de saída do comparador é usado como entrada para o circuito de geração dos sinais de comando, o qual foi implementado utilizando-se um dispositivo do tipo EPLD (*Erasable Programmable Logic Device*) EPM7128SLC84-15 (*Altera Corporation*). A utilização de circuitos integrados dedicados (*Application Specific Integrated Circuit* – ASIC) tem atraído muito a atenção de engenheiros projetistas, devido à redução do tempo dependendo no projeto do circuito, baixo custo e alta densidade volumétrica. A simplicidade e a possibilidade

de programação do EPLD torna este dispositivo uma opção muito interessante para a implementação de circuitos digitais.

A Fig. 9 mostra os sinais de entrada e de saída do circuito de comando representado na Fig. 8. O tempo de condução das chaves é constante e fixo. Para as chaves principais este intervalo de tempo é definido como Δt_S e para as chaves auxiliares este intervalo é definido como Δt_A . Durante o intervalo de tempo Δt_C as chaves S_1 e S_{A1} ou S_2 e S_{A2} estão em condução. A defasagem entre os sinais de comando das chaves principais é mantida igual à metade do período de chaveamento. Para determinar esta defasagem, é utilizado um procedimento similar ao demonstrado em [4].

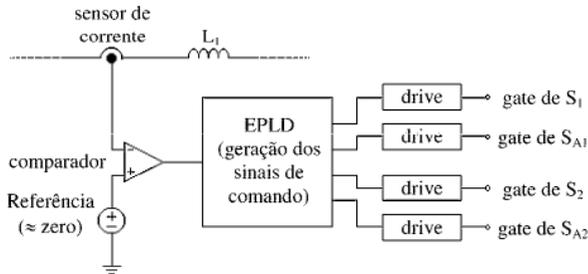


Fig. 8. Diagrama de blocos do circuito de comando.

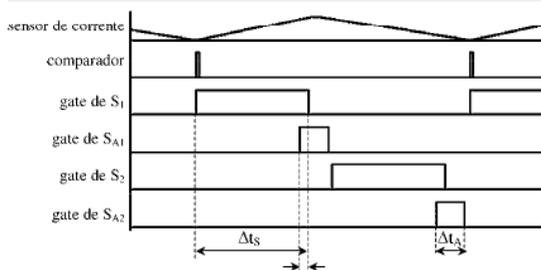


Fig. 9. Formas de onda do circuito de comando.

V. RESULTADOS EXPERIMENTAIS

Para verificar a operação e o desempenho dos conversores boost ZCS entrelaçados apresentados neste trabalho, um protótipo foi implementado. O circuito do estágio de potência é mostrado na Fig. 10 e os componentes e parâmetros utilizados estão relacionados na Tabela 1. As chaves ativas foram implementadas com IGBTs HGTP7N60C3D (600 V, 7 A) da série UFS (*Ultra Fast Switches*) da *Harris Semiconductor*, os quais apresentam intrinsecamente um diodo hiper rápido em antiparalelo. Para os diodos boost foram utilizados os diodos hiper rápidos RHRP870 (700 V, 8 A) da *Harris Semiconductor*. O rendimento obtido foi de 97,5%. Para efeito de comparação, foi implementado um protótipo sem as células de comutação, operando de forma dissipativa. O rendimento obtido para este conversor foi de 94,3%.

A Fig. 11 mostra as formas de onda experimentais obtidas para um ponto de operação próximo à máxima tensão de entrada. Como pode ser visto na Fig. 11.a, a entrada em condução das chaves principais ocorre naturalmente em ZCS. Devido à presença do circuito auxiliar, o bloqueio das chaves principais ocorre simultaneamente em ZCS e ZVS. A máxima tensão sobre estes dispositivos é igual à tensão de saída do conversor.

TABELA 1
COMPONENTES E PARÂMETROS UTILIZADOS NO PROTÓTIPO

Componente	Parâmetro
V_{in} (tensão de entrada)	120 Vrms
V_o (tensão de saída)	300 V
Frequência de entrada	60 Hz
L_1 e L_2	129 μ H
L_{R1} e L_{R2}	5,3 μ H
C_{R1} e C_{R2}	56 nF, capacitores de polipropileno
C_f (filtro de saída)	680 μ F, capacitor eletrolítico
S_1 - D_{S1} e S_2 - D_{S2}	HGTP7N60C3D
S_{A1} - D_{A1} e S_{A2} - D_{A2}	HGTP7N60C3D
D_1 e D_2	RHRP870

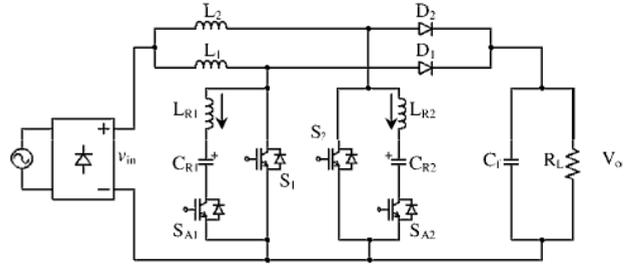


Fig. 10. Circuito do estágio de potência implementado.

A Fig. 11.b mostra que a chave auxiliar S_{A1} entra em condução em ZCS e bloqueia simultaneamente em ZCS e ZVS. A Fig. 11.c mostra que o diodo boost D_1 entra em condução em ZCS e ZVS e bloqueia em ZCS. Na Fig. 11.d estão representadas a corrente no indutor ressonante L_{R1} e a tensão no capacitor ressonante C_{R1} . Na Fig. 11.e estão representadas as correntes nas duas chaves principais, S_1 e S_2 . Nesta figura pode ser verificada a defasagem de meio período de chaveamento existente entre os sinais de comando destes dispositivos. Esta defasagem é responsável pela minimização da ondulação na corrente de entrada do PFC. Na Fig. 11.f estão representadas as correntes nos dois indutores boost, L_1 e L_2 .

Na Fig. 12 estão representadas a corrente e a tensão de entrada. Esta figura mostra que a forma de onda da corrente é muito similar à da tensão de entrada. A distorção da corrente de entrada é devido à baixa resolução do equipamento utilizado na aquisição das formas de onda.

VI. CONCLUSÕES

Neste trabalho foi investigado o uso de uma técnica de comutação suave em zero de corrente (ZCS) aplicada em conversores boost entrelaçados, operando no modo de condução crítica (C-DCM). Devido ao C-DCM, a entrada em condução das chaves principais ocorre naturalmente em ZCS, além de reduzir as perdas por recuperação reversa dos diodos boost.

Com a utilização dos circuitos auxiliares o bloqueio das chaves principais ocorre em ZCS, propiciando um aumento na eficiência do conversor. Os resultados experimentais foram obtidos em um protótipo de 1,2 kW operando com uma tensão CA de entrada de 120 Vrms e uma tensão CC de saída de 300 V. O rendimento medido foi de 97,5%, para o conversor utilizando as células de comutação, e de 94,3% para o conversor operando de forma dissipativa.

O circuito auxiliar é localizado fora do caminho principal de potência do conversor e, desta forma, não há esforços adicionais de tensão nos dispositivos semicondutores de potência.

A minimização do *ripple* da corrente de entrada é obtida pela utilização de conversores boost entrelaçados.

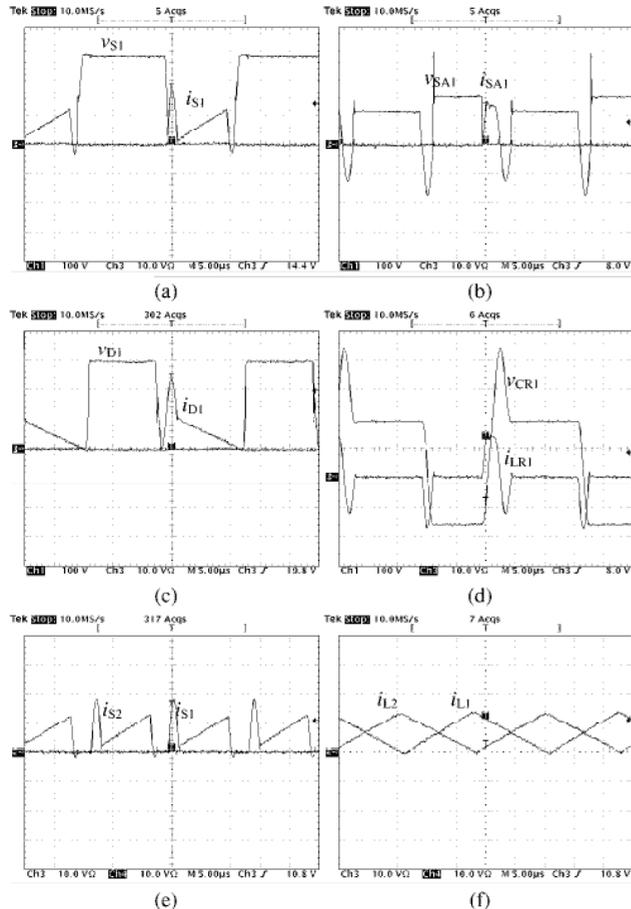


Fig. 11. Formas de onda obtidas experimentalmente.
 (a) Chave principal S_1 ; (b) Chave auxiliar S_{A1} ; (c) Diodo boost D_1 ;
 (d) Tensão no capacitor $v_{CR1}(t)$ e corrente no indutor $i_{LR1}(t)$;
 (e) Corrente nas chaves principais; (f) Corrente nos indutores boost.
 (escalas: 100 V/div.; 10A/div.; 5 μ s/div.).

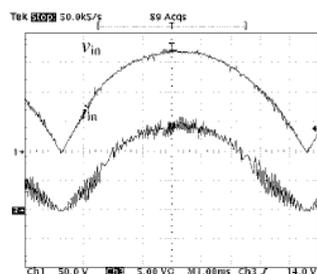


Fig. 12. Formas de onda da corrente e da tensão de entrada.
 (escalas: 50 V/div.; 5A/div.; 1ms/div.).

O circuito de comando foi implementado usando-se um único dispositivo do tipo EPLD EPM7128SLC84-15 (Altera Corporation). Devido à grande facilidade de integração deste

tipo de dispositivo, a complexidade de implementação do circuito de comando do conversor foi significativamente reduzida.

VII. REFERÊNCIAS

- [1] B. A. Miwa, D. M. Otten and M. F. Schlecht, "High Efficiency Power Factor Correction Using Interleaving Techniques", *IEEE APEC 1992*, pp. 557-568.
- [2] Laszlo Balogh and Richard Redl, "Power-Factor Correction with Interleaved Boost Converters in Continuous-Inductor-Current Mode", *IEEE APEC 1993*, pp. 168-174.
- [3] Michael S. Elmore, "Input Current Ripple Cancellation in Synchronized, Parallel Connected Critically Continuous Boost Converters", *IEEE APEC 1996*, pp. 152-158.
- [4] C. H. Chan and M. H. Pong, "Input Current Analysis of Interleaved Boost Converters Operating in Discontinuous-Inductor Current Mode", *IEEE PESC 1997*, pp. 392-398.
- [5] Takuya Ishii and Yoshio Mizutani, "Power Factor Correction Using Interleaving Technique for Critical Mode Switching Converters", *IEEE PESC 1998*, pp. 905-910.
- [6] A. V. da Costa, C. H. G. Treviso and L. C. de Freitas, "A New ZCS-ZVS-PWM Boost Converter with Unit Power Factor Operation", *IEEE APEC 1994*, pp. 404-410.
- [7] Henrique A. C. Braga and Ivo Barbi, "A 3-kW Unity-Power-Factor Rectifier Based on a Two-Cell Boost Converter Using a New Parallel-Connection Technique", *IEEE Transactions on Power Electronics*, v. 14, n. 1, pp. 209-217, Jan. 1999.
- [8] P. Gil, J. Sebastian, J. A. Cobos, J. C. Uceda and F. Aldana, "Analysis of the Zero-Current-Switched Quasiresonant Converters Used as Power Factor Preregulators", *IEEE PESC 1992*, pp. 1052-1060.
- [9] G. Hua, C. S. Leu and F. C. Lee, "Novel Zero-Voltage-Transition PWM Converters", *IEEE PESC 1992*, pp. 55-61.
- [10] S. Y. R. Hui, K. W. Eric Cheng and S. R. N. Prakash, "A Fully Soft-Switched Extend-Period Quasi-Resonant Power-Factor-Correction Circuit", *IEEE Transactions on Power Electronics*, v. 12, n. 5, pp. 922-930, Sep. 1997.

DADOS BIográficos

Hélio Leães Hey, nasceu em Santa Maria - Rio Grande do Sul, em 29 de Julho de 1961. Formou-se em Engenharia Elétrica pela Universidade Católica de Pelotas, Pelotas - RS, em 1985. Obteve os títulos de Mestre e Doutor em Eng. Elétrica pela Universidade Federal de Santa Catarina, Florianópolis - SC em 1987 e 1991, respectivamente. Entre 1989 e 1993, atuou como professor na Universidade Federal de Uberlândia, Uberlândia - MG. Desde 1994, pertence ao Depto. de Eletrônica e Computação da Universidade Federal de Santa Maria, Santa Maria - RS, onde é professor titular e atualmente é o coordenador do Programa de Pós-Graduação em Engenharia Elétrica. Sua área de interesse compreende análise, projeto e aplicações de conversores estáticos de alto desempenho, fontes de alimentação chaveadas e conversores estáticos para correção de fator de potência. É membro da SOBRAEP, SBA e IEEE.

José Renes Pinheiro, nasceu em Santa Maria – RS em 1958. Formou-se em Engenharia Elétrica pela Universidade Federal de Santa Maria, em 1981. Obteve o título de Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina, em 1984 e o título de Doutor em Engenharia na mesma universidade, em 1994. Atualmente, é professor titular do departamento de Eletrônica e Computação da Universidade Federal de Santa Maria. É membro da SOBRAEP, SBA e IEEE – PELS – IES – IAS - CS. Sua área de interesse compreende técnicas de comutação suave, pré-reguladores, filtros e controle de conversores estáticos.

Carlos Marcelo de Oliveira Stein, nasceu em Santiago – RS em 18 de Julho de 1970. Formou-se em Engenharia Elétrica e obteve o título de mestre em Engenharia Elétrica pela Universidade Federal de Santa Maria, Santa Maria – RS em 1995 e 1997, respectivamente. Atualmente, é aluno de doutorado na Universidade Federal de Santa Maria. Sua área de interesse compreende conversores estáticos com comutação suave, conversores estáticos para correção de fator de potência e fontes de alimentação chaveadas. É membro da SOBRAEP e IEEE.