

# UM RETIFICADOR MONOFÁSICO COM ELEVADO FATOR DE POTÊNCIA BASEADO NO CONVERSOR BUCK MULTINÍVEL EM CORRENTE

Estêvão Coelho Teixeira e Henrique A. C. Braga

Núcleo de Automação e Eletrônica de Potência – NAEP  
Universidade Federal de Juiz de Fora – UFJF  
Caixa Postal 422 – CEP 36.001-970 – Juiz de Fora – MG – Brasil  
estevaoc@jfnet.com.br - hbraga@engelet.ufjf.br

**Resumo** – Este artigo descreve um conversor estático ca-cc monofásico consistindo de uma ponte retificadora convencional a diodos associada a um conversor cc-cc buck multinível em corrente de duas células. Dependendo da estratégia de comutação adotada, a estrutura pode apresentar uma corrente de entrada com até cinco níveis e fator de potência de deslocamento unitário, levando a uma operação com elevado fator de potência, além de permitir a divisão equilibrada da corrente total de saída através de duas células de comutação. Esta estrutura, que opera com comutação em baixa frequência, é adequada para aplicações de cargas cc altamente indutivas. Uma breve revisão sobre estruturas anteriores que levaram ao desenvolvimento da nova topologia é apresentada, bem como resultados de simulação e resultados experimentais para um protótipo de 2 kW implementado em laboratório.

**Abstract** - This paper introduces a single-phase ac-to-dc static converter, which consists of a conventional diode bridge cascaded by a two-cell current multilevel buck dc-to-dc converter. Depending upon the switching strategy, the structure input current can present up to five levels and provide a unity displacement power factor, leading to a high power factor operation, and a balanced distribution of output current among two commutation cells. This low-frequency switching circuit is proper to highly inductive dc loads. It is also presented a brief review of structures that led to the development of the new topology. Simulation results for the proposed circuit and experimental results for a 2-kW prototype, implemented in laboratory, are also presented.

## I. INTRODUÇÃO

Os conversores multiníveis têm surgido como uma nova classe de conversores estáticos de energia durante os últimos anos [1, 2]. Diversas topologias e técnicas de modulação foram desenvolvidas para estes conversores, sobretudo em aplicações de altas potências [3]. A principal motivação para o emprego de estruturas multiníveis é a capacidade de assegurar uma distribuição equilibrada da tensão (ou corrente) através de uma associação de interruptores estáticos. Entretanto, é possível ainda otimizar o conteúdo harmônico das tensões e/ou correntes nas estruturas e proporcionar menores níveis de interferência eletromagnética

conduzida e irradiada. Tais benefícios são de grande interesse em aplicações industriais.

Uma revisão da teoria sobre conversores multiníveis em tensão e corrente foi apresentada em [4], onde são discutidas estruturas baseadas tanto na associação de conversores como na associação de células de comutação [5]. A célula de comutação é uma estrutura de três terminais envolvendo dois interruptores operando de forma complementar, estando presente na maioria dos conversores estáticos.

Os conversores multiníveis em corrente (MNC) consistem em uma alternativa para promover a associação de células de comutação em paralelo, e foram descritos detalhadamente em [6]. A nova técnica já foi aplicada a conversores cc-cc, inversores e até a retificadores trifásicos com elevado fator de potência. Sua aplicação a retificadores monofásicos, contudo, foi até agora objeto de especulação teórica.

A melhoria do fator de potência (FP) em retificadores monofásicos está normalmente associada à utilização de um pré-regulador boost, operando em alta frequência, ligado à saída de uma ponte retificadora a diodos [7]. Um retificador com correção do fator de potência e operação em alta frequência que emprega a modulação multinível em tensão foi apresentado em [8]. Estas técnicas, no entanto, não são adequadas para aplicações em altas potências, devido às restrições tecnológicas dos interruptores estáticos. Assim, técnicas de melhoria do fator de potência que empreguem comutação em baixa frequência são mais recomendáveis, sobretudo na presença de correntes mais elevadas. O retificador baseado no conversor boost também pode operar em baixa frequência, com o interruptor principal sendo acionado durante um pequeno intervalo do período de comutação, normalmente uma ou duas vezes no período [9, 10]. No entanto, seja em alta seja em baixa frequência, o conversor “ca-cc boost” aplica-se melhor a cargas com saída em tensão (comumente uma carga resistiva em paralelo com um capacitor de filtragem). Por outro lado, boa parte das cargas cc apresenta uma característica de saída preponderantemente indutiva.

Os retificadores controlados e semicontrolados a tiristor tradicionais [11] podem ser aplicados a cargas cc fortemente indutivas. Embora de uso difundido na indústria, estes conversores operam com um baixo fator de potência. Além disso, apresentam componentes harmônicas de baixa ordem que prejudicam a qualidade da energia da rede elétrica. Por estes motivos, tais equipamentos não se ajustam facilmente aos limites estabelecidos quanto ao fator de potência, bem como aos determinados pelas normas e recomendações internacionais sobre emissão de harmônicos [12].

O controle simétrico do ângulo de disparo/extinção dos interruptores [13] é uma técnica em baixa frequência para se obter uma melhoria do fator de potência em retificadores alimentando cargas altamente indutivas, em alternativa aos retificadores convencionais a tiristor. Isto pode ser implementado através da utilização de GTOs no lugar de tiristores, ou empregando para os tiristores alguma técnica de comutação forçada, resultando nas formas de onda da tensão e corrente de entrada ilustradas na Figura 1. Neste caso, o retificador apresenta uma corrente de entrada 3 níveis com sua componente fundamental em fase com a tensão de entrada ( $\phi_1 = 0^\circ$ ), correspondendo a um fator de potência de deslocamento unitário, o que melhora o FP da estrutura.

O conceito de conversores multiníveis em corrente pode ser empregado na implementação de retificadores com elevado fator de potência, sendo que a comutação ocorre em baixa frequência. A Figura 2 ilustra formas de onda de tensão e corrente de entrada idealizadas em um retificador monofásico MNC 5 níveis. É possível minimizar a distorção harmônica total (DHT) da corrente de entrada através do adequado ajuste dos ângulos  $\alpha$  e  $\phi$ . Um retificador trifásico baseado na técnica MNC foi apresentado em [14].

O presente trabalho propõe um retificador monofásico empregando comutação em baixa frequência, apresentando fator de deslocamento unitário, baseado no conversor buck multinível em corrente (MNC), conforme representado de forma simplificada na Figura 3. A estrutura proposta é capaz de promover a distribuição equilibrada da corrente total entre dois ou mais interruptores, podendo ser comandada de forma a apresentar uma corrente de entrada multinível. Assim, a estrutura proposta pode apresentar fator de potência elevado, especialmente para tensões de saída próximas da nominal, sendo bastante adequada para cargas cc altamente indutivas, tais como acionamentos de máquinas cc, eletroímãs de levantamento e freios elétricos. É fácil concluir que o sistema pode ser alimentado também a duas fases, o que representa um incremento significativo na capacidade de potência total do conversor.

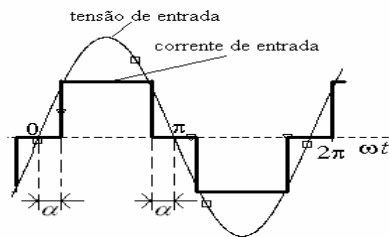


Figura 1 – Tensão e corrente de entrada em retificador empregando controle simétrico do ângulo.

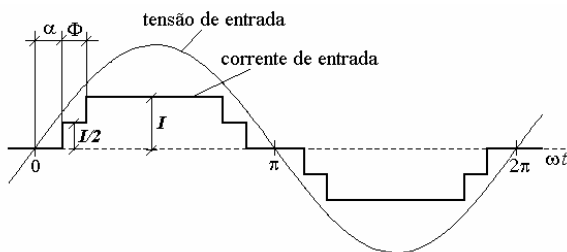


Figura 2 – Tensão de entrada senoidal e corrente de entrada com cinco níveis em um retificador MNC.

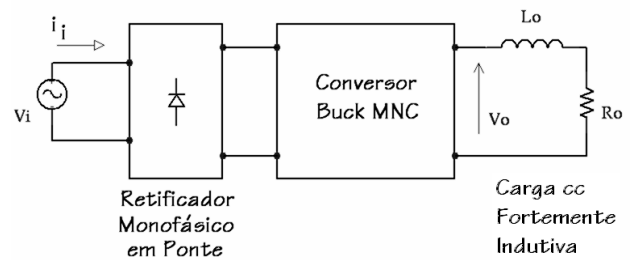


Figura 3 – Diagrama de blocos do conversor proposto.

Devido à presença do conversor buck na estrutura do retificador, a nova topologia recebe a denominação *retificador buck MNC* e será apresentada na próxima seção. Um trabalho anterior sobre a estrutura proposta foi apresentado pelos autores em [15].

## II. O RETIFICADOR MONOFÁSICO MNC 5 NÍVEIS

A Figura 4 mostra a célula MNC genérica, baseada na conexão em paralelo de células de comutação por meio de indutores denominados *indutores de equilíbrio*. A estrutura foi originalmente proposta como uma técnica alternativa para promover o paralelismo dos interruptores estáticos [16], e corresponde ao dual de uma célula genérica multinível em tensão, proposta em [17].

Empregando-se “atrasos” nos pulsos aplicados aos interruptores, a estrutura pode apresentar múltiplos níveis para a sua corrente de entrada  $i_i$ , entre 0 e  $I_o$ , sendo  $I_o$  o valor médio da corrente que sai do nó C, indicado na figura. A Figura 5 mostra o uso da célula MNC em um retificador MNC 5 níveis. A estrutura é derivada de um inversor com corrente (CSI) 5 níveis [18,19], tendo sido abordada de forma teórica em [6].

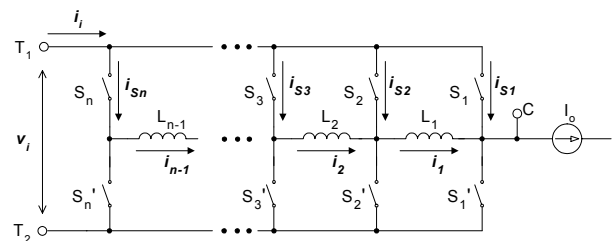


Figura 4 – A célula MNC genérica.

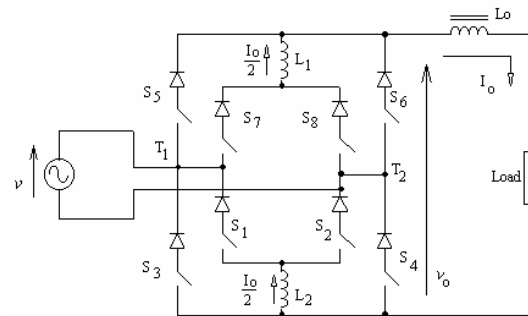


Figura 5 – Um retificador MNC cinco níveis baseado em um inversor CSI.

Dependendo da configuração para a qual for destinada a célula MNC, pode-se ter uma tensão de entrada  $v_i$  contínua ou alternada. Para conversores cc-cc, tem-se uma tensão contínua na entrada, sendo os interruptores inferiores da célula substituídos por interruptores passivos (diodos). Os terminais  $T_1$ ,  $T_2$  e  $C$  são, neste caso, designados por  $A$  (ativo),  $P$  (passivo) e  $C$  (comum). A Figura 6 ilustra a aplicação da célula MNC em um conversor buck. Para este circuito, a célula MNC consiste da associação de duas células de comutação conectadas através do indutor de equilíbrio  $L_1$ , sendo o circuito denominado, então, *conversor buck MNC 2 células*.

A célula MNC pode, entretanto, ser formada por  $n$  células de comutação, sendo possível adaptá-la a todos os conversores cc-cc não-isolados (buck, boost, buck-boost, çuk, sepic e zeta) [20].

O retificador MNC 5 níveis proposto neste trabalho tem, como parte integrante de sua estrutura, o conversor buck MNC 2 células, com uma ponte retificadora convencional a diodos substituindo a fonte cc. O circuito é mostrado na Figura 7. O ramo de saída é constituído por uma carga RL, representando uma carga altamente indutiva.

Uma vez que o circuito opera com baixa frequência de comutação, o indutor de equilíbrio  $L_1$  deve ser confeccionado em núcleo de ferro-silício. A principal vantagem oferecida pela nova topologia em relação ao retificador cinco níveis MNC da Figura 5 é o número reduzido de interruptores ativos, além de uma estratégia de comutação significativamente mais simples.

A corrente total de saída  $i_o$  pode assim ser distribuída de forma segura através dos interruptores do retificador sem que a estrutura incorra nas dificuldades oferecidas pelo paralelismo convencional de interruptores estáticos.

### III. RESULTADOS DE SIMULAÇÃO

Considere, para o retificador buck MNC 5 níveis da Figura 7, os seguintes parâmetros de simulação:  $V_{ca} = 127$  V,  $f = 60$  Hz,  $R_o = 5$   $\Omega$ ,  $L_o = 100$  mH,  $L_1 = 60$  mH e  $r_{on} = 0,01$   $\Omega$ . Tais parâmetros representam, respectivamente, a tensão eficaz de entrada, a frequência da rede, a resistência e indutância da carga, a indutância de equilíbrio e a resistência de condução dos interruptores ativos e diodos. Os ângulos  $\alpha$  e  $\phi$  (ver Figura 2) são, respectivamente,  $12,6^\circ$  e  $26,8^\circ$ .

Para simulação do circuito no software PSpice®, foram empregados interruptores comandados por sinal de tensão (Sbreak). Foi adotado o modelo Dbreak para os diodos. A simulação levou às formas de onda mostradas na Figura 8.

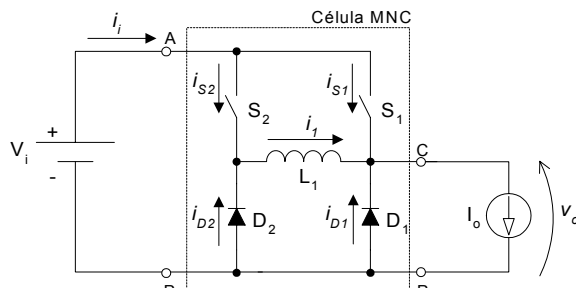


Figura 6 – Um conversor buck MNC 2 células.

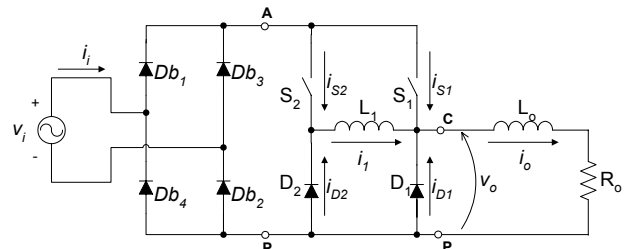


Figura 7 – O retificador buck MNC 5 níveis.

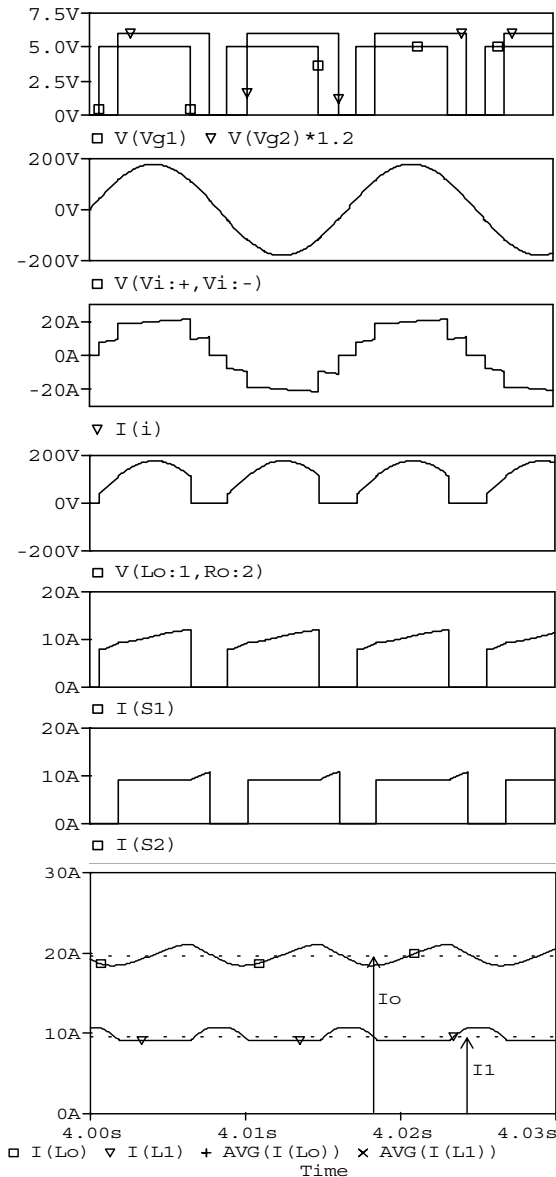


Figura 8 – Formas de onda simuladas para o retificador. De cima para baixo: pulsos de comando de  $S_1$  e  $S_2$ ; tensão e corrente de entrada; tensão na carga; corrente em  $S_1$  e  $S_2$ ; corrente de saída e corrente no indutor de equilíbrio  $L_1$ .

Do gráfico inferior da figura, observa-se que o valor médio da corrente no indutor de equilíbrio  $L_1$ ,  $I_1$ , é a metade do valor de  $I_o$ , o que indica o equilíbrio de corrente entre interruptores ativos e diodos do retificador.

O espectro harmônico da corrente de entrada é mostrado na Figura 9. Para a corrente de entrada, a DHT obtida para 40 harmônicas foi de 15,6 %.

Apesar de algumas componentes harmônicas possuírem amplitudes relativamente expressivas, o conversor pode apresentar um FP bastante elevado, cuja expressão geral é:

$$FP = \frac{FP_D}{\sqrt{1 + DHT_i^2}} \quad (1)$$

Onde  $FP_D$  é o fator de potência de deslocamento e  $DHT_i$  é a distorção harmônica total da corrente de entrada.

O ângulo de deslocamento  $\phi_1$  obtido foi de  $-2,38^\circ$  ( $FP_D \cong 1$ ). Substituindo os valores encontrados para  $DHT_i$  e  $FP_D$  em (1), obtém-se um fator de potência igual a 0,987 para o circuito simulado.

Para um retificador buck MNC ideal ( $r_{on} = 0$ ), o valor médio da tensão de saída,  $V_o$ , é dado pela expressão:

$$V_o = \frac{1}{\pi} \cdot \int_{\alpha}^{\pi - (\alpha + \phi)} \sqrt{2} \cdot V_{ca} \cdot \text{sen}(\theta) d\theta = \frac{\sqrt{2} \cdot V_{ca}}{\pi} \cdot [\cos(\alpha) + \cos(\alpha + \phi)] \quad (2)$$

Para os ângulos  $\alpha$  e  $\phi$  empregados na simulação, a expressão (2) resultaria em  $V_o = 100$  V. Devido às quedas de tensão nos interruptores e diodos, obteve-se, para o circuito simulado,  $V_o = 98,3$  V.

#### IV. OTIMIZAÇÃO DA DISTORÇÃO HARMÔNICA TOTAL DA CORRENTE DE ENTRADA

De acordo com (2), a escolha adequada de um par de ângulos  $\alpha, \phi$  permite o ajuste da tensão de saída  $V_o$ . Entretanto, existem diversos pares de ângulos que produziram um dado valor  $V_o$ . Para orientar a escolha, pode-se optar por determinar pares de ângulos de forma que se minimizem componentes harmônicas específicas, a fim de verificar a adequação do sistema a regulamentações pertinentes, e.g. IEC 61000-3-4. Porém, de acordo com a própria IEC, tal documento é considerado uma “recomendação técnica”, não se enquadrando ainda na categoria de norma internacional.

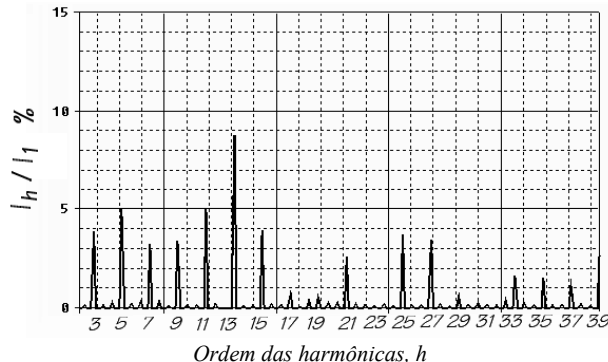


Figura 9 – Espectro harmônico da corrente de entrada.

Assim, optou-se neste trabalho, por otimizar o retificador de forma a obter a  $DHT_i$  mínima o que resulta, conseqüentemente, em um máximo FP de acordo com a equação (1).

Para a análise da  $DHT_i$  mínima considerou-se a situação ideal da Figura 2, ou seja  $L_o$  e  $L_1$  são tais que a ondulação nos níveis da corrente de entrada é desprezível. Desta forma, a expressão para  $i_i$ , em termos da série de Fourier, é dada por:

$$i(t) = \frac{2I_o}{\pi(2n-1)} \sum_{n=1}^{\infty} \{ \cos[(2n-1)\alpha] + \cos[(2n-1) \cdot (\alpha + \phi)] \} \cdot \text{sen}[(2n-1)\omega t] \quad (3)$$

A amplitude da componente harmônica de ordem  $h$ , com  $h = 1, 3, 5, \dots$ , designada por  $I_h$ , é dada por:

$$I_h = \frac{2I_o}{\pi h} \{ \cos(h\alpha) + \cos[h \cdot (\alpha + \Phi)] \} \quad (4)$$

A  $DHT_i$  é dada por:

$$DHT_i(\%) = 100 \times \sqrt{\sum_{h=2}^{\infty} \left( \frac{I_h}{I_{i1}} \right)^2} \quad (5)$$

Onde  $I_{i1}$  é a amplitude da componente fundamental de  $i_i$ . Através de (2), (4) e (5) é possível, por meio de um método numérico, encontrar os ângulos  $\alpha$  e  $\phi$  que minimizam a  $DHT_i$  para um determinado valor de  $V_o$ , sendo assim denominados *ângulos ótimos*.

As curvas mostrando a  $DHT_i$  mínima e os ângulos ótimos, ambas em função da tensão de saída que seria obtida em um retificador buck MNC ideal (sem perdas nos interruptores), são mostradas, respectivamente, nas Figuras 10 e 11.

A tensão de saída é expressa na forma normalizada,  $V_{o,n}$ , dada por:

$$V_{o,n} = \frac{V_o}{V_{o,base}} \quad (6)$$

Onde:

$$V_{o,base} = V_o (\alpha = \phi = 0^\circ) \quad (7)$$

Foi adotado um limite para o ângulo  $\phi$  de  $30^\circ$ . Ora, maiores valores de  $\phi$  implicam em ondulação acentuada da corrente no indutor de equilíbrio, pois é neste intervalo que tal elemento se submete à tensão de entrada. Isto, por conseguinte, exige uma indutância mais elevada para garantir a distribuição equitativa de corrente nas chaves e para preservar a constituição multinível da corrente. Em conseqüência, o volume e peso do conversor podem aumentar desfavoravelmente. Foi adotado ainda:

$$\alpha + \phi \leq 80^\circ \quad (8)$$

Esta restrição se dá em função de características próprias do circuito de comando desenvolvido para o protótipo, o qual rejeita uma entrada de dados  $\alpha, \phi$  cuja soma exceda 80 graus. O objetivo aqui é garantir um tempo mínimo para que o sistema de geração de pulsos possa executar as rotinas de leitura de dados (vj. Seção V). Como os resultados experimentais para a  $DHT_i$  foram posteriormente comparados com os valores teóricos, foi de interesse considerar a restrição expressa por (8) no algoritmo para obtenção da curva da Figura 10.

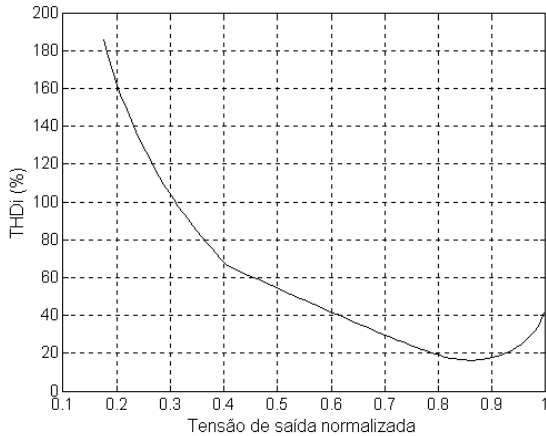


Figura 10 –  $DHT_i$  mínima, em função da tensão de saída normalizada.

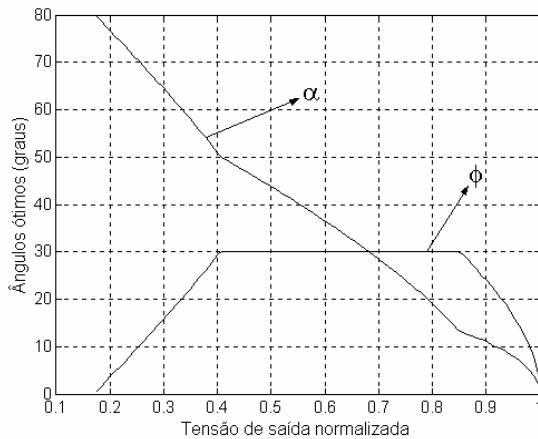


Figura 11 – Ângulos ótimos do retificador (o valor máximo de  $\phi$  foi restrito a  $30^\circ$ ).

## V. O CIRCUITO DE SINCRONISMO E GERAÇÃO DE PULSOS

O circuito de sincronismo e geração de pulsos desempenha um papel fundamental na operação da estrutura proposta. Além de promover o sincronismo entre os pulsos de comando e a tensão ca de entrada, o circuito deve ainda garantir que os intervalos de tempo  $\Delta t_{\alpha(1)}$  e  $\Delta t_{\alpha(2)}$ , bem como  $\Delta t_{\phi(1)}$  e  $\Delta t_{\phi(2)}$ , sejam iguais, como ilustra a Figura 12, representando a tensão de saída da ponte retificadora e os pulsos de comando dos interruptores,  $v_{g1}$  e  $v_{g2}$ . Pequenas assimetrias entre estes intervalos poderiam causar um desequilíbrio degenerativo de corrente nos interruptores, descaracterizando a operação multinível do retificador e

sobrecarregando uma das duas células de comutação constituintes da célula MNC do retificador.

O circuito de sincronismo e geração de pulsos é descrito pelo diagrama de blocos da Figura 13. Um microcontrolador de 8 bits constitui sua unidade principal. O sistema, após transformar o sinal da tensão de entrada  $v_i$  em uma onda quadrada TTL ( $v_i'$ ), aplica o sinal  $v_i'$  à entrada de um circuito de malha amarrada por fase (PLL), responsável por promover o sincronismo dos pulsos  $v_{g1}$  e  $v_{g2}$  com a tensão  $v_i$ , sendo este o único sinal externo necessário para a operação do sistema.

Os pulsos  $v_{vco}$ , produzidos na saída do oscilador controlado por tensão (VCO), interno ao circuito PLL, são aplicados à entrada do contador integrante do microcontrolador. O programa do microcontrolador (*firmware*), por sua vez, realiza a contagem destes pulsos (com frequência 1800 vezes superior à de  $v_i'$ ) de forma a produzir os pulsos de comando, de acordo com os ângulos  $\alpha$  e  $\phi$ , cujos valores são fornecidos pelo usuário através de um teclado numérico.

O sinal  $v_{vco}'$  é realimentado no comparador de fase do PLL, tendo, para o sistema em equilíbrio, a mesma frequência de  $v_i'$ . Os sinais  $v_{g1}$  e  $v_{g2}$  são aplicados a circuitos de interfaceamento (*drivers*) adequados aos dispositivos utilizados para implementar  $S_1$  e  $S_2$ , gerando assim os sinais  $v_{g1}'$  e  $v_{g2}'$ .

O microcontrolador de 8 bits adotado foi o AT89S8252 (Atmel), enquanto o circuito PLL empregado foi o CD4046BC (Fairchild). O uso de um sistema microcontrolado permite ao usuário não somente ajustar a tensão de saída, mas também entrar com o valor numérico dos ângulos  $\alpha$  e  $\phi$ . Adicionalmente, este sistema poderia ser empregado para responder a uma estratégia especificada de controle em malha fechada, o que se pretende desenvolver no futuro.

## VI. RESULTADOS EXPERIMENTAIS

Um protótipo de 2 kW para o retificador buck MNC foi implementado em laboratório (Figura 14). Neste caso, Q1 e Q2 são IGBTs IRG4PC30W (International Rectifier), enquanto D1 e D2 são diodos MUR1540. Embora estes componentes sejam de comutação rápida, o seu emprego se deu em função da disponibilidade em laboratório e adequação aos níveis de tensão e corrente exigidos. Em uma aplicação prática do retificador, porém, componentes lentos (e.g. IGBT's de 1ª geração) poderiam ser utilizados. Por outro lado, a ponte retificadora utilizada (KBPC3504) é própria para operação em baixa frequência.

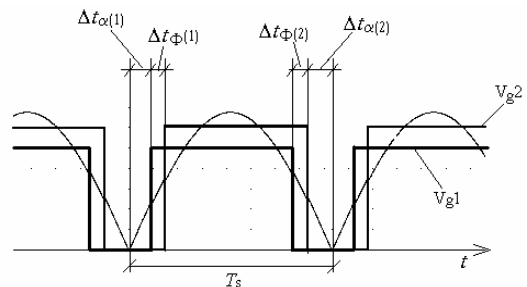


Figura 12 – Representação da tensão na saída da ponte retificadora e pulsos de comando  $v_{g1}$  e  $v_{g2}$ .

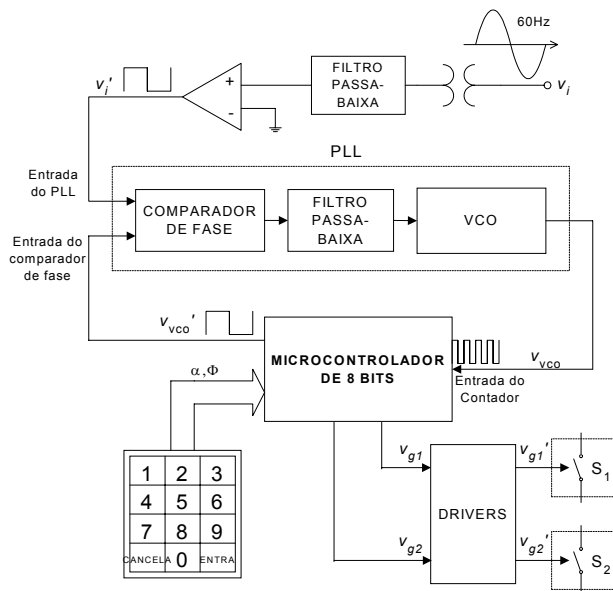


Figura 13 – O circuito de sincronismo e geração de pulsos.

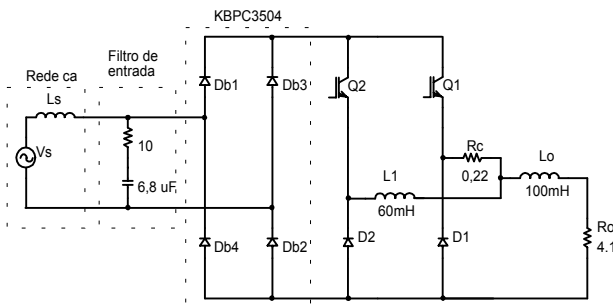


Figura 14 – Diagrama esquemático do protótipo implementado em laboratório.

Um filtro de entrada RC foi inserido no circuito, com o intuito de minimizar distúrbios na tensão de entrada causados pela transição rápida nos níveis de corrente de entrada durante a entrada em condução/bloqueio dos IGBTs. Isto ocorre devido às tensões induzidas  $L \cdot di/dt$  nas indutâncias da rede ca, representadas por  $L_s$  na Figura 14.

A resistência  $R_c$  de  $0,22 \Omega$  foi utilizada para compensar a resistência interna do indutor de equilíbrio  $L_1$ , de forma a garantir a divisão adequada da corrente nos interruptores da célula MNC. Embora a técnica de compensação resistiva introduza algum acréscimo nas perdas totais do circuito, o seu emprego no protótipo desenvolvido justificou-se pela simplicidade de implementação. Em trabalhos futuros, no entanto, poderão ser adotadas outras técnicas de compensação que não utilizem  $R_c$ , como o controle dinâmico na largura de pulso dos sinais de comando dos interruptores. Nesse caso, há a necessidade de um sistema de controle em malha fechada com sensores de corrente.

Em laboratório foram realizados ensaios exaustivos com o protótipo, tendo sido adquiridas curvas típicas para o retificador operando com  $\alpha = 12,6^\circ$  e  $\phi = 26,8^\circ$  que são aqui incluídas. A Figura 15 mostra a tensão e a corrente de entrada do retificador. As Figuras 16, 17 e 18 mostram outras formas de onda de interesse.

Para a corrente de entrada, a  $DHT_i$  obtida para 40 harmônicas foi de 15,3%, com um ângulo de deslocamento de  $0,28^\circ$  ( $FP_D \cong 1$ ). De acordo com (1), o fator de potência obtido foi de 0,989.

Pode-se observar na Figura 15 a presença de distúrbios na tensão de entrada. Tais distorções provocaram uma DHT de tensão de entrada de 4,48% (contra 3,32% para o sistema a vazio). A utilização de um circuito de ajuda à comutação (*snubber*) associado aos IGBT's, como mostra a Figura 19, poderia reduzir consideravelmente tais distúrbios, através da redução das taxas  $di/dt$  para a corrente de entrada nas transições. A Figura 20 mostra a tensão e corrente de entrada simuladas para o retificador buck MNC 5 níveis empregando o circuito de ajuda à comutação da Figura 19. Foram mantidos os parâmetros de simulação da seção III, tendo sido incluídos:  $L_s = 0,2 \text{ mH}$ ,  $L_{snb} = 4 \text{ mH}$ ,  $C_{snb} = 33 \mu\text{F}$  e  $R_{snb} = 100 \Omega$ . Neste caso, a DHT da tensão de entrada ficou em 1,24%, enquanto que para a corrente multinível obteve-se 13,74%. A investigação de um *snubber* ótimo, bem como sua implementação prática são objetos de futuros trabalhos.

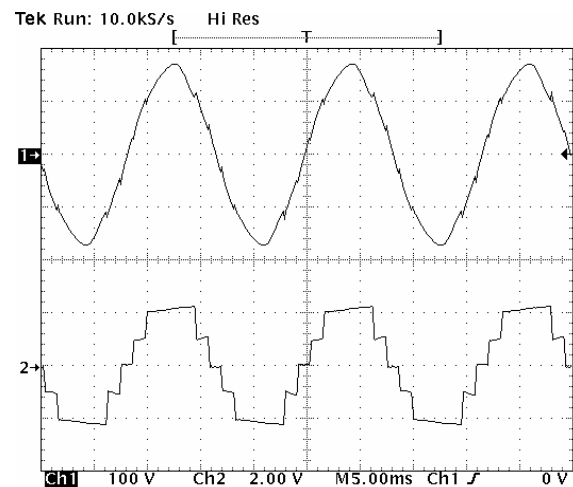


Figura 15 – Tensão e corrente de entrada, para  $\alpha = 12,6^\circ$  e  $\phi = 26,8^\circ$  (5 ms/div; 100 V/div; 20 A/div).

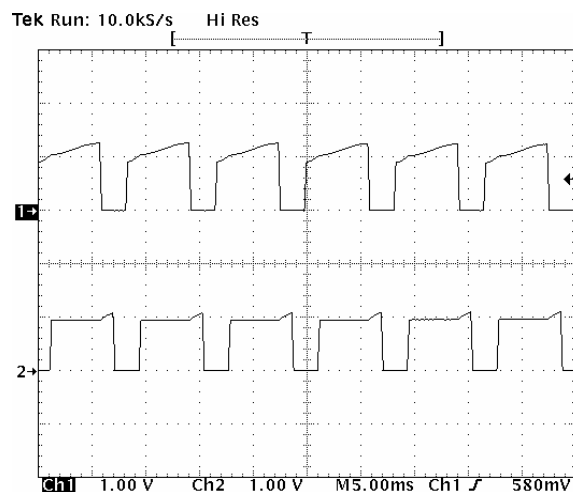


Figura 16 – Correntes nos IGBTs (5 ms/div; 10 A/div).

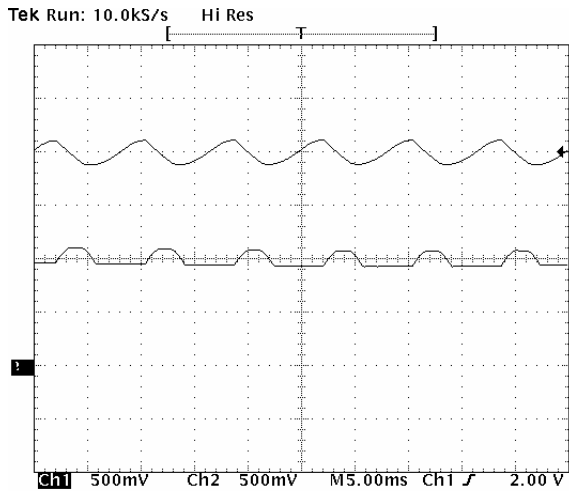


Figura 17 – Corrente de saída e corrente no indutor de equilíbrio (5 ms/div; 5 A/div).

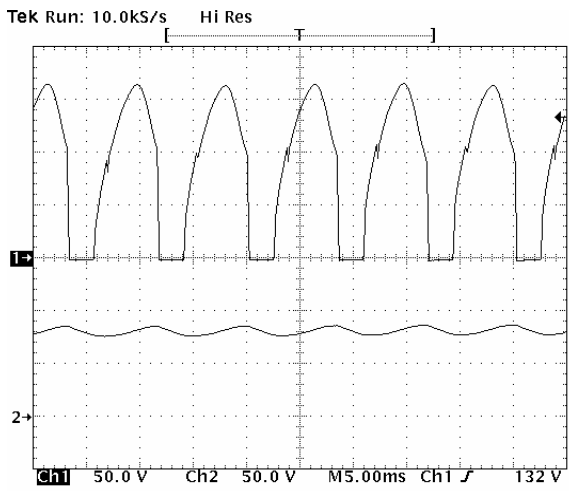


Figura 18 – Tensão de saída e tensão em  $R_o$  (5 ms/div; 50 V/div).

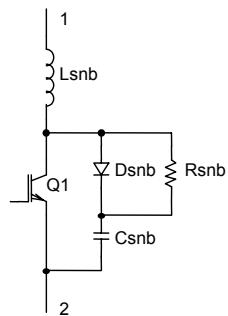


Figura 19 – Circuito de ajuda à comutação.

Variando-se a tensão de saída utilizando os ângulos ótimos da Figura 11, foi obtida a curva de rendimento do retificador, mostrada na Figura 21. Foram obtidas ainda as curvas experimentais da DHT<sub>i</sub> (Figura 22) e do fator de potência do retificador (Figura 23).

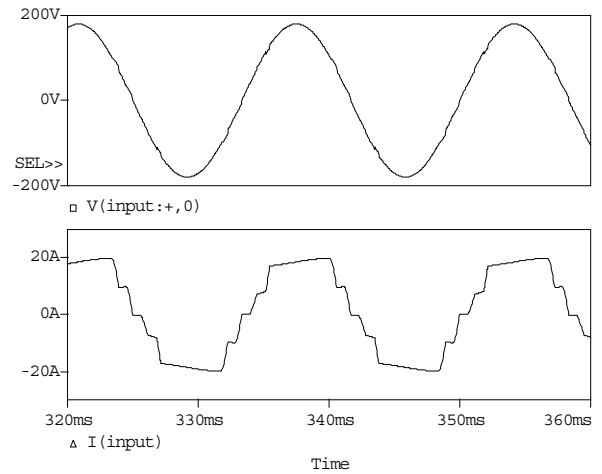


Figura 20 – Tensão e corrente de entrada simuladas para o retificador buck MNC 5 níveis empregando o circuito de ajuda à comutação da Figura 19.

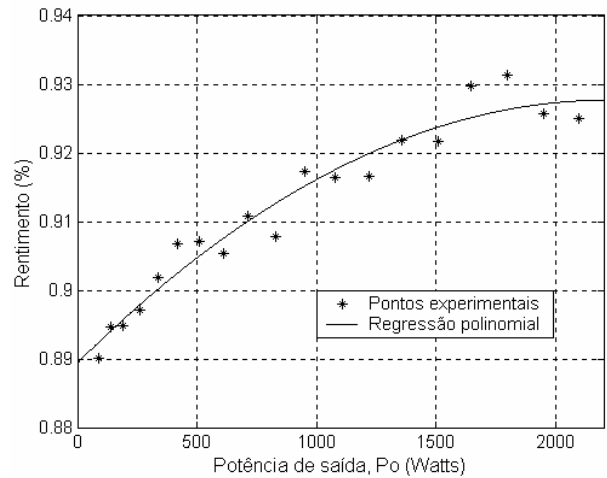


Figura 21 – Curva de rendimento do retificador buck MNC 5 níveis.

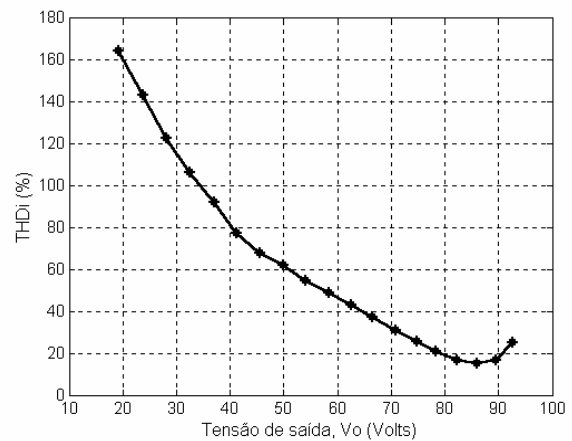


Figura 22 – Valores experimentais para a DHT da corrente de entrada.

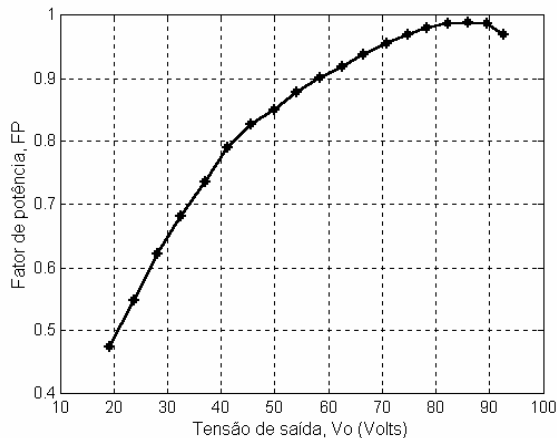


Figura 23 – Curva do fator de potência obtido para o retificador.

Em virtude da queda de tensão nos componentes do retificador, incluindo a resistência parasita do indutor de equilíbrio foram registrados, para a tensão de saída, valores menores do que os que seriam obtidos usando os pares  $\alpha, \phi$  em (2). Para  $\alpha = 12,6^\circ$  e  $\phi = 26,8^\circ$ , a tensão de saída medida foi de aproximadamente 86 V (em lugar de 100 V, no caso teórico). Estuda-se obter uma equação mais rigorosa que a equação (2), a fim de refletir este efeito. Entretanto, para cada par  $\alpha, \phi$  utilizado na obtenção da curva da Figura 22, os valores experimentais de DHT<sub>i</sub> mostraram-se muito próximos dos valores teóricos, mostrados na Figura 10 para uma forma de onda 5 níveis ideal, sobretudo para os valores maiores de tensão de saída.

## VII. CONCLUSÕES

Este trabalho apresentou um novo retificador multinível em corrente baseado no conversor buck-2 células, capaz de estabelecer uma corrente de entrada com até cinco níveis. Se comparado com outras alternativas, a nova estrutura apresenta a vantagem de promover a divisão da corrente de saída através de duas células de comutação, empregando um número reduzido de interruptores ativos.

Através do comando dos interruptores ativos empregando pulsos de mesma largura, defasados de um ângulo  $\phi$ , mostrou-se possível ajustar a tensão de saída do retificador drenando da fonte ca uma corrente de entrada com DHT reduzida, levando a estrutura a operar com elevado fator de potência, empregando comutação em baixa frequência. Isto pode ser comprovado através da comparação entre os resultados experimentais para a tensão e corrente de entrada (Figura 15) com as formas de onda ideais da Figura 2. A estrutura monofásica é adequada, assim, a aplicações envolvendo cargas cc altamente indutivas.

A estratégia de sincronismo associada à geração dos pulsos de comando dos interruptores, através de um circuito digital apropriado, mostrou-se imprescindível para garantir o equilíbrio de corrente entre os interruptores da célula MNC, intrínseca à estrutura do retificador buck MNC 5 níveis.

O circuito descrito neste trabalho e os resultados experimentais obtidos constituem, assim, uma referência para o desenvolvimento de retificadores buck MNC com mais de cinco níveis, bem como para o estudo de outras topologias de

retificadores com comutação em baixa frequência baseados na técnica multinível em corrente.

Um estudo sobre condicionamento harmônico e adequação a normas será implementado como continuidade deste trabalho. Ressalta-se, porém, a possibilidade de operação com um maior número de níveis intermediários (empregando um conversor buck com mais de duas células MNC), o que certamente flexibilizará a minimização de componentes harmônicas específicas.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] J. S. Lai, F. Z. Peng, "Multilevel Converters – A New Breed of Power Converters", *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509-517, May/June 1996.
- [2] J. Rodrigues, J. S. Lai, F. Z. Peng, "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, August 2002.
- [3] F. Z. Peng, J. S. Lai, J. W. McKeever, J. VanCoevering, "A Multilevel Voltage-Source Inverter with Separate DC Sources for Static Var Generation", *IEEE Transactions on Industry Applications*, vol. 32, no. 5, pp. 1130-1138, Sep/Oct 1996.
- [4] H. A. C. Braga, I. Barbi, "Conversores Estáticos Multiníveis – Uma Revisão", *Revista da SBA - Controle & Automação*, vol. 11, no. 01, pp. 20-28, janeiro a abril de 2000.
- [5] V. Vorpérian, "Simplified Analysis of PWM Converters Using Model of PWM Switch; Part I: Continuous Conduction Mode", *IEEE Transactions on Aerospace and Electronics Systems*, Vol. 26, No. 3, pp. 490-496, May 1990.
- [6] H. A. C. Braga, "Conversores Multiníveis em Corrente", *Tese de doutorado, UFSC, Florianópolis*, 1996.
- [7] J.-S. Lai, D. Hurst, T. Key, "6 Switch-Mode Supply Power Factor Improvement Via Harmonic Elimination Methods", in *Applied Power Electronics Conference and Exposition, 1991. APEC '91*, Conference Proceedings, pp. 415-422, Mar. 1991.
- [8] B. R. Lin, H. H. Lu, "A Novel PWM Scheme for Single-Phase Three-Level Power-Factor-Correction Circuit", *IEEE Transactions on Industrial Electronics*, vol. 47, no. 2, pp. 245-252, April 2000.
- [9] M. S. Elmore, W. A. Peterson, D. Sherwood, "A Power Factor Enhancement Circuit", in *Applied Power Electronics Conference and Exposition, 1991, APEC '91*, Conference Proceedings, pp. 407-414, Mar. 1991.
- [10] Suga, M. Kimata, Y. Ohnishi, R. Uchida, "New Switching Method for Single-Phase AC to DC Converter", *Power Converters Conference, Yokohama, 1993*, pp. 93-98, Apr. 1993.
- [11] N. Mohan, T. M. Undeland, W. P. Robbins, *Power Electronics – Converters, Applications and Design*. John Wiley & Sons, Inc., 1989.
- [12] R. Redl, P. Tenti, J. Daan van Wyk, "Power Electronics' Polluting Effects", *IEEE Spectrum*, vol. 34, no. 5, pp. 32-39, May 1997.
- [13] M. H. Rashid, *Eletrônica de Potência – Circuitos, Dispositivos e Aplicações*; Makron Books, 1999.



- [14] Y. B. Blauth, I. Barbi, "A Phase-Controlled 12-Pulse with Unity Displacement Factor without Phase Shifting Transformer", *Applied Power Electronics Conference and Exposition, 1998, APEC '98*. Conference Proceedings, vol. 2, pp. 970-976, Feb. 1998.
- [15] E. C. Teixeira, H. Braga, "A High Power Factor Single-Phase Rectifier Based on a Current Multilevel Buck Converter", *Anais do 6º Congresso Brasileiro de Eletrônica de Potência – COBEP*, pp. 180-185, 2001.
- [16] H. A. C. Braga, I. Barbi, "A New Technique for Parallel Connection of Commutation Cells: Analysis, Design, and Experimentation", *IEEE Transactions on Power Electronics*, vol. 12, no. 2, pp. 387-395, Mar. 1997.
- [17] T. A. Meynard, H. Foch, "Multi-level Conversion: High Voltage Choppers and Voltage-Source Inverters", *Anais do Power Electronics Specialists Conference (PESC'91)*, pp. 397-403, 1992.
- [18] F. M. Antunes, H. A. C. Braga, I. Barbi, "Application of a Generalized Current Multilevel Cell to a Current Source Inverter", *IEEE IECON 21st International Conference*, vol. 1, pp. 278-283, Nov. 1995.
- [19] F. M. Antunes, H. A. C. Braga, I. Barbi, "Application of a Generalized Current Multilevel Cell to Current-Source Inverters", *IEEE Transactions on Industrial Electronics*, vol. 46, no.1, pp. 31-38, Feb. 1999.
- [20] H. Braga, I. Barbi, "Current Multilevel DC-DC Converters", *Anais do 3º Congresso Brasileiro de Eletrônica de Potência – COBEP '95*, pp. 417-422, Dec. 1995.

**Estêvão Coelho Teixeira** nasceu em São Paulo (SP), em 28/06/1974. Gradou-se em Engenharia Elétrica em 1998 pela Universidade Federal de Juiz de Fora, onde concluiu recentemente o curso de mestrado em Engenharia Elétrica. Atuou como instrutor de formação profissional no SENAI de Juiz de Fora em 1999/2000, nas áreas de Eletricidade e Eletrônica. Suas áreas de interesse são conversores estáticos de energia, automação, microprocessadores e aplicações industriais.

**Henrique A. C. Braga** nasceu em Aimorés, MG, em 01/08/1959. Gradou-se em Engenharia Elétrica pela Universidade Federal de Juiz de Fora (UFJF) em 1982. É professor dessa mesma universidade desde 1985. Obteve o título de Mestre em Engenharia Elétrica, sub-área Eletrônica de Potência, na COPPE/UFRJ em 1988. Em 1996 concluiu o curso de doutoramento, na mesma área do mestrado, pela Universidade Federal de Santa Catarina, INEP-UFSC. Atuou como membro do Conselho Executivo da SOBRAEP em 1994. Atualmente é professor nos cursos de Graduação e Pós Graduação (mestrado) em Engenharia Elétrica da UFJF, lecionando disciplinas na área de Eletrônica Básica e Eletrônica de Potência. É Senior Member do IEEE e foi Diretor da Seção MG do IEEE no biênio 2000/2001 e re-eleito para o biênio 2002/2003.