

# Um Novo Circuito Ativo de Auxílio à Comutação para Inversores ZVS-PWM-Três Níveis sem Fontes Auxiliares de Comutação

José Eduardo Baggio e José Renes Pinheiro

Universidade Federal de Santa Maria  
UFSM-CT-DELTA  
97119-960 - Santa Maria - RS - Brasil  
renes@pequim.ctlab.ufsm.br

**Resumo** - Este artigo apresenta o estudo, análise e procedimentos de projeto de um circuito ativo auxiliar de alto desempenho aplicado a inversores PWM-três níveis com comutação sob tensão nula (Zero Voltage Switching -ZVS). Este circuito permite comutações suaves a todos os dispositivos semicondutores de potência. O circuito ativo de auxílio à comutação (CAAC) é composto por um tanque ressonante LC e duas chaves semicondutoras auxiliares bidirecionais, sendo que uma chave auxiliar comuta sob tensão nula (ZVS) e a outra comuta em zero de corrente (Zero current Switching-ZCS). O CAAC proposto dispensa o uso de fontes auxiliares de tensão para realizar comutação suave. O conversor proposto apresenta alta eficiência, pois a energia reativa circulante apresentada é pequena, resultando em reduzido estresse de corrente eficaz nas chaves semicondutoras de potência. O procedimento de projeto dos componentes ressonantes do CAAC e resultados experimentais são apresentados para comprovar o princípio de operação.

**Abstract** - This paper presents the study, analysis and design procedures of a high performance active auxiliary commutation circuit applied to zero voltage switching three level PWM inverters. This circuit allows soft commutation for all power semiconductor devices. The auxiliary active commutation circuit (AACC) is composed by a LC resonant tank and two bi-directional auxiliaries switches, being that one auxiliary switch commutates under zero voltage (ZVS) and the other commutates under zero current (ZCS). The proposed AACC dispenses the use of auxiliary voltage source to perform soft commutation. The proposed inverter presents high efficiency since the trapped reactive energy is very small, resulting in small rms current stress through the main switches. Design procedures for the AACC resonant components and experimental results are presented to prove the operation principles.

## I. INTRODUÇÃO

Algumas concepções e alternativas topológicas de circuitos tem sido propostas e investigadas com o objetivo de realizar comutação suave em estruturas inversoras de potência. Pode-se afirmar que a presença de técnicas de comutação suave em conversores estáticos permitem que os dispositivos semicondutores de potência operem em frequências de chaveamento mais elevadas, sem contudo penalizar demasiadamente a eficiência do conversor. Por outro lado, para atingir este propósito (ZVS e/ou ZCS), os dispositivos semicondutores de potência podem sofrer um

aumento significativo em seu dimensionamento. Na maioria dos casos, este aumento é consequência das perdas de condução adicionais nos dispositivos semicondutores e nos componentes passivos.

Um circuito "snubber" LC ressonante composto por chaves semicondutoras auxiliares foi proposto por Bingen e McMurray [1, 2] para minimizar os estresses de alta dinâmica encontrados, quando as chaves semicondutoras primárias em circuitos inversores entram em condução ou bloqueiam. O circuito apresentado como Polo Ressonante de Auxílio à Comutação (Auxiliary Resonant Commutated Pole - ARCP) é composto por uma chave semicondutora bidirecional, um indutor ressonante, dois capacitores ressonantes e duas fontes CC auxiliares de tensão [1] ou dois capacitores divisores de tensão [2, 3]. O arranjo dos capacitores pode ser considerado como um único capacitor conectado ao ponto central da fonte CC de alimentação da entrada do conversor. Salienta-se aqui, que os capacitores projetados para baixas frequências (normalmente a frequência fundamental de saída é 50 ou 60 Hz) realizam a divisão da tensão de entrada. Esta topologia é interessante quando são empregadas topologias do tipo meia ponte. Mas, se for considerada uma topologia em ponte completa, são necessários dois ARCP, um para cada braço do inversor, além de dois capacitores de grande volume para dividir a tensão da fonte CC de alimentação de entrada. Este procedimento resulta em um aumento nas dimensões/volume do conversor. É importante comentar que em alguns casos como em alta tensão, os capacitores podem possuir tape-central. Portanto, nestes casos o volume não é por demais penalizado. Outros CAACs são apresentados em [4, 5] para inversores cujas fontes auxiliares de comutação são implementadas fazendo-se uso de um autotransformador.

O CAAC proposto está representado na figura 1. Este circuito dispensa o uso de fontes de tensão auxiliares ou capacitores com tape-central de baixa frequência na entrada, e opera utilizando o princípio da ressonância.

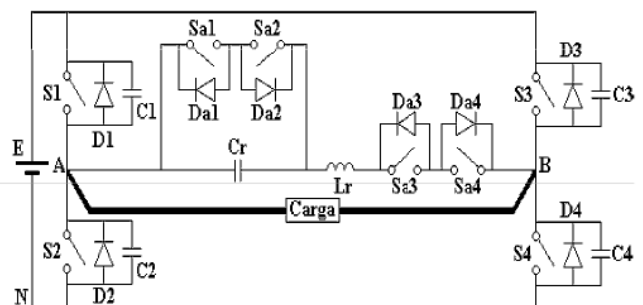


Figura 1. Inversor em Ponte Completa ZVS-PWM com CAAC.

O indutor e o capacitor ressonante são projetados para operarem em alta frequência. Este procedimento produz componentes de dimensões reduzidas. Os capacitores de comutação são colocados em paralelo com as chaves semicondutoras principais. As chaves semicondutoras auxiliares são colocadas, uma em série com o indutor ressonante  $L_r$ , e a outra em paralelo com o capacitor ressonante  $C_r$ . O conjunto (capacitor, indutor e chaves semicondutoras auxiliares) é considerado um Circuito Ativo de Auxílio à Comutação (CAAC). Este deve fornecer um caminho paralelo temporário para uma parcela adequada de energia, de forma que as chaves semicondutoras de potência principais possam comutar suavemente (ZVS) sob qualquer condição de carga. Portanto, o CAAC proposto realiza a entrada em condução e bloqueio suavemente em todas as chaves semicondutoras de potência. Por outro lado, as chaves semicondutoras auxiliares operam em comutação ZCS (Sa3, Sa4) e ZVS (Sa1, Sa2).

Devido ao fato do inversor operar em três níveis de tensão de saída (+E, 0, -E), para que se possa comutar suavemente de (0→+E) e de (0→-E), é necessária uma fonte auxiliar ou que haja alguma energia armazenada no circuito auxiliar. Se a energia for armazenada no indutor ressonante, as perdas de condução tornam-se elevadas, penalizando a eficiência do circuito. Sendo assim, para se obter alta performance, recomenda-se que a energia deve ser armazenada no capacitor ressonante.

## II. PRINCÍPIOS DE OPERAÇÃO

O CAAC proposto é apropriado para estruturas inversoras monofásicas em ponte completa ZVS operando com comando PWM-três níveis. Todos os dispositivos operam em alta frequência e o CAAC garante comutação suave a todas as chaves semicondutoras. Para explicar a operação do circuito, assume-se que a tensão de carga comuta de +E para 0 (nível zero volts) e de 0 para +E.

Inicialmente (Etapa 0), considera-se que as chaves semicondutoras S1 e S4 estão conduzindo a corrente de carga e que as condições iniciais nos elementos ressonantes são  $V_{Cr} = 0$  e  $I_{Lr} = 0$ . As chaves semicondutoras Sa1 e Sa2 estão habilitadas a conduzir, e pelo fato de que  $V_{Cr} = 0$ , estas estão fechadas (ver figura 2).

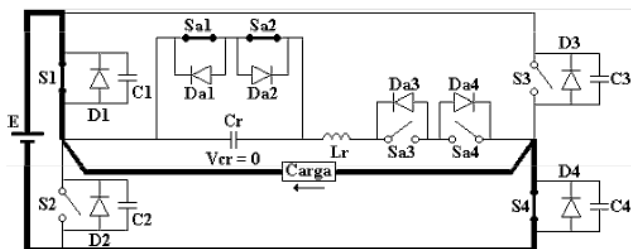


Figura 2. Etapa 0

**Etapa 1:** No instante  $t_0$ , a chave semicondutora Sa3 entra em condução em condição ZCS, iniciando a transferência de energia da fonte de tensão principal +E para o indutor ressonante. Como a tensão sobre o capacitor ressonante  $v_{Cr}(t_1)=0$  e a chave semicondutora Sa1 está fechada, a corrente no indutor ressonante  $i_{Lr}$  evolui de forma linear nesta etapa (ver figura 3).

$$i_{Lr}(t) = \frac{Et}{Lr} \quad (1)$$

$$I_o = \frac{E \cdot \Delta t_{linear}}{Lr} \quad (2)$$

onde:  $I_o$  é a variação de corrente no indutor ressonante  $L_r$ , e  $\Delta t_{linear}$  é o intervalo de tempo de carga linear no indutor ressonante  $L_r$  ( $t_1-t_0$ )

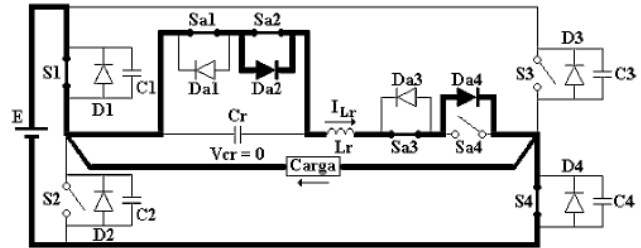


Figura 3. Etapa 1

**Etapa 2:** No instante  $t_1$ , a chave semicondutora S1 é bloqueada e S2 é habilitada à condução, começando o processo de comutação entre as chaves semicondutoras principais. Neste instante inicia a ressonância entre as energias envolvidas nos capacitores de comutação (C1 e C2) e o indutor ressonante  $L_r$ . A tensão  $v_{C2}(t)$  sobre o capacitor C2 começa a decrescer (ver figura 4). Estas variáveis são definidas por:

$$i_{Lr}(t) = I_{Carga} [1 - \cos(\omega_1 t)] + I_o \cdot \cos(\omega_1 t) + \frac{E}{Z_1} \cdot \sin(\omega_1 t), \quad (3)$$

$$v_{C2}(t) = E \cdot \cos(\omega_1 t) - Z_1 \cdot (I_o - I_{Carga}) \cdot \sin(\omega_1 t), \quad (4)$$

onde  $Z_1$  é a impedância característica e  $\omega_1$  é a frequência angular do circuito ressonante formado por  $L_r$  e  $(C1+C2)$ , sendo:

$$Z_1 = \sqrt{\frac{Lr}{C2 + C1}} \quad (5)$$

$$\omega_1 = \sqrt{\frac{1}{Lr \cdot (C2 + C1)}} \quad (6)$$

O pico de corrente no indutor ressonante ocorre no final desta etapa, sendo definido por:

$$I_{Lr}(t_2) = \frac{R_1 + I_{Carga} \cdot Z_1}{Z_1} \quad (7)$$

sendo  $R_1$  definido na equação (19).

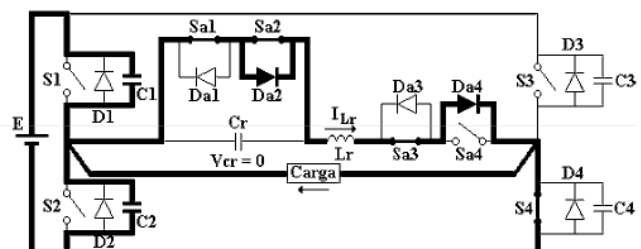


Figura 4. Etapa 2

**Etapa 3:** No instante  $t_2$  quando a tensão sobre o capacitor C2 atinge zero  $v_{C2}(t_2)=0$ , a chave semicondutora principal S2 entra em condução ZVS (ver figura 5). A corrente de carga circula através de D2 e S4, e a corrente no indutor ressonante circula através de D2, Sa1, Da2,  $L_r$ , Sa3, Da4 e S4, permanecendo constante com valor definido pela equação (7).

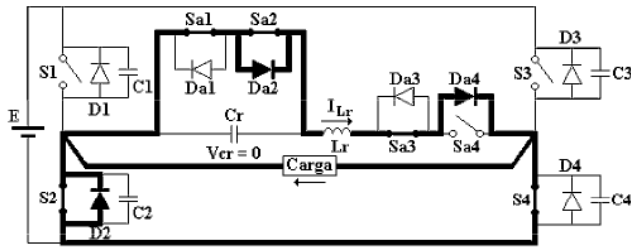


Figura 5. Etapa 3

**Etapa 4:** No instante  $t_3$ , as chaves semicondutoras auxiliares Sa1 e Sa2 são bloqueadas (ZVS) simultaneamente, e o circuito ressonante (LC) evolui de forma cossenoidal. A tensão no capacitor aumenta e a corrente no indutor decresce até o instante  $t_4$ , quando esta corrente atinge zero e o diodo Da4 bloqueia (ver figura 6). As variáveis envolvidas nesta etapa são definidas pelas equações (8) e (9).

$$i_{Lr}(t) = I_{Lr}(t_2) \cdot \cos(\omega_0 t), \quad (8)$$

$$v_{Cr}(t) = I_{Lr}(t_2) \cdot Z_0 \cdot \sin(\omega_0 t), \quad (9)$$

onde  $Z_0$  é a impedância característica e  $\omega_0$  é a frequência angular do circuito ressonante formado por Lr e Cr, sendo

$$Z_0 = \sqrt{\frac{Lr}{Cr}} \quad (10)$$

$$\omega_0 = \sqrt{\frac{1}{Lr \cdot Cr}} \quad (11)$$

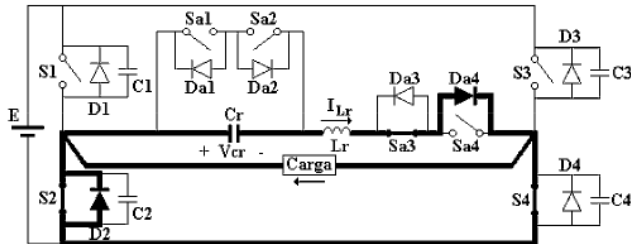


Figura 6. Etapa 4

**Etapa 5:** No instante  $t_5$ , a chave semicondutora auxiliar Sa3 é bloqueada em condição ZCS, e somente a corrente de carga circula através de D2 e S4 (ver figura 7). Neste intervalo de tempo não ocorrem alterações nos valores de corrente e tensão dos elementos ressonantes.

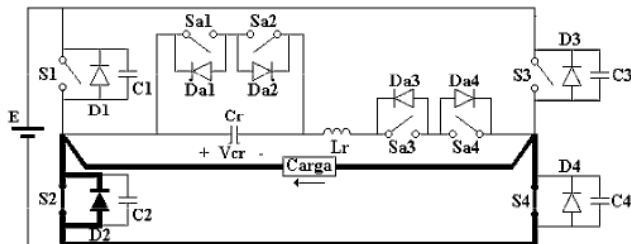


Figura 7. Etapa 5

**Etapa 6:** No instante  $t_6$ , a chave semicondutora auxiliar Sa4 entra em condução (ZCS), iniciando novamente o processo de ressonância entre as energias envolvidas no capacitor ressonante Cr e indutor ressonante Lr (ver figura 8). A tensão sobre o capacitor decresce e a corrente no indutor aumenta, conforme as equações 12 e 13.

$$i_{Lr}(t) = -V_{Cr}(t_6) \sqrt{\frac{Cr}{Lr}} \cdot \text{sen}(\omega_0 t) \quad (12)$$

$$v_{Cr}(t) = V_{Cr}(t_6) \cdot \cos(\omega_0 t) \quad (13)$$

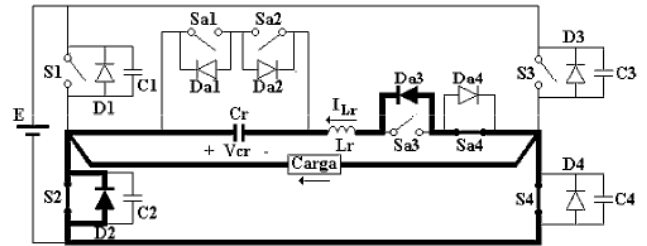


Figura 8. Etapa 6

**Etapa 7:** No instante  $t_7$ , quando a tensão sobre o capacitor ressonante atinge zero  $v_{Cr}(t_7) = 0$ , as chaves semicondutoras auxiliares Sa1 e Sa2 entram em condução, e a corrente no indutor ressonante passa a circular através de S2, D4, Sa4, Da3, Lr, Sa2 e Da1, com módulo igual ao do instante  $t_2$ .

$$i_{Lr}(t) = -I_{Lr}(t_2) \quad (14)$$

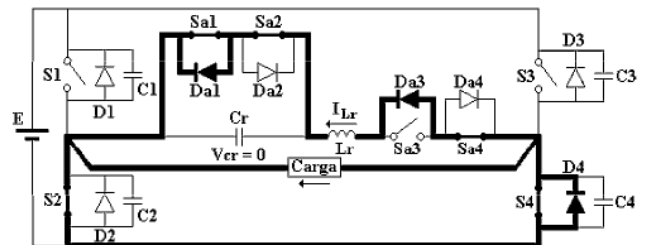


Figura 9. Etapa 7

**Etapa 8:** No instante  $t_8$ , a chave semicondutora principal S2 é bloqueada e S1 é habilitada à condução. A energia nos capacitores de comutação C1 e C2 evolui de forma ressonante com a do indutor ressonante Lr (ver figura 10). As grandezas envolvidas são definidas pelas equações (15) e (16).

$$i_{Lr}(t) = I_{Carga} - (I_{Lr}(t_2) + I_{Carga}) \cdot \cos(\omega_1 t) \quad (15)$$

$$v_{C2}(t) = Z_1 \cdot (I_{Lr}(t_2) + I_{Carga}) \cdot \text{sen}(\omega_1 t) \quad (16)$$

No final desta etapa a corrente no indutor ressonante atinge o valor definido na equação (17).

$$I_{Lr}(t_9) = \frac{\sqrt{R_2^2 - E^2} - I_{Carga} \cdot Z_1}{Z_1}, \quad (17)$$

sendo  $R_2$  definido na equação (20).

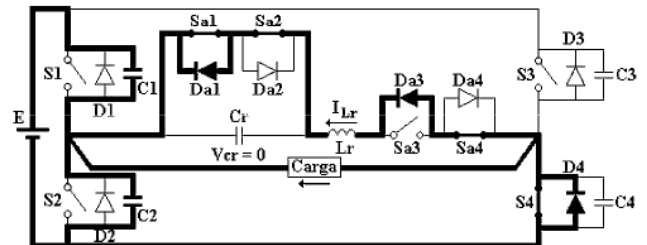


Figura 10. Etapa 8

**Etapa 9:** No instante  $t_9$  quando a tensão sobre o capacitor C1 atinge zero  $v_{C1}(t_9) = 0$ , a chave semicondutora principal S1 entra em condução. A corrente no indutor ressonante

decrece, transferindo a parcela remanescente de energia armazenada para a fonte de tensão principal (+E). Quando a corrente do indutor ressonante atinge zero, o diodo Da3 bloqueia e a chave semicondutora auxiliar Sa4 é bloqueada sob condição ZCS. A corrente no indutor ressonante é definida pela equação (18).

$$i_{Lr}(t) = -I_{Lr}(t_9) + \frac{E \cdot t}{Lr} \quad (18)$$

Na figura 11 são apresentadas as formas de ondas teóricas dos sinais lógicos de comando das chaves semicondutoras principais e auxiliares, bem como a corrente no indutor ressonante, tensão no capacitor ressonante e tensão na saída do inversor, para as etapas de operação do inversor em que a tensão de saída varia de +E → 0 → +E.

A figura 12 apresenta o plano de fase do inversor com CAAC, tendo como variáveis de estado a corrente no indutor ressonante e a tensão no capacitor de comutação C1. Neste, as etapas ressonantes desenvolvem-se com frequência angular  $\omega_1$ , o centro da ressonância é em  $(E, Z_1 \cdot I_{Carga})$  e o raio da ressonância que ocorre no intervalo de tempo  $\Delta t_2$  é dado por:

$$R_1 = \sqrt{(Z_1 \cdot I_0 - I_{Carga} \cdot Z_1)^2 + E^2} \quad (19)$$

O raio da ressonância que ocorre no intervalo de tempo  $\Delta t_9$  é dado por:

$$R_2 = \sqrt{(Z_1 \cdot I_0 - I_{Carga} \cdot Z_1)^2 + E^2} + 2 \cdot I_{Carga} \cdot Z_1 \quad (20)$$

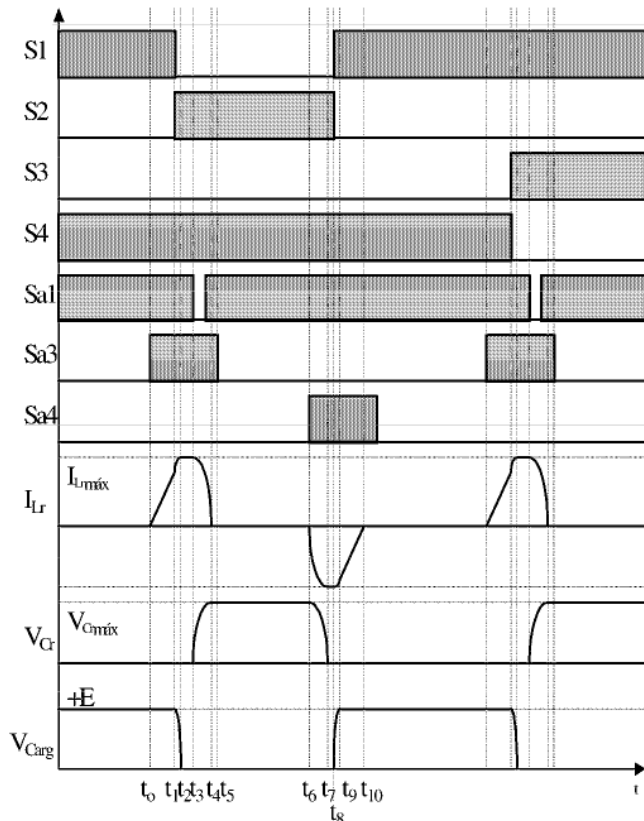


Figura 11. Formas de Ondas Teóricas

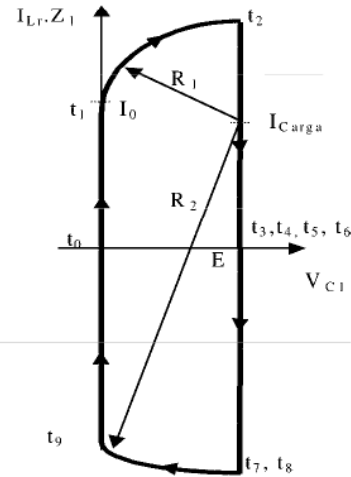


Figura 12. Plano de fase do inversor para as variáveis de estado  $i_{Lr}(t)$  e  $v_{C1}(t)$

A partir das equações do centro e do raio da ressonância, percebe-se que quanto maior for a corrente de carga, maior será a energia envolvida no circuito ressonante.

As etapas referidas anteriormente descrevem a operação do conversor quando são aplicados níveis de tensão sob a carga igual a +E e 0 (zero) Volts. Sendo as chaves semicondutoras auxiliares bidirecionais, o CAAC proposto pode ser aplicado também para a situação em que os níveis de tensão sob a carga são -E e 0 (zero) Volts, baseado-se no mesmo princípio.

Ocorre uma particularidade no instante em que a tensão de carga tem sua polaridade invertida. É bem conhecido o fato que se a carga for do tipo indutiva, ela própria pode comutar as chaves semicondutoras principais (Ex. +E → -E). Entretanto, para garantir de maneira simples a inversão na tensão de saída para qualquer condição de carga e realizar adequadamente a comutação, o CAAC deve operar conforme é descrito a seguir.

**Etapa 1:** No instante  $t_0$ , a chave semicondutora Sa3 é fechada iniciando a etapa de transferência de energia para o indutor ressonante (ver figura 13). A corrente no indutor aumenta linearmente devido à presença da fonte de tensão +E, e é definida pelas equações (1) e (2).

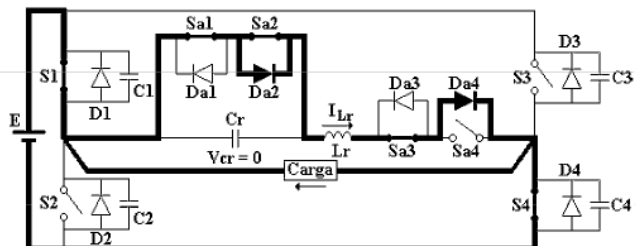


Figura 13. Etapa 1 na inversão da tensão de saída

**Etapa 2:** No instante  $t_1$ , as chaves semicondutoras S1 e S4 são bloqueadas, e as chaves semicondutoras S2 e S3 são habilitadas à condução (ver figura 14). O indutor ressonante e os capacitores de comutação evoluem de forma ressonante, iniciando o processo de comutação ZVS de todas as chaves semicondutoras principais.

$$v_{C1}(t) = \frac{I}{2} \left[ E - E \cdot \cos(\omega t) + \sqrt{\frac{L_r}{C1}} \cdot (I_0 - I_{Carga}) \cdot \sin(\omega t) \right] \quad (21)$$

$$i_{L_r}(t) = E \sqrt{\frac{C1}{L_r}} \cdot \sin(\omega t) + I_{carga} + (I_0 - I_{Carga}) \cdot \cos(\omega t) \quad (22)$$

$$\text{onde } \omega = \sqrt{\frac{L_r}{C1}}$$

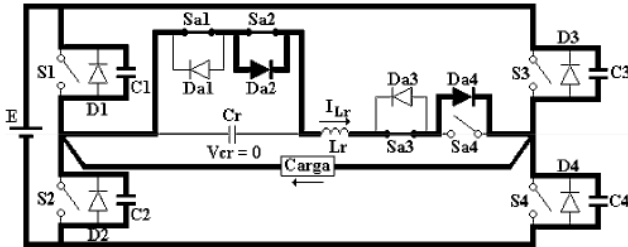


Figura 14. Etapa 2 na inversão da tensão de saída

**Etapa 3:** No instante  $t_2$ , as tensões sobre os capacitores C2 e C3 atingem zero  $V_{C2} = V_{C3} = 0$  e as chaves semicondutoras S2 e S3 entram em condução ZVS (ver figura 15). Neste instante, é aplicada uma tensão igual a  $-E$  sob carga, e a corrente no indutor decresce linearmente transferindo sua energia para a fonte de tensão de alimentação. A corrente no indutor ressonante é dada pela equação (23).

$$i_{L_r}(t) = I_0 - \frac{E \cdot t}{L_r} \quad (23)$$

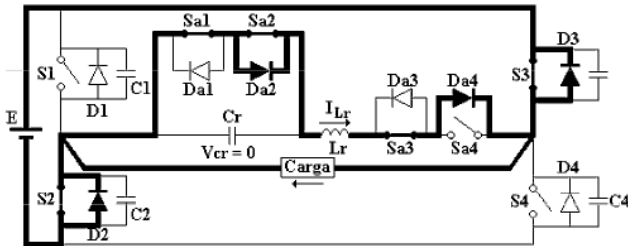


Figura 15. Etapa 3 na inversão da tensão de saída

**Etapa 4:** No instante  $t_3$  quando a corrente no indutor ressonante  $i_{L_r}(t_3)$  atinge zero, o diodo Da4 bloqueia (ver figura 16). A partir deste instante, o conversor opera de forma semelhante às etapas descritas anteriormente (Etapas de 0 a 9).

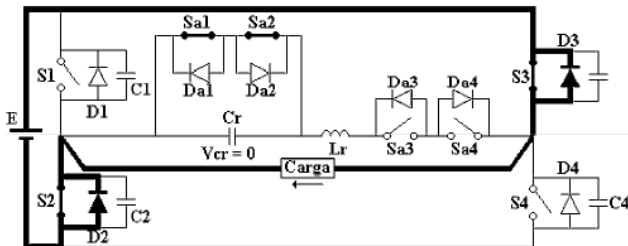


Figura 16. Etapa 4 na inversão da tensão de saída

Na figura 17 são apresentadas as formas de ondas teóricas dos sinais lógicos de comando das chaves semicondutoras principais e auxiliares, da corrente no indutor ressonante, da tensão no capacitor ressonante e da tensão na saída do inversor, no momento da inversão da tensão de saída.

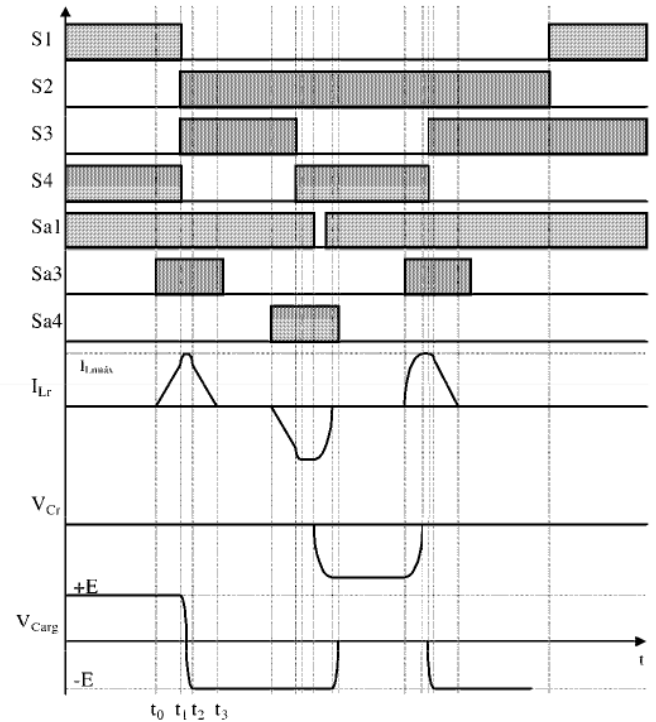


Figura 17. Formas de ondas teóricas no momento da inversão de polaridade da tensão na carga

### III. METODOLOGIA DE PROJETO

Conforme pode ser deduzido através do estudo dos princípios de operação do CAAC, a corrente de pico no indutor ressonante deve ser maior do que o pico da corrente de carga, para que as comutações sob tensão nula nas chaves semicondutoras principais ocorram com sucesso.

Um exemplo de projeto dos componentes ressonantes é mostrado a seguir:

$$\text{Definindo: } \begin{cases} P_o = 500W, E = 200V_{DC}, \\ \text{Profundidade de Modulação} = 0.8, \\ V_o = 127V_{rms} \end{cases}$$

Onde  $P_o$  é a potência na saída do inversor e  $V_o$  é a tensão sobre a carga.

Considerando-se uma ondulação máxima na corrente de saída = 0,5A, a corrente máxima de saída será,

$$I_{C\text{ pico}} = 6,06A.$$

Considerando que  $\Delta t_{linear} = 508 \mu s$ , e  $I_0 > I_{C\text{ pico}}$ , a indutância ressonante pode ser calculada por:

$$L_r = \frac{2 \cdot I_{C\text{ pico}} \cdot E \cdot \Delta t_{linear} + 2 \cdot E^2 \cdot C - 2 \cdot \sqrt{E^3 \cdot C \cdot (2 \cdot I_{C\text{ pico}} \cdot \Delta t_{linear} + E \cdot C)}}{2 \cdot I_{C\text{ pico}}^2} \quad (24)$$

Durante o processo da ressonância entre  $L_r$  e  $C_r$ , a tensão sobre o capacitor ressonante não deve ser maior do que a tensão de entrada  $E$ . Portanto

$$Z_0 \times I_{L_r\text{ máx}} \leq E, \quad (25)$$

e o valor do capacitor ressonante é dado pela equação (26).

$$Cr \geq \frac{I_{L_r\text{ máx}}^2 \times L_r}{E^2} \rightarrow Cr \geq 21\eta F, \quad (26)$$

onde  $I_{L_{r\max}}$  é o valor do pico da corrente no indutor ressonante  $L_r$ .

#### IV . RESULTADOS EXPERIMENTAIS

Um inversor ponte-completa ZVS-PWM-três níveis com CAAC foi desenvolvido e implementado em laboratório utilizando-se os componentes disponíveis no mercado. Esta implementação tem por propósito verificar a validação da análise teórica desenvolvida e observar o comportamento e performance do conversor.

A partir dos valores obtidos no projeto, conforme apresentado na seção anterior, o inversor foi construído empregando-se os seguintes dispositivos e componentes, conforme mostra a Tabela I.

**TABELA I**  
**Dispositivos e Componentes**

Componente	Parâmetro
S1,S2,S3,S4,Sa1,Sa2	MOSFET - IRFP450
C1,C2,C3,C4	Capacitância de saída do MOSFET
D1,D2,D3,D4,Da1,Da2	Diodo Intrínseco do MOSFET
Sa3,Sa4	IGBT - HGTP3N60C3D
Da3,Da4	Diodo Encapsulado nos IGBT
$L_r$	14,5 $\mu$ H
$C_r$	27nF

Especificações do inversor ponte-completa ZVS-PWM-três níveis com CAAC implementado:

$$P_o=500W \quad V_o=\sqrt{2} \times 127V$$

$$E=200V$$

$$f_o=60Hz \quad f_s=45kHz,$$

onde  $f_o$  é frequência fundamental da tensão de saída e  $f_s$  é a frequência de chaveamento do inversor.

Podem ser verificados através dos resultados experimentais

obtidos, que o CAAC opera conforme desejado e esperado. Por outro lado, à luz dos resultados experimentais obtidos, algumas considerações podem ser aludidas: é preferencialmente recomendado o uso de chaves semicondutoras do tipo portador minoritário, tais como os IGBTs, para as chaves semicondutoras auxiliares que comutam sob corrente nula ZCS (Sa3, Sa4); e para as que comutam sob tensão nula ZVS (Sa1, Sa2), é recomendado o uso de chaves semicondutoras do tipo portador majoritário, como os transistores MOSFETs. As comutações das chaves semicondutoras principais e auxiliares podem ser vistas nas figuras 18, 19 e 20, sendo as comutações ZVS mostradas em detalhes nas figuras 18 e 19. A comutação ZCS pode ser observada através da figura 20.

As formas de ondas da tensão e corrente dos componentes ressonantes,  $V_{Cr}$  e  $I_{Lr}$ , são apresentadas na figura 21. Note que a energia disponível para realizar a comutação 2 (ver figura) é menor do que a energia disponível para a comutação 1. Este fato é devido ao fator de qualidade do circuito real ser finito.

Um detalhe da inversão de polaridade da tensão de saída do inversor ZVS-PWM-três níveis é mostrado na figura 22. Uma comutação a dois níveis foi empregada neste instante para que a comutação seja independente do valor e sentido da corrente de carga, possibilitando que o conversor opere tanto com cargas capacitivas quanto com cargas indutivas.

Nas figuras 23 e 24 são mostradas as formas de ondas da tensão de saída PWM-três níveis e a corrente e a tensão na carga. A distorção (ver figuras) da tensão de saída ocorre na passagem por zero (pequenos valores de tensão), isto ocorre devido à necessidade de um intervalo de tempo mínimo para a ressonância do circuito auxiliar. Entretanto, esta distorção pode ser eliminada através de um comando apropriado, que providencie compensação desses valores (tensão menores).

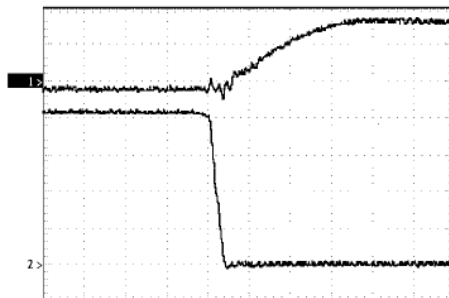


Figura 18. 1- Tensão no gatilho de  $S_1$  (10V/div);  
2- Tensão Dreno-Source em  $S_1$  (50V/div) - 100ns/div

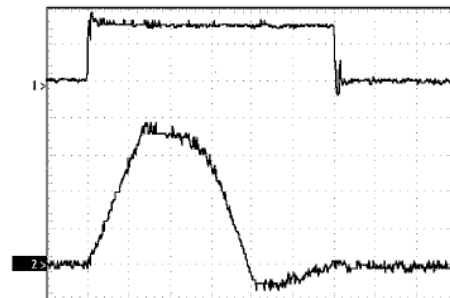


Figura 20. 1- Tensão no gatilho no IGBT Sa3 (10V/div);  
2- Corrente de Coletor no IGBT Sa3 (2A/div) - 500ns/div - 12 $\mu$ s/div

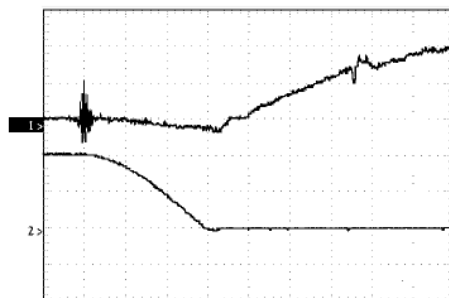


Figura 19. 1- Tensão no Gatilho de Sa1 (10V/div);  
2- Tensão Dreno-fonte no MOSFET Sa1 (100V/div) - 250ns/div

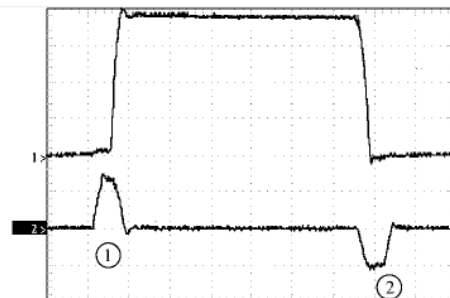


Figura 21. 1- Tensão no capacitor ressonante (50V/div);  
2- Corrente no indutor ressonante (5A/div) - 2.5 $\mu$ s/div



Figura 22. 1- Corrente no indutor ressonante (5A/div);  
2- Tensão de saída três níveis no inversor (150V/div)

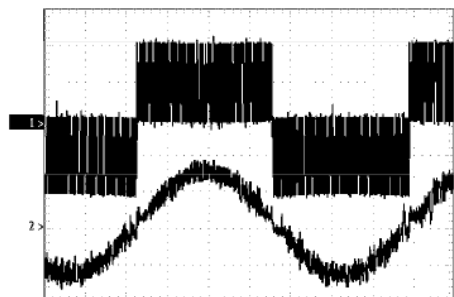


Figura 23. 1- Tensão de saída três níveis no inversor (100V/div);  
2- Corrente de saída para uma carga indutiva (2A/div) -  
2.5ms/div

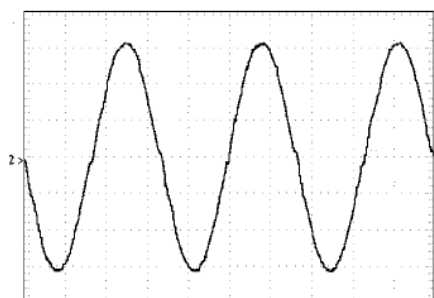


Figura 24. 2- Tensão em uma carga capacitiva (50V/div) -  
5ms/div

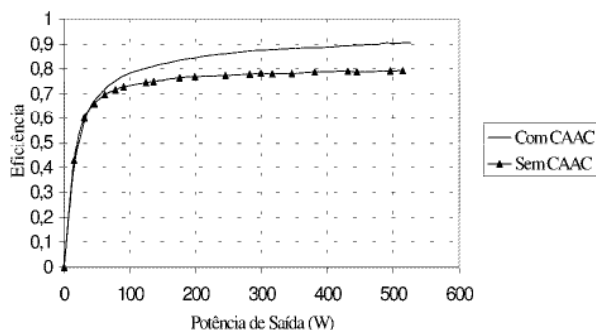


Figura 25. Eficiência Experimental

Na figura 25 são apresentadas as performances quanto à eficiência do inversor ponte-completa ZVS-PWM-três níveis com o CAAC e sem o CAAC (comutação dissipativa). Observa-se que o rendimento máximo obtido é de aproximadamente 91% a plena carga (500W) com o CAAC e 79,5% sem o CAAC. O aumento de performance é obtido com elevação do custo do conversor, através da inclusão de

duas chaves semicondutoras bidirecionais e um circuito ressonante LC.

## V. CONCLUSÕES

Este trabalho apresenta uma topologia de Circuito Ativo de Auxílio à Comutação (CAAC) para inversores ZVS-PWM-três níveis, baseado no princípio da ressonância. O circuito auxiliar é composto por duas chaves semicondutoras bidirecionais operando em ZVS e ZCS, um capacitor ressonante e um indutor ressonante de reduzidas dimensões.

A corrente eficaz que circula através das chaves semicondutoras e do indutor ressonante do CAAC apresenta baixo valor. O capacitor ressonante é de reduzido volume, pois armazena somente a energia necessária à comutação das chaves principais. Assim, tem-se um Circuito Auxiliar de reduzido volume e um significativo aumento de eficiência do inversor comparado ao inversor sem o CAAC. É importante salientar que o CAAC proposto permite o inversor em ponte completa operar em três níveis e comutar suas chaves semicondutoras principais sob tensão nula ZVS sem a necessidade do uso de fontes auxiliares, diferentemente dos CAACs concorrentes.

O circuito proposto garante comutação suave para todas as chaves semicondutoras, com baixo estresse de corrente eficaz através dos dispositivos, resultando em um conversor de alta eficiência. O CAAC proporciona também a proteção das chaves semicondutoras principais contra sobrecargas.

Os resultados experimentais comprovam e validam os princípios de operação apresentados, demonstrando que o inversor ponte-completa ZVS-PWM-três níveis com CAAC implementado opera adequadamente para qualquer condição de carga.

## REFERÊNCIAS

- [1] G. Bingen, "Utilisation de Transistors a Fort Courant et Tension Elevee", Proceeding of the First European Conference on Power Electronics and Applications, 1985, Vol. 1, pp. 1.15-1.20.
- [2] W. McMurray, "Resonant Snubbers With Auxiliary Switches", Conference Record of the 24th IEEE Industry Applications Society Annual Meeting, 1989, Vol. 1, pp. 829-834.
- [3] R. W. De Doncker, J.P. Lyons, "The Auxiliary Resonant Commutated Pole Converter", Conference Record of the 25th IEEE Industry Applications Society Annual Meeting, 1990, Vol. 1, pp. 1228-1235.
- [4] I. Barbi, D.C. Martins, "A True PWM Zero-Voltage Switching Pole With Very Low Additional RMS Current Stress", IEEE Power Electronics Specialists Conference Records, 1991, Vol. 1, pp. 261-267.
- [5] J.R. Pinheiro, H.L. Hey, "An Active Auxiliary Commutation Circuit for Inverters", Proceeding of the 27th Annual IEEE Power Electronics Specialists Conference, 1996, Vol. 1, pp. 223-229.
- [6] D.L.R. Vidor, H. Pinheiro, M.A.Vasconcelos, R.F. Fagundes, "Estudo de um Conversor PWM CC-CC ou CC-CA Quatro Quadrantes com Baixas perdas nas Comutações", III Seminário de Eletrônica de Potência, 1990, pp. 186-193.

[7] J.E. Baggio, "Estudo Teórico e Experimental de um Circuito Ativo de Auxílio à Comutação para Inversores com PWM três Níveis", Dissertação de Mestrado, UFSM, 1997.

#### DADOS BIOGRÁFICOS

**José Renes Pinheiro** nasceu em Santa Maria - RS, em 1958. Formou-se em Engenharia Elétrica pela Universidade Federal de Santa Maria, em 1981. Obteve o título de Mestre em Engenharia Elétrica pela Universidade Federal de Santa Catarina, em 1984 e o título de Doutor em Engenharia na mesma universidade, em 1994. Atualmente, é professor Titular do departamento Eletrônica e Computação da

Universidade Federal de Santa Maria. É membro da SOBRAEP, SBA e IEEE-PELS-IES-IAS-CS. Suas áreas de interesse compreende Técnicas de Comutação Suave, Pré-Reguladores, Filtros e Controle de Conversores Estáticos.

**José Eduardo Baggio** nasceu em Santa Maria - RS, em 1971. Formou-se em Engenharia Elétrica pela Universidade Federal de Santa Maria, em 1995. Obteve o título de Mestre em Engenharia Elétrica na Universidade Federal de Santa Maria, em 1997. Atualmente é estudante de doutorado na mesma universidade. Sua área de interesse compreende Eletrônica de Potência, Sistemas de Controle e Sistemas Digitais.